

Control del Convertidor CD/CD Reductor–Paralelo Implementado en FPGA

E. Guerrero-Ramírez^{a*}, A. Martínez-Barbosa^a, E. Guzmán-Ramírez^a, J. Linares-Flores^a, H. Sira-Ramírez^b

^a Universidad Tecnológica de la Mixteca, Carretera a Acatlilma Km. 2.5, 69000, Huajuapán de León, Oaxaca, México.

^b Cinvestav-IPN, Av. Politécnico Nacional no. 2508, 07360, San Pedro Zacatenco, Ciudad de México, México.

Resumen

El presente artículo documenta el diseño e implementación de un controlador para el convertidor CD/CD Reductor–Paralelo, bajo la perspectiva de la planitud diferencial y el enfoque del control por rechazo activo de perturbaciones ADRC basado en un observador GPI. Los objetivos principales del controlador propuesto son: regular la tensión de salida y equilibrar las corrientes de los convertidores en paralelo. Para el modelado de la arquitectura hardware de este controlador se utiliza una herramienta con alto nivel de abstracción de hardware y se implementa en un FPGA Artix-7 de la compañía Xilinx. Finalmente, se muestran resultados experimentales del desempeño del controlador, cuando se somete al convertidor a diversas perturbaciones externas, desconocidas y variantes con el tiempo, y a cambios en los parámetros del mismo.

Palabras Clave:

Rechazo a perturbaciones, Sistemas multivariados lineales, Control robusto, Convertidores, Aplicaciones electrónicas.

Control of DC/DC Buck–Parallel Converter Implemented in FPGA.

Abstract

This paper documents the design and implementation of a controller for DC/DC Buck–Parallel Converter under the perspective of differential flatness and active disturbance rejection control approach based on GPI extended state observer. The main objectives of the proposed controller are to regulate the output voltage and a balance of currents for parallel converters. The hardware architecture of this controller was modelled using tools with a high level of hardware abstraction and implemented in a FPGA Artix-7 of the Xilinx Company. Finally, the performance of the proposed controller is shown through a series of experiments that consisted of subjecting the converter to various external, unknown and variant over time disturbances, and changes in system parameters.

Keywords:

Disturbance rejection, Linear multivariable systems, Robust control, Converters, Electronics applications.

1. Introducción

El convertidor CD/CD Reductor–Paralelo consta de dos convertidores electrónicos tipo reductor conectados a la misma fuente de alimentación y a la misma carga. Esta configuración ha sido de gran interés debido a que ofrece sistemas electrónicos eficientes, con alta capacidad de potencia, rápida respuesta dinámica, y rizados de tensión y corriente reducidos. En particular, con esta configuración se reduce significativamente el esfuerzo de corriente de los dispositivos semiconductores, así como el tamaño de los elementos de almacenamiento de energía en aplicaciones de alta demanda de potencia. Sin embargo, la funcionalidad del sistema requiere

una distribución equilibrada de las corrientes en los convertidores electrónicos de potencia, ya que sin un mecanismo adecuado pueden entrar a una región de inestabilidad, degradar su rendimiento y disminuir su tiempo de vida (Shui-Chun y Chin-Chin, 2004).

Varios estudios se han realizado hasta ahora en el campo de los convertidores en paralelo, cuyos objetivos son regular la tensión de salida y equilibrar las corrientes de los mismos, donde las principales técnicas de control utilizadas han sido: Alvarez *et. al.* (2006) utiliza un algoritmo de lógica borrosa optimizado para controlar un convertidor multifase con rectificación síncrona. Dicho controlador se sintetiza mediante la herramienta System Generator de Xilinx con la finalidad de

*Autor para correspondencia: eguerrero@mixteco.utm.mx

ser implementado en un FPGA. Sin embargo, los autores únicamente presentan resultados de co-simulación con el FPGA emulando la planta. Cid-Pastor *et. al.* (2007) utilizan un control por modos deslizantes junto con un comparador con histéresis y un lazo para equilibrar las corrientes, el trabajo presenta resultados experimentales logrando equilibrar las corrientes en los convertidores, inclusive bajo perturbaciones como cambios en la carga y variaciones en la fuente de alimentación. Jaber *et. al.* (2008) utilizan un controlador SLCS (*Sensor-Less Current Sharing*) junto con un algoritmo adicional para equilibrar las corrientes en un convertidor con rectificación síncrona, logrando los objetivos pero sin aplicar perturbaciones al sistema. Shrud *et. al.* (2010) utilizan la técnica de entrelazado y un controlador PID para regular la tensión de salida de los convertidores que funcionan en modo de conducción discontinuo. Con esta técnica se evitan algoritmos para equilibrar las corrientes. Sin embargo, resultan altos rizados de corriente en los convertidores y como consecuencia, en la carga, además, los autores presentan únicamente resultados de simulación. Ramos *et. al.* (2010) utilizan un controlador por modos deslizantes, donde asumen una configuración maestro-esclavo y modifican las superficies de conmutación para equilibrar las corrientes. El trabajo presenta resultados de simulación bajo las siguientes perturbaciones: cambios en la carga, variaciones en la fuente de alimentación y en la tensión de referencia. Por último, Sarvi *et. al.* (2014) proponen un controlador inteligente, inspirado en un mecanismo de inmunidad del cuerpo humano. Dicho controlador se basa en un controlador PID con un algoritmo inteligente (PSO) para la sintonización de los parámetros. Se presentan resultados de simulación bajo tres diferentes condiciones; cambio en la carga de salida, variaciones de las tensiones de entrada y de referencia así como fallas en uno de los convertidores. En conclusión, en la mayoría de los artículos descritos no se presentan resultados experimentales, y en ninguno de ellos se tienen pruebas de robustez ante cambios en los parámetros del sistema (como manejar inductores diferentes), ya que todos utilizan los mismos valores y elementos en los convertidores.

Por otra parte, la técnica de control por rechazo activo de perturbaciones (ADRC, *Active Disturbance Rejection Control*) se ha utilizado con éxito en la regulación de la tensión de salida de los convertidores CD/CD y en el control de velocidad de motores a través de convertidores, por ejemplo: Qiao y Jie (2005) utilizan esta técnica para regular la tensión de salida de un convertidor CD/CD tipo reductor-elevador, mientras que Linares-Flores *et. al.* (2012) lo hacen para controlar la velocidad de un motor de CD de imanes permanentes a través de un convertidor CD/CD tipo reductor-elevador. Por su parte, Sira-Ramírez y Rosales-Díaz (2014) regulan las tensiones de salida de dos convertidores elevadores con conexión en paralelo que tienen como carga un motor de CD. Por último, Sira-Ramírez *et. al.* (2015) controlan la velocidad de un motor síncrono de imanes permanentes.

Los resultados de los trabajos mencionados muestran que la técnica ADRC agrega robustez al sistema, inclusive cuando es sometido a diferentes tipos de perturbaciones. La idea principal de esta técnica es realizar una estimación en tiempo real de las perturbaciones del sistema, tanto internas como externas, para su posterior cancelación en la ley de control (Li *et. al.*, 2014). Las perturbaciones son desconocidas y variantes en el tiempo, y son estimadas mediante un observador Proporcional-

Integral-Generalizado (GPI, *Generalized Proportional Integral*) (Sira-Ramírez, Luviano-Juárez y Cortés-Romero, 2011).

Con base en lo anterior, la principal aportación de este trabajo es el diseño y modelado de una arquitectura hardware de la técnica ADRC basado en un observador GPI y su implementación en un FPGA, con la finalidad de regular la tensión de salida y equilibrar las corrientes en el convertidor CD/CD Reductor-Paralelo.

El documento se organiza de la siguiente manera: la segunda sección describe el modelado dinámico del sistema y el diseño del control ADRC basado en un observador GPI. La tercera sección muestra detalles de la implementación de la ley de control en la tarjeta de desarrollo Nexys 4 que cuenta con un FPGA Artix-7. La cuarta sección presenta los resultados experimentales a partir de la implementación del sistema. Por último, en la quinta sección se mencionan las conclusiones del trabajo y las futuras investigaciones que se desarrollarán con base a esta propuesta.

2. Control por Rechazo Activo de Perturbaciones del Convertidor CD/CD Reductor-Paralelo

2.1. Modelado del convertidor CD/CD Reductor-Paralelo

En la Figura 1 se muestra el diagrama eléctrico del convertidor CD/CD Reductor-Paralelo, donde, i_1 e i_2 son las corrientes en cada convertidor, v es la tensión de salida, E es la fuente de alimentación, C es el capacitor, R es la resistencia de carga, u_1 y u_2 son las señales de control. Con la finalidad de simplificar las ecuaciones que se muestran más adelante, cada convertidor en paralelo utiliza el mismo valor de inductancia L . Además, I_p representa las perturbaciones externas aplicadas al sistema, las cuales son variantes con el tiempo, con magnitud desconocida pero con la restricción de ser acotadas, lo que implica que la corriente I_p nunca sea infinita.

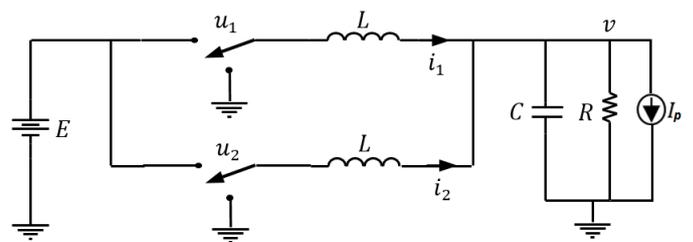


Figura 1: Convertidor CD/CD Reductor-Paralelo.

El modelo matemático del sistema expresado en ecuaciones de espacio-estado se muestra en (1), con los estados: $x_1 = i_1$, $x_2 = i_2$ y $x_3 = v$, donde las entradas de control promedio son continuas en el tiempo y pertenecen a un intervalo cerrado $u_1, u_2 \in [0,1]$. Cabe mencionar que este modelo solamente es válido en el modo de conducción continuo (m.c.c.). El modelo promedio es de tercer orden $n = 3$, además, es de tipo multi-variable, ya que cuenta con dos entradas de control y dos salidas de interés a regular. Por último, el modelo es lineal ya que se expresa en la forma típica: $\dot{x} = Ax + Bu$.

$$\begin{aligned} L\dot{x}_1 &= -x_3 + Eu_1 \\ L\dot{x}_2 &= -x_3 + Eu_2 \\ C\dot{x}_3 &= x_1 + x_2 - \frac{1}{R}x_3 - I_p \end{aligned} \quad (1)$$

2.2. Puntos de equilibrio del sistema

Los puntos de equilibrio para este sistema están dados por (2), donde la tensión de referencia del convertidor v^* se elige de acuerdo con los parámetros de diseño del sistema. Además, se supone una distribución equitativa de las corrientes: $i_1 = i_2$.

$$\begin{aligned} \bar{x}_1 &= \frac{1}{2R}v^* \\ \bar{x}_2 &= \frac{1}{2R}v^* \\ \bar{x}_3 &= v^* \\ \bar{u}_1 &= \frac{1}{E}v^* \\ \bar{u}_2 &= \frac{1}{E}v^* \end{aligned} \tag{2}$$

2.3. Salidas planas y parametrización diferencial

La técnica ADRC se basa en la propiedad de planitud diferencial, la cual trivializa las tareas de regulación y seguimiento de trayectorias, puesto que permite una parametrización completa de todas las variables del sistema en términos de las *salidas planas* y sus derivadas sucesivas. En el caso de sistemas lineales, esta propiedad se asocia con el concepto de controlabilidad, por tanto, se debe determinar si el sistema es controlable. Para ello, en (3) se muestra la matriz de controlabilidad de Kalman $K = [B, AB, A^2B]$, de donde se determina que el sistema es controlable, y por lo tanto, plano (Sira-Ramírez et. al., 2017).

$$K = \begin{bmatrix} \frac{E}{L} & 0 & 0 & 0 & -\frac{E}{CL^2} & -\frac{E}{CL^2} \\ 0 & \frac{E}{L} & 0 & 0 & -\frac{E}{CL^2} & -\frac{E}{CL^2} \\ 0 & 0 & \frac{E}{CL} & \frac{E}{CL} & -\frac{E}{C^2LR} & -\frac{E}{C^2LR} \end{bmatrix} \tag{3}$$

La matriz (3) tiene columnas que son linealmente dependientes (*l.d.*) y linealmente independientes (*l.i.*). En (4) se extraen las columnas *l.i.* para formar una nueva matriz K_C de dimensión $n \times n$, lo anterior se realiza de acuerdo con los índices de Kronecker (Kailath, 1980; Sira-Ramírez y Agrawal, 2004).

$$K_C = \begin{bmatrix} \frac{E}{L} & 0 & 0 \\ 0 & \frac{E}{L} & 0 \\ 0 & 0 & \frac{E}{CL} \end{bmatrix} \tag{4}$$

Con la matriz K_C y utilizando (5) se determinan las salidas planas; debido a que se tienen dos entradas de control, entonces el sistema tiene dos salidas planas (Sira-Ramírez y Agrawal, 2004), para este sistema son:

- La corriente del primer convertidor en paralelo $F_1 = x_1$.
- La tensión de salida $F_2 = x_3$.

$$\begin{bmatrix} F_1 \\ F_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 0 & 1 \end{bmatrix} K_C^{-1} \begin{bmatrix} x_1 \\ x_2 \\ x_3 \end{bmatrix} \tag{5}$$

Las variables de estado del sistema, junto con las entradas de control, se expresan en términos de las salidas planas F_1 y F_2 , así como de sus derivadas sucesivas (a este proceso se le conoce como *parametrización diferencial* del sistema), de ahí se obtienen las siguientes expresiones:

$$\begin{aligned} x_1 &= F_1 \\ x_2 &= C\dot{F}_2 - F_1 + \frac{1}{R}F_2 + I_p \\ x_3 &= F_2 \\ u_1 &= \frac{L}{E}\dot{F}_1 + \frac{1}{E}F_2 \\ u_2 &= \frac{CL}{E}\ddot{F}_2 - \frac{L}{E}\dot{F}_1 + \frac{L}{ER}\dot{F}_2 + \frac{1}{E}F_2 + \frac{L}{E}\dot{I}_p \end{aligned} \tag{6}$$

En (7) se ordenan las entradas de control en forma matricial, las cuales se expresan en función de las derivadas de mayor orden de las salidas planas \dot{F}_1 y \ddot{F}_2 . El término ϕ_1 es fácil de calcular, sin embargo, no es viable calcular el término ϕ_2 , por lo que se considera como un término de perturbación desconocida que se estima mediante un observador de estado extendido GPI.

$$\begin{aligned} \begin{bmatrix} u_1 \\ u_2 \end{bmatrix} &= \begin{bmatrix} \frac{L}{E} & 0 \\ \frac{L}{E} & \frac{CL}{E} \end{bmatrix} \begin{bmatrix} \dot{F}_1 \\ \ddot{F}_2 \end{bmatrix} + \begin{bmatrix} \frac{1}{E}F_2 \\ \frac{L}{ER}\dot{F}_2 + \frac{1}{E}F_2 + \frac{L}{E}I_p \end{bmatrix} \\ &= Q \begin{bmatrix} \dot{F}_1 \\ \ddot{F}_2 \end{bmatrix} + \begin{bmatrix} \phi_1 \\ \phi_2 \end{bmatrix} \end{aligned} \tag{7}$$

2.4. Diseño del observador GPI

El observador GPI se diseña de manera parecida a un observador Luenberger con la variante de *extender la dinámica de la perturbación*. La idea principal de este enfoque es implementar un observador lineal, que incorpore de manera natural acciones integrales de forma iterativa sobre el error de salida, con la intención de atenuar los efectos de las señales de perturbaciones externas y de las dependientes del estado (internas), sobre la dinámica del error de estimación que afectan el modelo entrada-salida de la planta. Cabe mencionar que la convergencia del error de estimación es asintótica, muy cercana a cero tanto como se requiera, a pesar de estimar una función desconocida de naturaleza no lineal variante con el tiempo (Sira-Ramírez et. al., 2015). Para el diseño del observador GPI, en (8) se despeja el vector de las derivadas de más alto orden de (7), donde $\varphi = -Q^{-1}\phi$.

$$\begin{bmatrix} \dot{F}_1 \\ \ddot{F}_2 \end{bmatrix} = \begin{bmatrix} \frac{E}{L} & 0 \\ \frac{E}{CL} & \frac{E}{CL} \end{bmatrix} \begin{bmatrix} u_1 \\ u_2 \end{bmatrix} + \begin{bmatrix} \varphi_1 \\ \varphi_2 \end{bmatrix} \tag{8}$$

Debido a que solamente se estima φ_2 , entonces se diseña el observador a partir del término de \ddot{F}_2 de la matriz (8). Por tanto, en (9) se tiene el observador GPI que mide la variable de la tensión de salida F_2 y estima la segunda salida plana \hat{F}_2 , sus primeras dos derivadas, y la función de perturbación desconocida $\hat{\varphi}_2$. Cabe mencionar que se utilizan variables auxiliares $\hat{F}_{2,aux} = \hat{\hat{F}}_2$ y $\hat{F}_{2,aux} = \hat{F}_2$ para mostrar el modelo en función de la primera derivada de cada variable de estado. Además, se considera un término correctivo de la diferencia entre la salida real y la salida estimada.

$$\begin{aligned} \hat{\hat{F}}_2 &= \hat{F}_{2,aux} + \lambda_2(F_2 - \hat{F}_2) \\ \hat{F}_{2,aux} &= \frac{E}{CL}(u_1 + u_2) + \hat{\varphi}_2 + \lambda_1(F_2 - \hat{F}_2) \\ \hat{\varphi}_2 &= \lambda_0(F_2 - \hat{F}_2) \end{aligned} \tag{9}$$

Los coeficientes del observador se sintonizan de acuerdo al método por ubicación de polos, donde se eligen los valores de

acuerdo al polinomio característico que se desee que gobierne el comportamiento del error. Para este caso se utiliza un polinomio tipo Hurwitz de tercer orden dado por la ecuación: $P_{d,\lambda}(s) = (s^2 + 2\zeta_\lambda\omega_\lambda s + \omega_\lambda^2)(s + \alpha)$. De ahí, la sintonización de los coeficientes quedan expresados en (10), donde se debe cumplir con las condiciones $\omega_\lambda > 0$, $\alpha > 0$ y $0 < \zeta_\lambda \leq 1$.

$$\begin{aligned}\lambda_2 &= 2\zeta_\lambda\omega_\lambda + \alpha \\ \lambda_1 &= \omega_\lambda^2 + 2\alpha\zeta_\lambda\omega_\lambda \\ \lambda_0 &= \alpha\omega_\lambda^2\end{aligned}\quad (10)$$

2.5. Diseño de los controladores lineales

Con el diseño del observador anterior, ahora el término ϕ_2 de (7) puede ser calculado, puesto que:

$$\phi_2 = -\frac{CL}{E}\hat{\phi}_2 - \frac{1}{E}F_2 \quad (11)$$

Se propone utilizar dos controladores auxiliares o virtuales que sustituyen a las derivadas de mayor orden $\dot{F}_1 = V_{1,aux}$ y $\ddot{F}_2 = V_{2,aux}$. Ambos controladores auxiliares tienen la función de imponer el comportamiento de la dinámica del error en lazo cerrado (Slotine y Li, 1991; Lévine, 2009). Estos controladores se muestran en (12), donde los valores de las salidas planas de referencia deseadas son: $F_1^* = \frac{1}{2}i_R$ y $F_2^* = v^*$, donde i_R es la corriente en la resistencia de carga.

$$\begin{aligned}V_{1,aux} &= -k_1(F_1 - F_1^*) \\ V_{2,aux} &= -k_2\hat{F}_2 - k_3(F_2 - F_2^*)\end{aligned}\quad (12)$$

Para la sintonización de los coeficientes k_1 , k_2 y k_3 de los controladores auxiliares, también se utiliza el método por ubicación de polos con dos polinomios tipo Hurwitz: $P_{d,v1}(s) = (s + k_1)$ para la sintonización del coeficiente k_1 , y $P_{d,v2}(s) = s^2 + 2\zeta_k\omega_k s + \omega_k^2$ para los coeficientes k_2 y k_3 . La sintonización de los coeficientes queda expresado en (13), donde se debe cumplir que: $0 < \zeta_k \leq 1$ y $\omega_k > 0$.

$$\begin{aligned}k_1 &> 0 \\ k_2 &= 2\zeta_k\omega_k \\ k_3 &= \omega_k^2\end{aligned}\quad (13)$$

Por último, el término calculado en (11) y los controladores auxiliares de (12), se sustituyen en (7) para obtener la ley de control ADRC del sistema propuesto. Por tanto, la forma final del mismo se muestra en (14), donde las ganancias de los controladores auxiliares en (13) debe seleccionarse adecuadamente para no saturar u_1 y u_2 .

$$\begin{aligned}u_1 &= \frac{L}{E}V_{1,aux} + \frac{1}{E}F_2 \\ u_2 &= \frac{CL}{E}(V_{2,aux} - \hat{\phi}_2) - \frac{L}{E}V_{1,aux} - \frac{1}{E}F_2\end{aligned}\quad (14)$$

Tabla 1: Ganancias de los polinomios de sintonización de (10) y (13).

Observador de la salida F_2	$\zeta_\lambda = 1$	$\omega_\lambda = 7000$	$\alpha = 3500$
Controlador u_1	$k_1 = 35000$		
Controlador u_2	$\zeta_k = 0.9$	$\omega_k = 3500$	

3. Diseño y modelado de la arquitectura hardware de la Ley de Control y su implementación en el FPGA Artix-7

El diseño del convertidor CD/CD Reductor-Paralelo de la Figura 1, tiene los siguientes parámetros de diseño asegurando el m.c.c: $E = 24\text{ V}$, $L = 1\text{ mH}$, $C = 440\text{ }\mu\text{F}$, $R = 6.1\text{ }\Omega$, una frecuencia de conmutación $f_s = 50\text{ kHz}$. La tensión de referencia deseada del convertidor se fija en $v^* = 15\text{ V}$. En la Figura 2 se muestra el diagrama a bloques del sistema, con la tarjeta Nexys 4 con un FPGA Artix-7 para la implementación de la ley de control con las siguientes consideraciones:

- Se miden la corriente en el primer convertidor en paralelo i_1 y la tensión de salida principal v mediante el sensor de corriente Lem HX 15-P y un arreglo de resistencias, respectivamente.
- Las variables medidas se digitalizan con el convertidor digital-analógico AD7476A que tiene una resolución de 12 bits y se utiliza con una frecuencia de muestreo de 500 KHz.
- En el FPGA se modelan el observador GPI dado por (9) y el algoritmo del controlador dado por (12) y (14). En el modelado se utiliza aritmética de punto flotante de precisión simple. El tiempo de propagación del observador y el controlador es menor al periodo de muestreo de las señales, por lo que el tiempo de propagación del sistema fue definido de $2\text{ }\mu\text{s}$.
- Los valores de los polinomios característicos que gobiernan el comportamiento del error de regulación para el observador GPI y el controlador multi-variable en (10) y (13), respectivamente, se muestran en la Tabla 1, donde se aprecia que el controlador propuesto es de alta ganancia. Estos valores se seleccionaron a partir de los requisitos de estabilidad deseados, experiencia de los autores y trabajos de simulación.
- A partir de la técnica ADRC, se obtienen las señales de control promedio, que se convierten en señales pulsantes con un ciclo útil de trabajo variante a una frecuencia fija de $f_s = 50\text{ kHz}$ (señales PWM). El ciclo útil de trabajo tiene un límite inferior de 10% y un límite superior del 90%.
- Las señales PWM provenientes del FPGA se acondicionan para adecuarlas al convertidor, esto se lleva a cabo mediante un optoacoplador (CI PC923) y un driver de potencia (CI IRF2117).
- Los dispositivos semiconductores de potencia utilizados en cada convertidor son: MOSFET IRF640 y diodo U15A40.
- Para aumentar la fiabilidad del interruptor se utiliza una red snubber de tipo pasiva RCD para cada convertidor, en donde el valor de la resistencia y el capacitor de ambas redes es de $R_{sn} = 28\text{ }\Omega$ y $C_{sn} = 68\text{ nF}$.
- Para visualizar algunas señales de interés, como las señales de control promedio o la estimación del observador, se utiliza el convertidor digital-analógico DAC121s101.
- Como dato, la eficiencia del convertidor propuesto es del 85.22%, una cifra más que aceptable para un convertidor en paralelo, la cual se pudiera incrementar con mejores dispositivos semiconductores que presenten una resistencia de encendido $R_{DS(on)}$ menor.

Como resultado de lo mencionado, en la Figura 3 se muestra la plataforma experimental del convertidor CD/CD Reductor-Paralelo implementado con sus diferentes elementos. Además,

en la Tabla 2 se pueden apreciar los principales recursos utilizados por la síntesis de la ley de control.

Tabla 2: Principales recursos utilizados por el FPGA Artix-7.

Recurso	Utilizados	Disponibles	Porcentaje utilizado
Slice registers	642	126,800	1 %
Slice LUTs	16,533	63,400	26 %
Bonded IOBs	22	210	10 %
BUFG	3	32	9 %
DSP48E1s	102	240	42 %

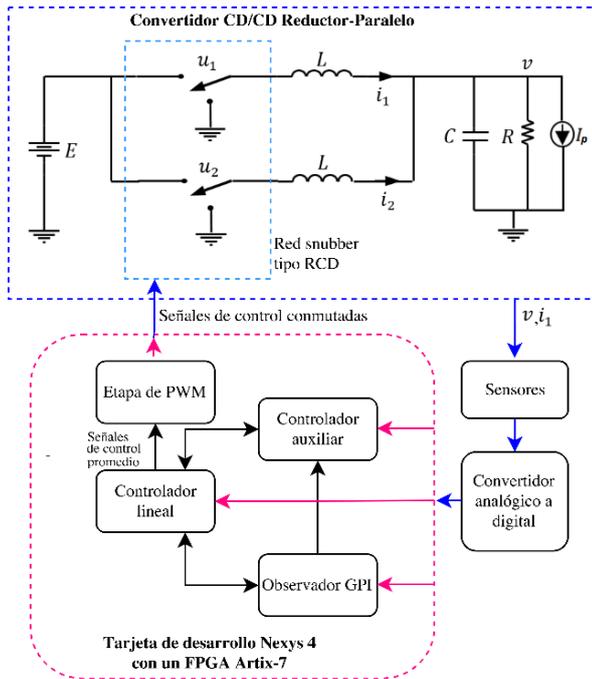


Figura 2: Diagrama a bloques de la implementación de la ley de control para el convertidor CD/CD Reductor-Paralelo.

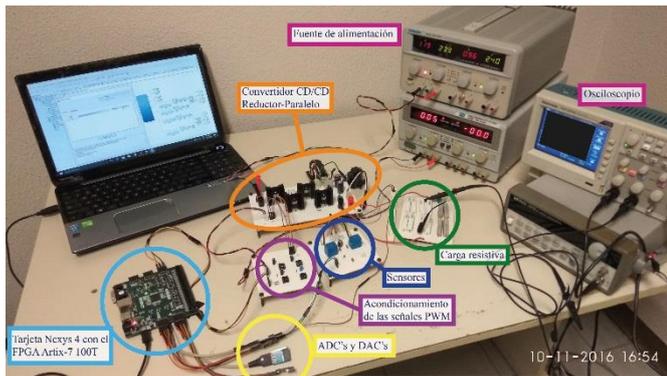


Figura 3: Plataforma experimental del convertidor CD/CD Reductor-Paralelo.

4. Resultados Experimentales

En la Figura 4 se muestra la respuesta en el tiempo de la tensión de salida del convertidor CD/CD Reductor-Paralelo, la cual presenta una respuesta amortiguada con un valor en estado estable de 15 V, que corresponde con el valor deseado con un tiempo de asentamiento de 15 ms. Además, en la Figura 5 se muestra la corriente en cada uno de los convertidores y la corriente en la carga (la suma de ambas) con una respuesta amortiguada. Se observa una ligera diferencia entre el valor

medio de ellas de 0.1 A (presentando un error en estado estable del 4% cada una), cuando lo correcto sería que ambas tuvieran el mismo valor; esto sucede posiblemente por dos razones:

- En la experimentación se despreció la corriente que circula por el arreglo de resistencias que mide la tensión de salida, y dado que la referencia de i_1 únicamente es la mitad de la resistencia de carga, entonces la corriente i_2 es la que absorbe esta corriente adicional.
- Se puede reducir esta diferencia (más no eliminarla debido a lo comentado en el punto de arriba) incrementando el valor de la ganancia k_1 de la Tabla 1. Sin embargo, las señales de retroalimentación de los sensores de corriente presentan ruido, por lo que el incremento de la ganancia provoca rizados en la tensión de salida y las corrientes, sobre su valor en estado estable debido a una retroalimentación errónea. Cabe mencionar que esto se puede mejorar filtrando las señales de retroalimentación y/o aplicando filtros digitales.

Además, las señales de control en forma promedio para los convertidores se muestran en la Figura 6. En ellas se observa que éstas nunca entran a una región de saturación ni tampoco presentan rizado o un comportamiento oscilatorio, lo que origina que las respuestas de la tensión de salida y las corrientes en los convertidores tengan un comportamiento amortiguado, como se observa en las figuras 4 y 5, respectivamente.

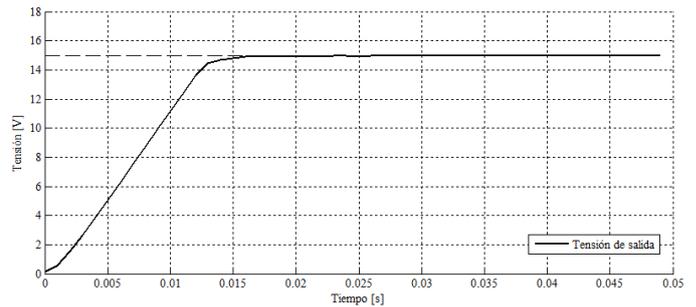


Figura 4: Tensión de salida del convertidor CD/CD Reductor-Paralelo.

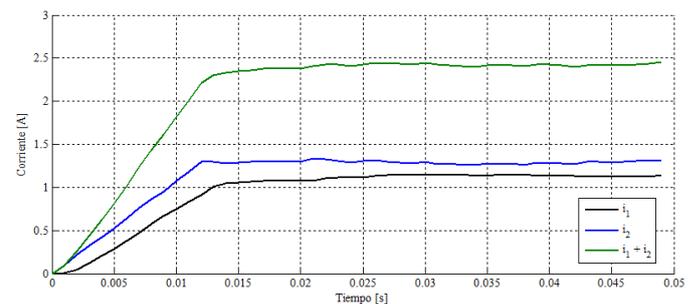


Figura 5: Corrientes en la carga y en los convertidores.

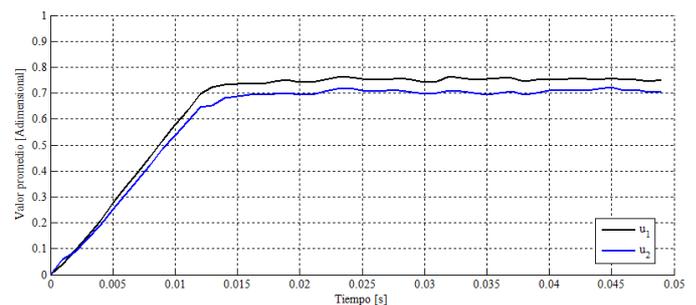


Figura 6: Señales de control promedio para los convertidores.

El funcionamiento de los controladores depende de la correcta estimación del observador GPI, por tanto, en la Figura 7 se muestra el valor estimado de la perturbación desconocida $\hat{\phi}_2$ con un valor en estado estable de $-7.95E7$ con un tiempo de asentamiento de 15 ms. Además de estimar la función de perturbación, de manera simultánea también se estima la tensión de salida del convertidor (véase (9)). De ahí que en la Figura 8 se muestre la tensión de salida y la estimación de la misma. Como se observa, el comportamiento de ambas señales es similar, con lo que se valida que el diseño del observador GPI es efectivo.

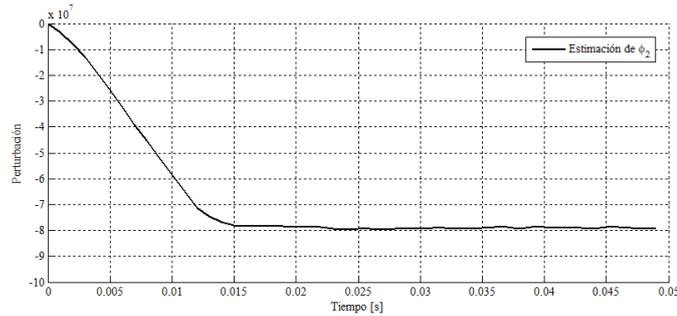


Figura 7: Estimación de la perturbación $\hat{\phi}_2$.

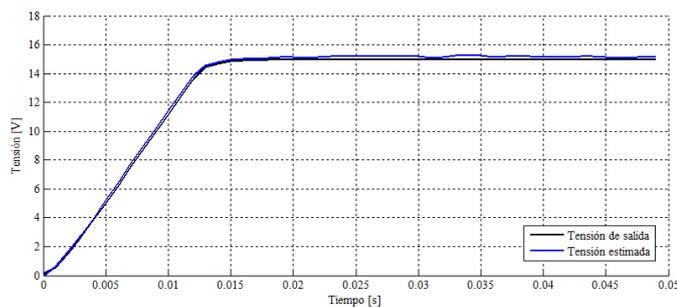


Figura 8: Tensión de salida y tensión estimada.

Para corroborar que el controlador propuesto efectivamente rechaza las perturbaciones, se efectuaron diversas pruebas para observar su comportamiento.

La primera prueba consiste en variar el valor de la tensión de alimentación principal E del convertidor alrededor de ± 6 V sobre los 24 V nominales. En la Figura 9 se muestra la respuesta bajo esta condición, donde se aprecia que no cambia el valor de referencia de 15 V debido a la robustez del controlador para minimizar los efectos de estas variaciones. En la Figura 10 se muestran las corrientes en los convertidores en paralelo, donde se observa que ambas corrientes se mantienen en equilibrio, cancelando los picos súbitos de corriente que se pudieran generar bajo esta condición. Sin embargo, presentan un comportamiento oscilatorio debido a las continuas variaciones en el tiempo de la tensión en la fuente de alimentación.

La segunda prueba consiste en conectar un resistor en paralelo con la resistencia de carga, para provocar un cambio en el valor nominal de la misma. El valor de la carga está dada por:

$$R = \begin{cases} 6.1 \Omega & 0.00 \leq t < 0.16 \text{ s} \\ 4.1 \Omega & 0.16 \leq t < 0.61 \text{ s} \\ 6.1 \Omega & 0.61 \leq t < 0.80 \text{ s} \end{cases}$$

Como resultado, en la Figura 11 se observa que la tensión de salida sigue manteniendo la referencia deseada, presentando

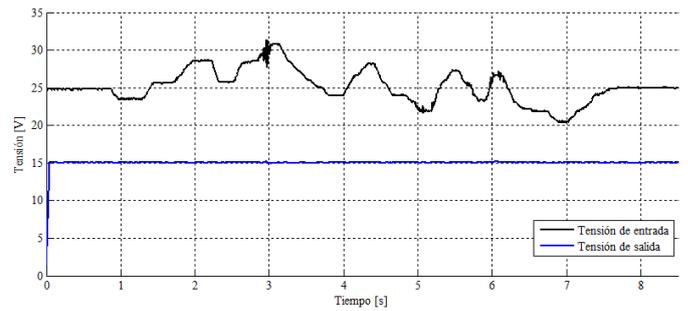


Figura 9: Tensiones de salida frente a variaciones en la fuente de entrada.

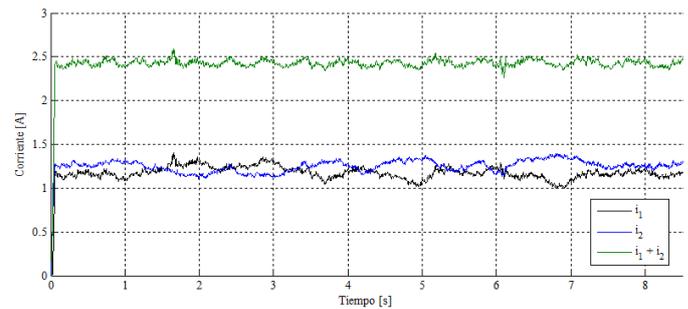


Figura 10: Corrientes frente a variaciones en la fuente de entrada.

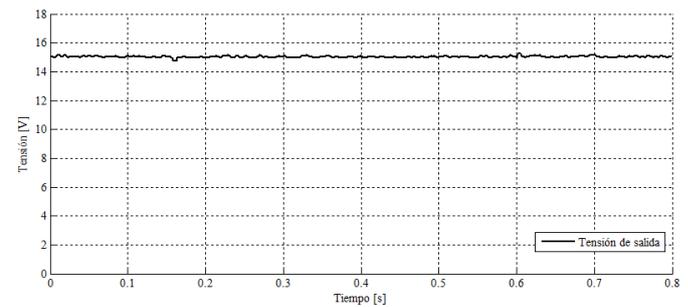


Figura 11: Tensión de salida frente variaciones súbitas en la carga.

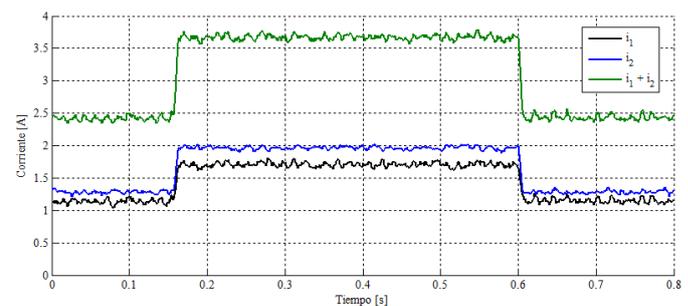


Figura 12: Corrientes frente a variaciones súbitas en la carga.

únicamente sobre-impulsos de 0.3 V al momento del cambio en la resistencia. Además, en la Figura 12 se observa que la corriente de salida presenta un incremento de 1.25 A y que las corrientes en ambos convertidores se incrementan equitativamente (aunque manteniendo el error en estado estable comentado anteriormente) para satisfacer los requerimientos de la carga. Por tanto, el controlador también minimiza los efectos de las variaciones súbitas en la carga.

La tercera prueba consiste en modificar los parámetros del convertidor, ya que en el modelo promedio continuo en el tiempo se consideran convertidores con el mismo valor nominal de inductancia $L = 1$ mH, con la finalidad de simplificar las ecuaciones diferenciales del modelo promedio. En la práctica, lo mencionado no es del todo cierto, ya que los

diseños de los inductores siempre tienen una variación en el valor nominal de la inductancia y en el valor de resistencia intrínseca. Por tanto, se propone utilizar inductores con valores diferentes $L_1 = 500 \mu\text{H}$ y $L_2 = 1 \text{ mH}$. La programación en el FPGA no se modifica, el cual sigue contemplando que el valor de ambos inductores es el mismo.

En la Figura 13 se compara la respuesta de tensión de salida del sistema original (véase Figura 4) y el sistema con los parámetros de inductancia diferentes; se observa que no solamente el valor en estado estacionario es el mismo, sino que tienen prácticamente la misma respuesta durante el transitorio. Además, en la Figura 14 se muestran las corrientes en los convertidores y la corriente de salida con la variación de inductancias. De igual manera, se obtiene una respuesta prácticamente idéntica a la del sistema original que corresponde a la Figura 5. De lo anterior se concluye que el sistema presenta robustez en las variables de tensión de salida y corrientes en los convertidores, a pesar de que los valores nominales del modelo no son exactos a los parámetros de diseño del convertidor.

La última prueba consiste en modificar el valor de la referencia de tensión a dos valores distintos; en este caso se propusieron de 10 V y 18 V, manteniendo las ganancias de los coeficientes de sintonización de la Tabla 1. En las Figuras 15 y 16 se muestran la tensión y las corrientes en los convertidores, respectivamente, con una referencia de 10 V; mientras que en las Figuras 17 y 18 se utiliza una referencia de 18 V. Se observa que efectivamente el sistema logra regular la tensión de salida a los valores deseados, mientras que las corrientes no presentan sobre-impulsos y se mantienen en equilibrio con un error del 2.3% cuando la referencia es de 10 V, y del 5.1% cuando la referencia es de 18 V. Con base en esta prueba se demuestra que es relativamente sencillo modificar el nivel de tensión deseada, ya que únicamente se modifica el valor de referencia en el controlador ADRC manteniendo las mismas ganancias de sintonización.

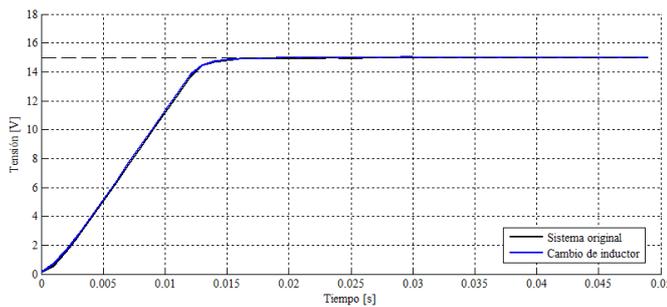


Figura 13: Tensión de salida frente a variaciones en los parámetros del sistema.

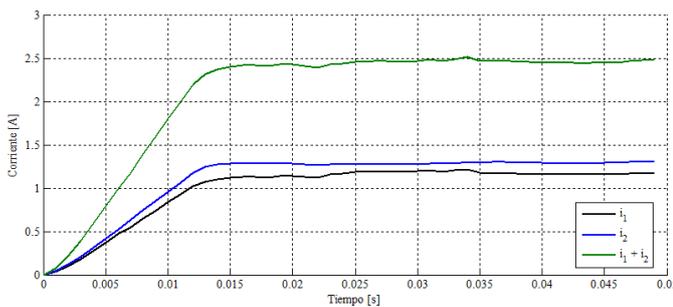


Figura 14: Corrientes en los convertidores frente a variaciones en los parámetros del sistema.

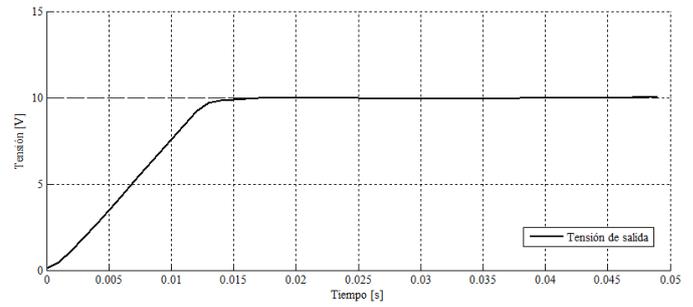


Figura 15. Tensión de salida con una referencia a 10 V.

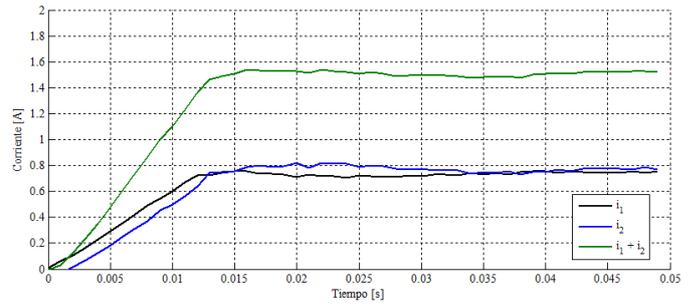


Figura 16. Corrientes en los convertidores con cambio de referencia a 10 V.

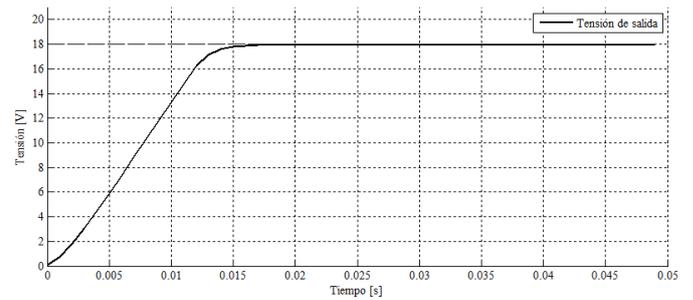


Figura 17. Tensión de salida con cambio de referencia a 18 V.

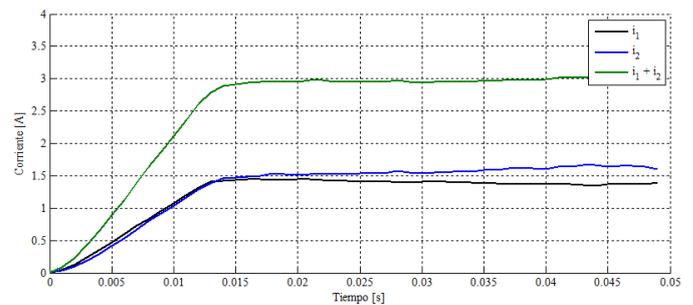


Figura 18. Corrientes en los convertidores con cambio de referencia a 18 V.

5. Conclusiones

De acuerdo a los resultados experimentales, se demuestra que con el enfoque ADRC basado en un observador GPI y la propiedad de planitud diferencial, se logra regular la tensión de salida y equilibrar las corrientes de los convertidores en paralelo.

Además, con este enfoque se logra contrarrestar los efectos de las perturbaciones internas y externas del sistema, ya que mantiene una respuesta robusta de la variable de salida frente a: a) variaciones de la fuente de entrada, b) cambios súbitos en la carga, c) variaciones en los parámetros nominales del modelo promedio del sistema y, d) cambios en la tensión de

referencia. Lo anterior se consigue mediante la adaptación de las funciones de perturbación estimadas por el observador GPI. Respecto a este observador se demuestra que su implementación es sencilla y que además de estimar las perturbaciones, también estima simultáneamente la salida plana y sus derivadas sucesivas con un error de estimación cercano a cero.

Es importante mencionar que con la aplicación de este enfoque ADRC a este tipo de sistemas, no se requiere el modelo matemático exacto de la planta, lo que simplifica de manera significativa el diseño del controlador. Además, no se requieren algoritmos laboriosos para el equilibrio de las corrientes y se obtienen sistemas robustos frente a perturbaciones.

Sin embargo, es claro que la técnica utilizada en esta propuesta involucra un mayor costo computacional que un controlador PID clásico por ejemplo, lo que repercute en un mayor consumo de recursos. En este sentido, la Tabla 2 muestra que el resultado de la síntesis utiliza menos del 50 % de los recursos del FPGA Artix-7, siendo el recurso DSP48E1s (multiplicadores embebidos) el que mayor porcentaje de utilización tiene. Considerando lo mencionado y que el modelado de la arquitectura hardware realizada en este trabajo es portable, esta arquitectura puede fácilmente adaptarse para ser implementada en otros FPGAs, que ofrezcan una menor cantidad de recursos y que en consecuencia resulten más económicos.

Para dar continuidad a la investigación presentada, se está trabajando en adaptar esta técnica en el control de un convertidor Reductor-Paralelo que accione un motor de CD, buscando regular la velocidad angular del eje del motor y equilibrar las corrientes en los convertidores en paralelo.

Referencias

- Alvarez, J., Lago, A., Nogueiras, A., Martínez, P., Marcos, J., Doval, J. y López, O. 2006, FPGA implementation of a fuzzy controller for automobile DC-DC converters. IEEE International Conference, 237-240.
- Cid-Pastor, A., Martínez-Salamero, L., Alonso, C., Leyva, R., Singer S., 2007, Paralleling DC-DC switching converters by means of power gyrators, IEEE transactions on power electronics, no. 6, vol. 22, 2444-2453.
- Jaber, A., Qahouq, A., y Huang, L., 2008, N-phase sensorless current sharing digital controller, Power Electronics Specialist Conference, 1257-1262.
- Kailath, T., 1980, Linear Systems, Prentice-Hall Information.
- Lévine, J., Analysis and Control of Nonlinear Systems: A Flatness-based Approach, Springer Science & Business Media.
- Li, S., Yang, J., Chen, W.-H., Chen, X., 2014, Disturbance Observer-Based Control: Methods and Applications, CRC Press Taylor Francis.
- Linares-Flores, J., Barahona-Avalos, J.L., Sira-Ramírez, H. y Contreras-Ordaz, M.A., 2012, Robust Passivity-Based Control of a Buck-Boost Converter/DC-Motor System: An Active Disturbance Rejection Approach, IEEE Transactions on Industry Applications, no. 6, vol. 48, 2362-2371.
- Qiao, L. y Jie, W., 2005, Implementation of a New Nonlinear Controller for DC-DC Converter Using Matlab and DSPACE DSP, IEEE ISIE, Dubrovnik, Croacia, 621-626.
- Sarvi, M., Derakhshan, M., Sedighzadeh, M., 2014, A new intelligent controller for parallel DC/DC converters, International Journal of Engineering, no. 1, vol. 27, 131-142.
- Shrud, M. A., Kharaz, A. H., Ashur, A. S. y Benamar, M., 2010, Analysis and simulation of automotive interleaved buck converter, World Academy of Science, Engineering and Technology, no. 3, vol. 4, 10-17.
- Shui-Chun, L. y Chin-Chin, T., 2004, Adaptive voltage regulation and equal current distribution of parallel-buck DC-DC converters using backstepping sliding mode control, 30th IEEE IECON, 1018-1023.
- Sira-Ramírez, H. y Agrawal, S. K., 2004, Differentially Flat Systems, Marcel Dekker Inc.
- Sira-Ramírez, H., Linares-Flores, J., Luviano-Juárez, A. y Cortés-Romero, J., 2015, Ultramodelos Globales y el Control por Rechazo Activo de Perturbaciones en Sistemas No Lineales Diferencialmente Planos, RIAI, no. 2, vol. 12, 133-144.
- Sira-Ramírez, H., Luviano-Juárez, A. y Cortés-Romero, J., 2011, Control lineal robusto de sistemas no lineales diferencialmente planos, RIAI, no. 1, vol. 8, 14-28.
- Sira-Ramírez, H., Luviano-Juárez, A., Ramírez-Neria, M. y Zurita-Bustamante E. W., 2017, Active Disturbance Rejection Control of Dynamic Systems: A Flatness-Based Approach, Butterworth-Heinemann publications.
- Sira-Ramírez, H. y Rosales-Díaz, D., 2014, Decentralized Active Disturbance Rejection Control of Power Converters Serving a Time Varying Load, Proceedings of the 33rd Chinese Control Conference, Nanling, China, 4348-4353.
- Slotine, J.J.E., Li, W., 1991, Applied Nonlinear Control, Prentice-Hall.
- Ramos, R., Biel, D. y Fossas, E., 2011, Control en modo deslizante para un convertidor reductor multifase en entrelazado con equalización de corriente, XVIII Seminario Anual de Automática, Electrónica Industrial e Instrumentación, 161-166.