

Resumen

Esta tesis explora en profundidad la viabilidad técnica y las prestaciones de un sistema de transmisión para comunicaciones ópticas, de bajo coste y alta velocidad, basado en la multiplexación por división de frecuencia ortogonal (OFDM) mediante la implementación de los algoritmos de procesamiento digital de la señal en tiempo real sobre dispositivos de lógica programable (FPGA). Los sistemas de transmisión de modulación de intensidad y detección directa (IM/DD) parecen ser la solución más interesante para las redes ópticas pasivas (PONs) de bajo coste que serán necesarias para responder a la gran demanda de tráfico de los próximos años, producto del aumento significativo de dispositivos conectados a internet, servicios y programas en la nube, vídeo de alta definición, entre otros.

Por tanto, esta tesis tiene como objetivo principal obtener la máxima tasa binaria y eficiencia espectral posible de un sistema IM/DD OFDM en PON (de una sola banda y una sola longitud de onda). Con esta finalidad se ha desarrollado la arquitectura *hardware* de un receptor OFDM de alta velocidad que opera en tiempo real en un dispositivo FPGA Virtex-7 a una frecuencia de reloj de 312,5 MHz utilizando un conversor analógico digital con una tasa de muestreo de 5 GS/s. Para lograr las mejores prestaciones posibles, se ha intentado aprovechar al máximo el ancho de banda del sistema (acercándose al límite de Nyquist) y se ha realizado una carga variable de las subportadoras del símbolo OFDM atendiendo a las características del canal electro-óptico. Además, se han diseñado e implementado los algoritmos de procesamiento necesarios para la detección y demodulación de los símbolos OFDM, y se ha desarrollado una plataforma experimental que ha permitido validarlos en tiempo real a través de

un enlace de fibra monomodo estándar (SSMF). El principal resultado de esta tesis es el haber demostrado experimentalmente que con el sistema propuesto se puede alcanzar una tasa binaria de 19,63 Gb/s y una eficiencia espectral de 8,07 bit/s/Hz sobre 20 km de SSMF, lo cual implica casi duplicar las mejores prestaciones publicadas hasta la fecha.

Para completar el diseño del receptor, se ha desarrollado un algoritmo de sincronización de tiempo basado en la correlación cruzada entre un preámbulo conocido y la señal OFDM recibida, el cual presenta una tasa de error extremadamente baja, aun en condiciones de muy baja SNR, y su diseño optimizado requiere menos recursos que otros sincronizadores publicados hasta la fecha. También se ha desarrollado un procesador de FFT de longitud variable mediante una arquitectura paralela segmentada que permite alcanzar hasta una tasa de 10 GS/s en dispositivos Virtex-7 con una eficiencia (área/velocidad) superior a la de otros trabajos publicados, y un ecualizador de canal basado en una técnica de estimación y compensación en frecuencia, que utiliza un preámbulo característico para poder disminuir la complejidad *hardware* y aumentar la precisión de la estimación. Todos los algoritmos implementados en esta tesis doctoral han sido diseñados para procesar 16 muestras en paralelo, y así poder reducir la frecuencia de reloj (5 GHz/16) hasta valores aceptables para los dispositivos FPGA.

Palabras Claves: *TSA, FFT, OFDM, SMF, IM/DD, FPGA y alta velocidad.*