



DISEÑO DE UN CONVERTOR ANALÓGICO DIGITAL CON TOPOLOGÍA WILKINSON EN TECNOLOGÍA CMOS 0.35 μm

Jorge Prieto Rubio

Tutor: Vicente Herrero Bosch

Trabajo Fin de Grado presentado en la Escuela Técnica Superior de Ingenieros de Telecomunicación de la Universitat Politècnica de València, para la obtención del Título de Graduado en Ingeniería de Tecnologías y Servicios de Telecomunicación

Curso 2018-19

Valencia, 2 de abril de 2019



Resumen

A lo largo del presente documento se describe el diseño de un convertidor analógico digital usando una topología de alta resolución tipo Wilkinson. En una primera instancia se realizará un estudio teórico de las especificaciones DC, AC y temporales que deben ser consideradas en el diseño del conversor Analógico digital así como un análisis de las topologías comúnmente empleadas a la hora de abordar su diseño y su funcionamiento. Posteriormente en el documento se realiza la descripción de las consideraciones de diseño e implementación de los distintos componentes que conforman el ADC empleando la tecnología AMSC35 así como la simulación de su funcionamiento mediante uso de bancos de prueba empleando las herramientas de diseño Cadence IC exceptuando la parte de control digital del ADC el cual se ha modelado mediante Verilog. En última instancia se realizará un análisis comparativo tanto del funcionamiento final del diseño realizado como de las características del mismo.

Resum

Al llarg del present document es descriu el disseny d'un convertidor analògic digital usant una topologia d'alta resolució tipus Wilkinson. En una primera instància es realitzarà un estudi teòric de les especificacions DC, AC i temporals que han de ser considerades en el disseny del convertidor Analògic digital així com una anàlisi de les topologies comunment empleades a l'hora d'abordar el seu disseny i el seu funcionament. Posteriorment en el document es realitza la descripció de les consideracions de disseny i implementació dels distints components que conformen l'ADC emprant la tecnologia AMSC35 així com la simulació del seu funcionament per mitjà d'ús de bancs de prova emprant les ferramentes de disseny Cadence IC exceptuant la part de control digital de l'ADC el qual s'ha modelat per mitjà de Verilog. En última instància es realitzarà una anàlisi comparativa tant del funcionament final del disseny realitzat com de les seues característiques.

Abstract

This document describes the design of a digital analog converter using a high-resolution Wilkinson-type topology. In the first instance, a theoretical study will be made of the DC, AC and temporal specifications that must be considered in the design of the analogical digital converter, as well as an analysis of the topologies commonly used when dealing with its design and operation. Subsequently, the document describes the design and implementation considerations of the different components that make up the ADC using AMSC35 technology as well as the simulation of its operation through the use of test benches using Cadence IC design tools except the digital control part of the ADC which has been modeled using Verilog. Ultimately, a comparative analysis will be made of both the final operation of the design performed and its characteristics.



Índice

Capítulo 1.	Objetivo de este documento	2
Capítulo 2.	Introducción a los Sistemas de conversión Analógico Digitales	3
2.1	Función básica del conversor A/D.....	3
2.2	Clasificación de las señales	4
Capítulo 3.	Especificaciones DC	7
Capítulo 4.	Especificaciones AC	13
Capítulo 5.	Especificación de lapsos temporales	17
Capítulo 6.	Convertidores Analógico Digitales de alta resolución.....	20
Capítulo 7.	Consideraciones de diseño	25
Capítulo 8.	Fuente de corriente de referencia	30
Capítulo 9.	Amplificador Sample and Hold	34
Capítulo 10.	Switch.....	39
Capítulo 11.	Contador	42
Capítulo 12.	Comparador	43
Capítulo 13.	Símbolos de los elementos del conversor A/D	46
Capítulo 14.	Control Lógico.....	49
Capítulo 15.	Sistema ADC completo	51
Capítulo 16.	Conclusión.....	56
Capítulo 17.	Bibliografía.....	57
Capítulo 18.	Agradecimientos	59



Capítulo 1. Objetivo de este documento

Es objeto del proyecto el estudio teórico y el diseño práctico de un conversor analógico digital de tipo Wilkinson y la implementación de los distintos componentes que componen su sistema empleando la tecnología AMSC35 y las herramientas de diseño Cadence IC con el objetivo de medir la carga de salida de un fotosensor. Para la comprobación del correcto funcionamiento de cada uno de los elementos creados abstrayéndolos del sistema, se hará uso de bancos de pruebas así como del diseño final con el objetivo de analizar las prestaciones alcanzadas. El objetivo final del proyecto es proporcionar un diseño que alcance una resolución superior a 8 bits con un tiempo de conversión inferior a 5 μ s minimizando el área ocupada y su consumo.

Capítulo 2. Introducción a los Sistemas de conversión Analógico Digitales

Los conversores A/D y D/A son el enlace entre el mundo analógico de los transductores y el mundo del procesamiento digital de señal y gestión de datos. En un sistema analógico el ancho de banda es limitado por el dispositivo, el rendimiento de sus componentes y las señales parásitas introducidas. El ruido térmico generado en los componentes pasivos y activos limita el rango dinámico del sistema analógico. El ratio entre la señal analógica máxima permitida y el ruido determina el rango dinámico del sistema, siendo el término ratio señal a ruido (S/N) la medida del mismo.

La cuantización de las señales continuas analógicas en un número de niveles de amplitud discretos establece ciertas limitaciones de precisión a la hora de reproducir dichas señales.

2.1 Función básica del conversor A/D

La ilustración de la figura 1 nos muestra un diagrama del conversor A/D al cual se le ha añadido un amplificador Sample and Hold para muestrear la señal de entrada y mantener la información de la señal en el valor muestreado durante el tiempo en el cual se realiza la conversión a un valor digital de salida. [1]

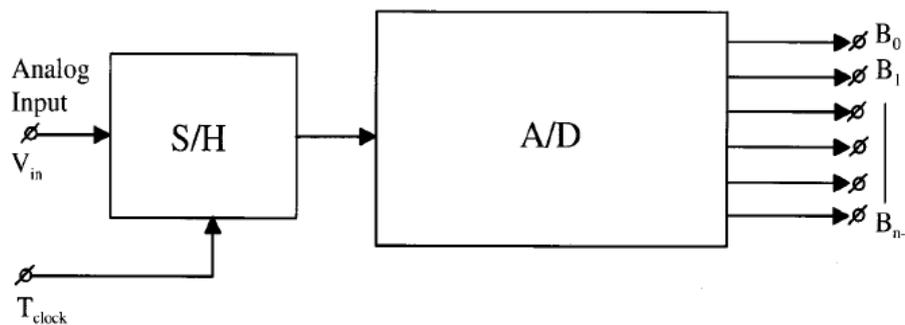


Ilustración 1: Diagrama de un conversor A/D

Siendo el valor analógico de la señal de entrada transformado en un valor digital usando la siguiente ecuación:

$$\frac{V_a}{R_{Ref}} = D_{Out} + q_e = \sum_{m=0}^{n-1} B_m 2^m + q_e$$

De manera que la señal de salida digital corresponde:

$$D_{Out} = \sum_{m=0}^{n-1} B_m 2^m$$

En esta ecuación el término D_{Out} representa el valor digitalizado de la señal de entrada analógica mientras que q_e representa el error de cuantización. El error de cuantización que será explicado más adelante representa la diferencia entre la señal de entrada analógica V_a cociente con R_{Ref} y la señal contada D_{Out} cuando un número finito de niveles de cuantización n es utilizado.

Llegados a este punto es necesario definir el concepto de cuantización en el sistema, conocemos este proceso como el proceso donde el LSB es determinado si la tensión de entrada analógica se mantiene en el menor rango, del rango de tensiones de entrada.

Por ejemplo, considerando un ADC cuya V_{ref} es de 2 V y su resolución es de 3-bit. Los 2 V son divididos en 8 rangos, así que la tensión del LSB se encuentra en 250 mV. De manera que cualquier entrada entre 0 y 250 mV es asignada a la misma salida digital, código 000 como podemos ver en la ilustración 2. La señal de entrada entre 251 mV y 500 mV será asignada al código 001 y de la misma manera el resto.

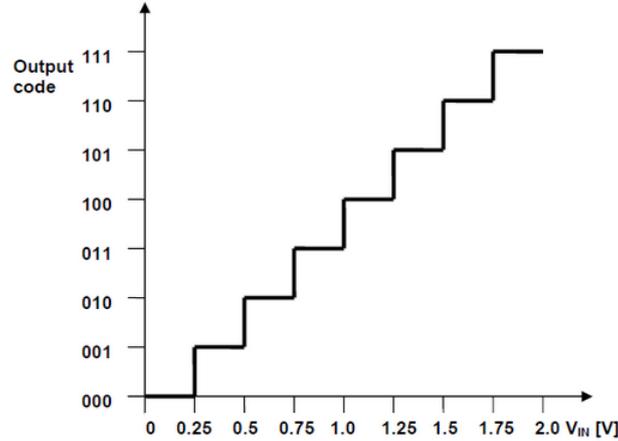


Ilustración 2: Proceso de Cuantización

Para definir un ADC ideal usaremos el concepto de cuantización. Debido a la naturaleza digital de un ADC, la obtención de un valor de salida continuo no es posible. El ADC ideal realiza el proceso de cuantización durante la conversión. Esto provoca una función de transferencia escalera donde cada paso representa un LSB. [2]

2.2 Clasificación de las señales

En los conversores Analógico Digitales y en los Digital Analógicos encontramos diferentes condiciones de señal. En la figura 3 mostramos las diferentes condiciones de las señales.

		Amplitude	
		Continuous	Discrete
Time	Continuous	Analog	Amplitude Quantized
	Discrete	Sampled Signal	Digital

Ilustración 3: Diferentes condiciones de la Señal

Independientemente de la condición de la señal. Para convertir la señal analógica en una señal digital, deben realizarse dos operaciones independientemente del orden de ejecución.

- Cuantización de Amplitud
- Muestreo

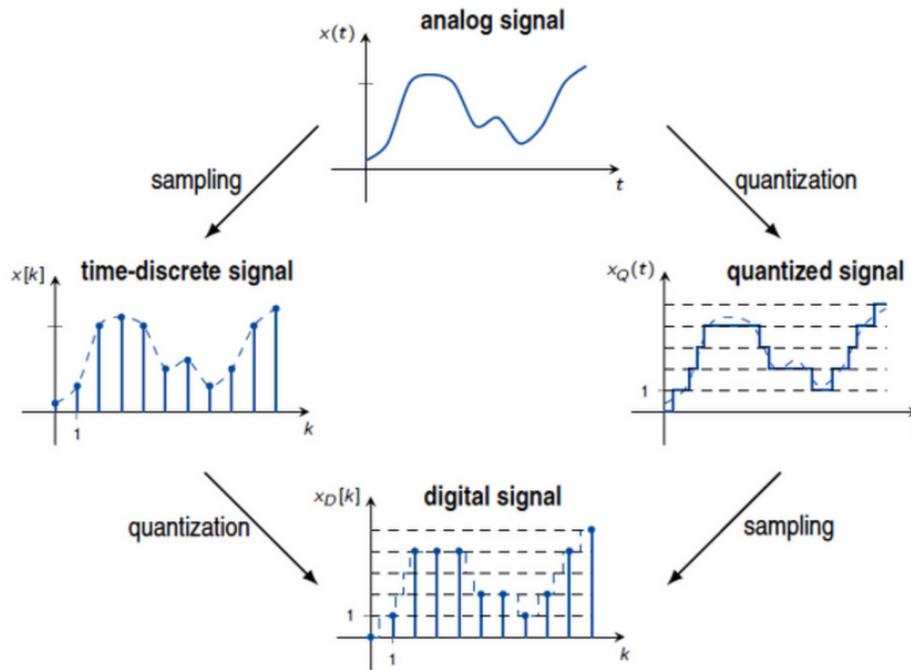


Ilustración 4 Operaciones del ADC

Señales analógicas

Las señales analógicas son señales continuas en el tiempo y en amplitud, es decir que no tienen límites de ancho de banda ni de amplitud. Sin embargo cuando las señales analógicas son procesadas en un sistema aparecen limitaciones de frecuencia y al mismo tiempo señal de ruido provocada por los componentes pasivos y activos.

Señales discretas en el tiempo

Las señales discretas en el tiempo son generadas por muestrear una señal analógica en intervalos de tiempos discretos sin cuantizar la amplitud de la misma. En la mayoría de sistemas los intervalos de tiempo son equivalentes al reloj de muestreo.

La operación de muestreo introduce una réplica del espectro de frecuencia de entrada alrededor de la frecuencia de muestreo y sus múltiplos. Para evitar el aliasing ampliamente conocido debe ser aplicado el criterio de Nyquist siendo el ancho de banda de la señal de entrada como máximo equivalente a la mitad de la frecuencia máxima de muestreo.

Señales de amplitud discreta

En los sistemas continuos en tiempo, la amplitud puede ser cuantizada en niveles discretos de amplitud resultando por tanto en una señal de amplitud discreta. Esta operación puede ser realizada por ejemplo para mantener los niveles de amplitud cuando la señal es sometida a diferentes etapas de procesado.

Este proceso introduce errores de cuantización que limitan la precisión y el rango dinámico del sistema. Para obtener señales apropiadas a la salida del sistema y minimizar este efecto, es necesaria una ganancia alta y un ancho de banda elevado en el comparador.



Señales digitales

Las señales digitales son obtenidas si una señal es muestreada en intervalos de tiempo discretos y la amplitud es cuantizada en niveles discretos de amplitud.

Como anteriormente se ha comentado, la cuantización de la amplitud introduce errores de cuantización que limitan la precisión del sistema, de la misma manera que muestrear en intervalos de tiempo discretos requiere un espectro de frecuencias de entrada limitado. Para minimizar esta serie de errores la incertidumbre de tiempo de muestra debe ser pequeña.

Estas condiciones afectan por igual tanto a los conversores A/D como a los D/A dado que se realiza una digitalización o reconstrucción de las señales analógicas, en las siguientes secciones procedemos a realizar una descripción de las diferentes especificaciones (DC, AC, temporales...) que se han tenido en cuenta a la hora de realizar el diseño y deben de caracterizar cualquier diseño de estas características. [3]

Capítulo 3. Especificaciones DC

Las especificaciones DC para cualquier convertor Analógico-Digital muestran su rendimiento frente a señales de entrada analógicas estables. Estas especificaciones son especialmente importantes en aplicaciones de instrumentación donde el convertor Analógico-Digital se emplea para medidas físicas de variación lenta, como las procedentes de señales de temperatura, presión o peso.

Procedemos a analizar las siguientes especificaciones:

- Error de Offset
- Error de Ganancia
- Error Full Scale
- Differential Non-Linearity (DNL)
- Integral Non-Linearity (INL)
- Error Absoluto

Error de Offset:

El error de offset en los convertidores A/D es definido como la desviación de su función de transferencia respecto a la función de transferencia perfecta en el punto cero hasta la transición medida con el LSB. Cuando la transición desde la señal de salida de 0 a 1, no ocurre para una señal de entrada de 0.5 LSB, entonces decimos que existe un error de offset.

Con errores de offset positivos el valor de la señal de salida es mayor que 0 cuando la señal de entrada es menor que 0.5 LSB, mientras que en los errores de offset negativos es mayor que 0 cuando la señal de entrada es mayor que 0.5 LSB.

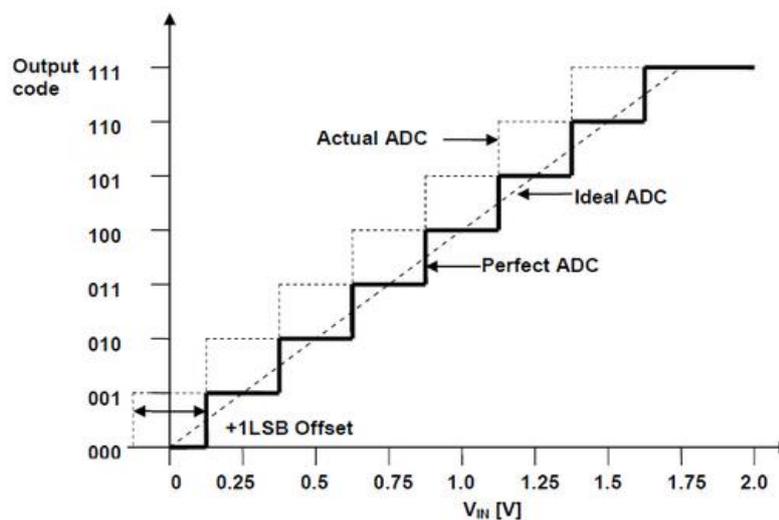


Ilustración 5: Error de Offset Positivo

En la figura 5, la primera transición ocurre para 0.5 LSB, y la transición es de 1 a 2, Pero la transición debería de haber ocurrido en 1.5 LSB para el caso ideal. Así que la diferencia Ideal - Real = 1.5 LSB - 0.5 LSB = +1 LSB, este es el error de offset.

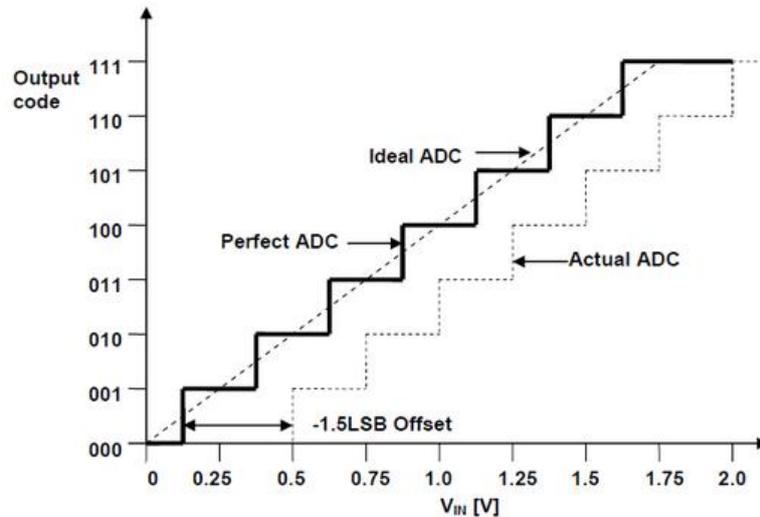


Ilustración 6: Error de Offset Negativo

En la figura 6 de manera análoga a la que muestra el offset positivo, la primera transición ocurre en 2 LSB, pero debería haber ocurrido para el 0.5 LSB, así que la diferencia Ideal – Real = 0.5 LSB – 2 LSB = -1.5 LSB es el error de offset. [4]

Error de ganancia

El Error de ganancia en los conversores Analógico-Digital es definido como la desviación de la última etapa a partir del punto medio del ADC Real, respecto al del ADC Ideal compensando el error de offset. Tras compensar el error de offset, aplicar una señal de entrada de 0 siempre desemboca en una señal de salida 0, sin embargo, los errores de ganancia provocan que la pendiente de la función de transferencia real se desvíe respecto de la ideal.

Este error de ganancia puede ser medido y compensado escalando los valores de salida. La siguiente imagen nos muestra un ejemplo de la función de transferencia un ADC de 3 bits con errores de ganancia:

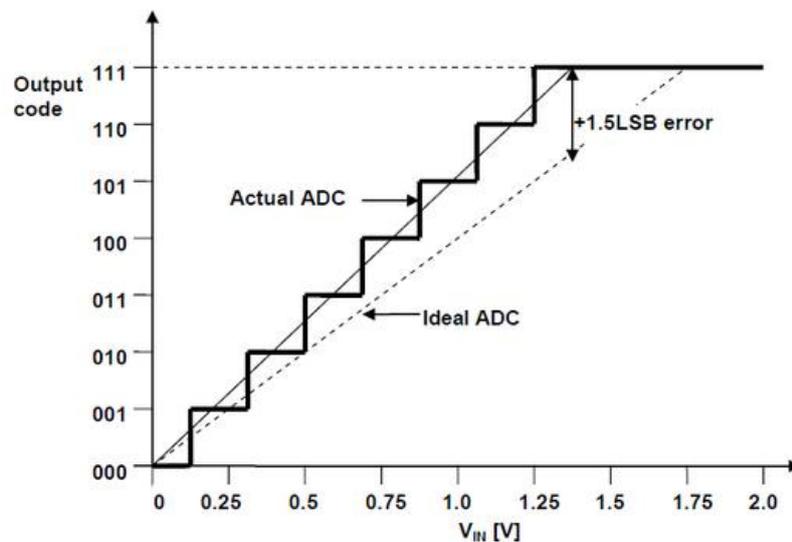


Ilustración 7: Error de ganancia Positivo

Si la función de transferencia del ADC Real supera la ideal, se produce un error de ganancia positiva y viceversa.

El error de ganancia se calcula como el número de LSB (en vertical) entre ambas rectas. En la siguiente figura podemos observar como la salida del ADC real ha alcanzado el valor 6 LSB mientras que el ideal se encuentra en su valor máximo. [5]

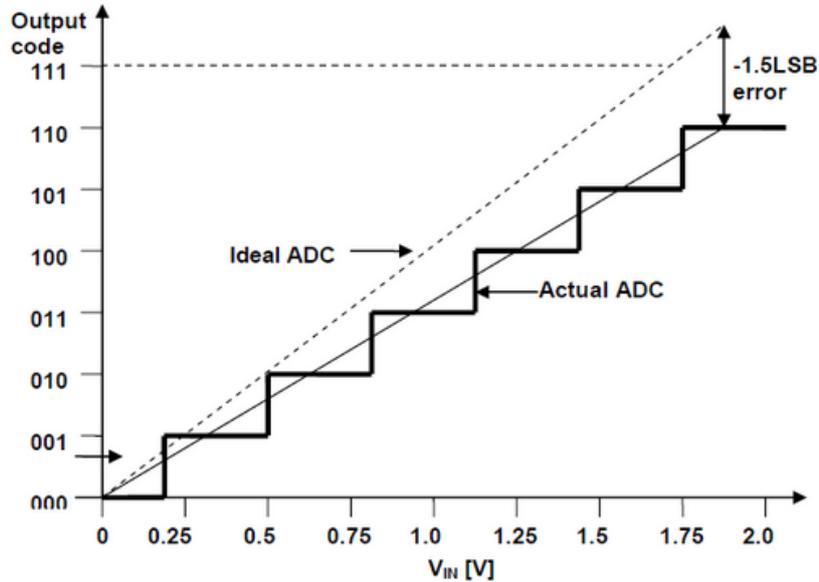


Ilustración 8: Error de ganancia Negativo

Error Full Scale en los ADC

El error de Full Scale es la desviación entre la última transición del ADC Real y la última transición del ADC Ideal, medida en LSB o Voltios. El error Full Scale es debido a la suma de los errores de offset y de ganancia, en la siguiente figura se muestra, su valor es de 1.5 LSB:

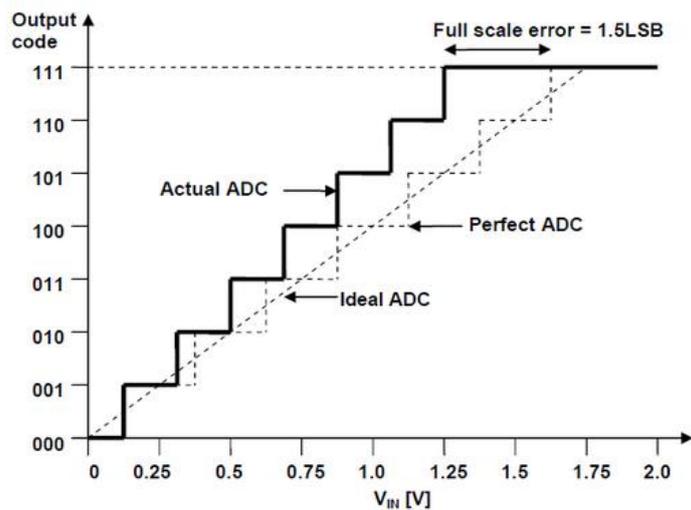


Ilustración 9: Error Full-Scale

Differential Nonlinearity (DNL)

El error DNL es la diferencia entre el paso del ADC Real y el valor Ideal que corresponde al valor exacto de 1 LSB, es decir si la anchura del paso es exactamente de 1 LSB el error de DNL es cero.

Si el DNL supera 1 LSB la función de transferencia del ADC se transforma en **nomonotónica**. Esto significa que la magnitud de la señal de salida es menor para un incremento de magnitud en la señal de entrada, este efecto no es deseado en aplicaciones de lazo cerrado ya que produce problemas de estabilidad y oscilaciones.

Si el DNL es inferior a 1 LSB existe la posibilidad de pérdida de códigos, es decir que uno o más de los posibles 2^n valores nunca sean dados. [6]

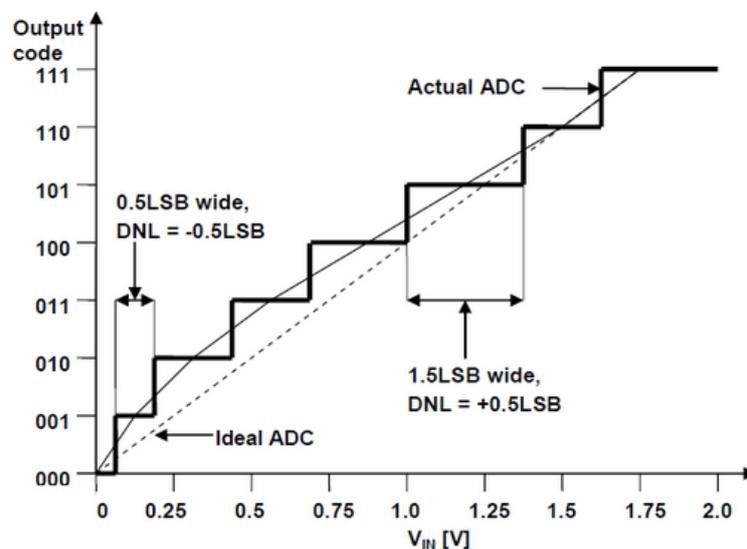


Ilustración 10: Error de Differential Non-Linearity

En la ilustración 10 el ancho de pulso ideal es de 1 LSB. Mientras que en el valor de señal de salida 101 el DNL = +0.5 LSB, mientras que en el valor de salida 001 el DNL = -0.5 LSB

Código Perdido en los ADC:

En la siguiente imagen podemos ver un ejemplo de pérdida de código en los ADC. La señal de salida permanece constante para los valores de tensión de entrada entre 1 V – 1.5 V y por lo tanto el valor de salida 100 nunca puede aparecer. Cuanta mayor resolución tenga el ADC menos acentuada será la pérdida de código. [7]

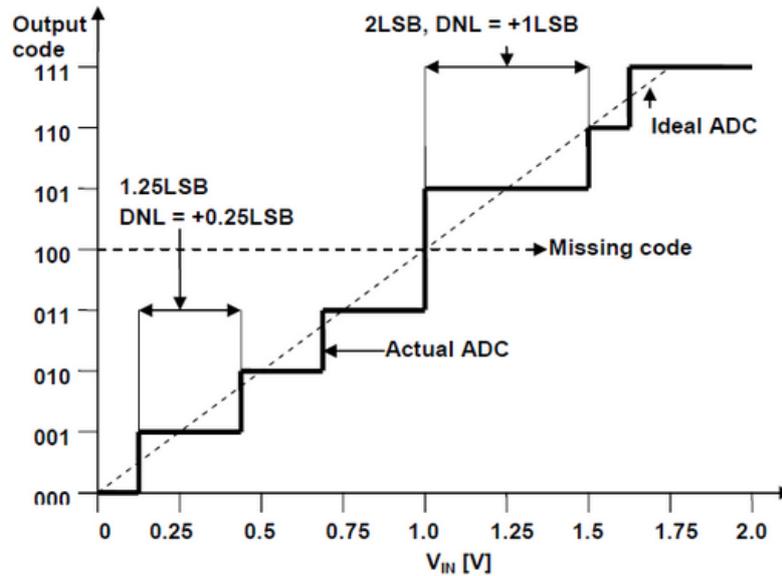


Ilustración 11: Código Perdido en los ADC

Integral Nonlinearity (INL)

El error de Integral Nonlinearity es la desviación de los valores de la función de transferencia Real respecto a una línea recta. La línea recta puede ser o la recta ideal dibujada para minimizar las desviaciones o la línea recta dibujada entre los puntos finales de la función de transferencia obtenida tras corregir los errores de ganancia y offset. El segundo método es conocido como end-point linearity y es el comúnmente adoptado.

Para un ADC las desviaciones son medidas en las transiciones desde un paso al siguiente y para los DAC son medidas en cada paso. El nombre INL proviene del sumatorio de las DNL desde el principio hasta un paso en particular, determinando el valor de la INL en ese paso. [8]

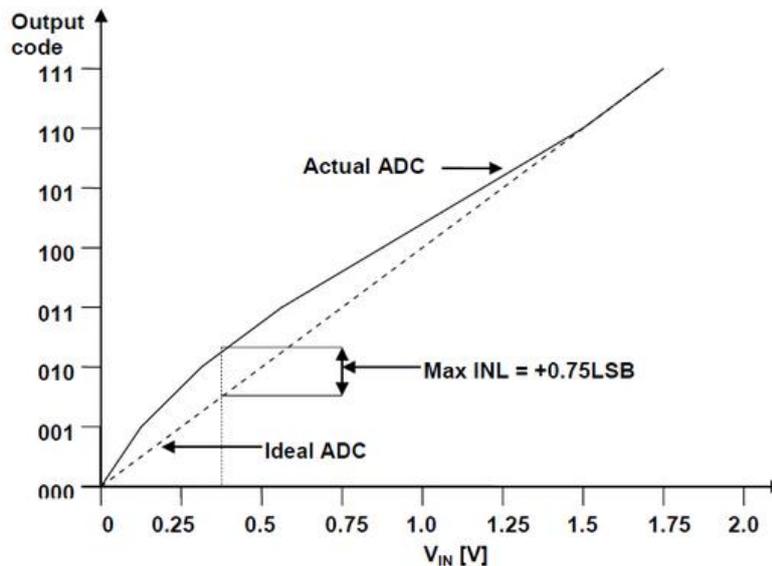


Ilustración 12: Error de Integral Non-Linearity



Error Absoluto

En los ADC el error absoluto es el error total sin compensar e incluye los errores de offset, de ganancia, de cuantización y de no-linealidad. Es la cantidad de desviación desde la función de transferencia de ADC Ideal sin compensación de offset ni ganancia. Esta especificación de error nos proporciona detalles del peor caso que podemos encontrar de ADC. Idealmente el error absoluto es de 0.5 LSB [9]

Monotonicity

Un ADC es monótonico si, en el caso de incrementar la señal de entrada, la señal de salida digital se ve incrementada y viceversa. El comportamiento monótonico no garantiza que no haya pérdida de códigos.

El comportamiento monótonico es una característica especialmente importante para los ADC, empleada en ciclos de control de realimentación ya que la respuesta monótonica puede producir oscilaciones en el sistema.

Un ADC monótonico puede seguir teniendo una DNL superior a 1 LSB, lo que puede producir pérdida de código. [10]

Capítulo 4. Especificaciones AC

Para las aplicaciones de ADC donde la señal es de baja frecuencia o continúa comparada con la frecuencia de muestreo, las especificaciones DC son las más importantes, mientras que cuando la señal aumenta en frecuencia, otras medidas deben emplearse para determinar el rendimiento del ADC.

Ciertas imperfecciones del ADC introducen ruido y distorsión en la muestra de salida. De hecho, hasta los ADC Ideales introducen errores en la señal AC muestreada en forma de ruido. Las especificaciones AC de un ADC aclaran la cantidad de ruido y distorsión han sido introducidas en la señal muestreada y la precisión del conversor para una frecuencia de entrada dada y una tasa de muestreo.

Las especificaciones que procedemos a introducir son las siguientes:

- Ratio Señal a Ruido (SNR)
- Error de Cuantización
- Ratio Señal a Ruido + Distorsión (SINAD)
- Distorsión Armónica Total + Ruido (THD + N)
- Número de Bits Efectivo
- Rango Libre de Espurios

Ratio Señal a Ruido (SNR)

Si una señal AC es introducida en un ADC Ideal, el ruido presente en la salida digitalizada será debido al error de cuantización. En el caso de un ADC Ideal, el error máximo para cualquier señal de entrada será $\pm \frac{1}{2}$ LSB. Si una señal de rampa lineal es introducida al ADC y el error de salida es mostrado para todas las entradas analógicas, el resultado será una forma de onda dientes de sierra con un valor de pico a pico de 1 LSB como se muestra en la siguiente figura:

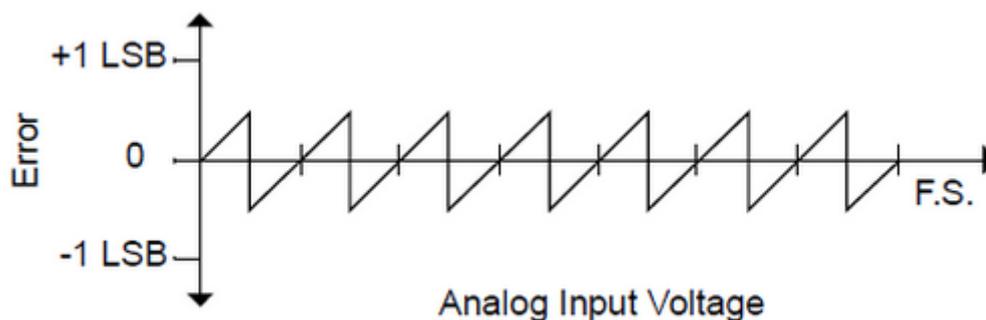


Ilustración 13: Rampa lineal de Ejemplo

El valor de amplitud RMS del error de salida puede ser representado de manera aproximada por la siguiente ecuación:

$$Error_{RMS} = \frac{1}{\sqrt{12}} * 1 \text{ LSB}$$

El valor máximo teórico del SNR para un ADC puede ser determinado basado en el error de cuantización (RMS) mostrado anteriormente. La anterior fórmula asume que la señal de ruido es medida sobre el Bandwidth útil del ADC ($0 - \frac{f_s}{2}$), donde f_s es la frecuencia de muestreo. En el

caso de oversampling donde la señal de bandwidth es menor que el ancho de banda de Nyquist, el SNR teórico del ADC es incrementado 3 dB cada vez que la f_s es doblada:

$$SNR = 6.02N + 1.76 \text{ dB} + 10 \log_{10} \left(\frac{f_{\text{sample}}(rms)}{2f_{\text{max}}} \right)$$

Si una señal sinusoidal Full-Scale es introducida al ADC, el máximo SNR teórico es puede ser descrito como:

$$SNR_{dB} = 20 \log_{10} \left(\frac{A_{\text{SIGNAL}}(rms)}{A_{\text{Total Noise}}(rms)} \right)$$

Donde $A_{\text{SIGNAL}}(rms)$ representa la amplitud rms de la entrada analógica, mientras que $A_{\text{Total Noise}}(rms)$ es el valor rms de la suma de todas las fuentes de ruido (térmico, flicker...) que limita el rendimiento dinámico del ADC. [11]

Error de cuantización:

En la siguiente figura podemos observar que una tensión de entrada entre 0 y 250 mV produce una salida de código 000. Este es el error de cuantización debido al propio proceso de cuantización. Al mismo tiempo que la tensión de entrada sube desde 0 V el error de cuantización sube de igual modo y alcanza el mayor error de cuantización en 1 LSB para 250 mV. En el siguiente paso del mismo modo el error de cuantización se incrementa de 0 a 1 LSB al mismo tiempo que la tensión de entrada sube desde 250 mV hasta 500 mV.

El máximo error de cuantización de 1 LSB puede ser reducido hasta ± 0.5 LSB mediante el desplazamiento de la función de transferencia hacia la izquierda 0.5 LSB. [12]

La ilustración número 14 muestra una función de transferencia ajustada para minimizar el susodicho error:

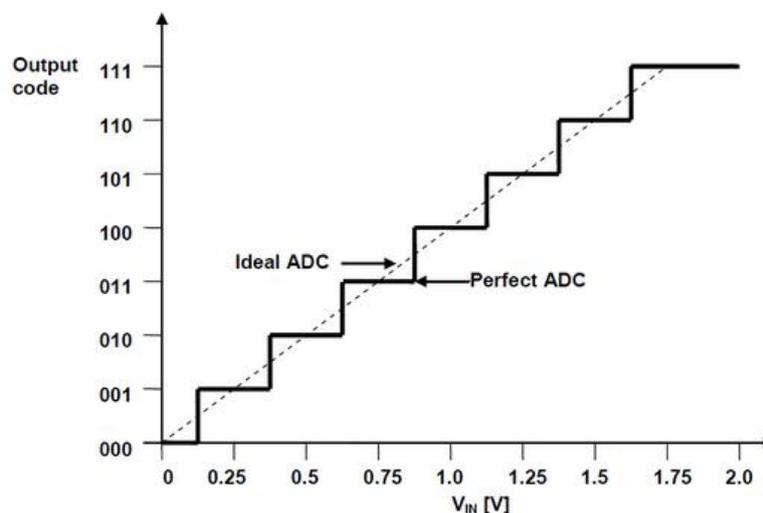


Ilustración 14: Error de Cuantización

Ratio Señal a Ruido + Distorsión (SINAD)

Para el cálculo del ratio señal a ruido + Distorsión (SINAD) aplicamos una señal de entrada sinusoidal en Full-Scale. El SINAD se obtiene mediante la diferencia entre el ratio del

nivel rms de la señal de entrada y el valor rms del total del sumatorio de todos los componentes de ruido y distorsión en el análisis de la FFT, excluyendo los componentes DC.

El valor del SINAD es una medida útil del rendimiento del ADC ya que incluye el efecto de todo el ruido, distorsión y armónicos introducidos por el ADC en el sistema. [13]

La siguiente fórmula es la empleada para obtener el valor del SINAD:

$$SINAD = -10 \log_{10} \left(10^{-\frac{SNR}{10}} + 10^{\frac{THD}{10}} \right)$$

Distorsión Armónica Total

El valor de distorsión armónica total (THD) es el valor rms de los armónicos producidos por el conversor Analógico Digital respecto al valor rms del nivel de señal de entrada Full-Scale.

Por ejemplo, suponiendo que la señal de entrada tiene una frecuencia f , entonces las frecuencias de los armónicos son $2f$, $3f$, $4f$ etc. La no-linealidad en el conversor producirá armónicos que no están presentes en la señal original. Estas frecuencias armónicas normalmente distorsionan la salida, perjudicando el rendimiento del ADC.

Este efecto puede ser cuantificado como THD el cual es el ratio de la suma de las potencias de las componentes frecuenciales armónicas hasta la potencia de la componente frecuencial fundamental en rms. En la práctica solo los primeros armónicos son significantes ya que los de mayor orden son insignificantes comparados con el ruido base en la medida de la FFT de salida.

$$THD = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_1}$$

El THD tiene que tener un mínimo valor para menor distorsión. A medida que la amplitud de la señal de entrada aumenta, la distorsión se incrementa. El valor de THD también aumenta con el incremento de la frecuencia. [14]

Distorsión Armónica Total + Ruido (THD + N)

La distorsión armónica total + ruido, THD + N, es el valor rms de los armónicos y el ruido producido por el ADC relativo al valor rms del nivel sinusoidal de entrada en Full-Scale. El THD + N no incluye necesariamente todos los datos del análisis FFT. Para una especificación válida de THD + N, el ruido de ancho de banda debe ser especificado. Si el ruido de ancho de banda es superior al ancho de banda útil del ADC $\left(0 - \frac{f_s}{2}\right)$, el THD + N será equivalente al SINAD.

Número efectivo de Bits

El número efectivo de Bits (ENOB) de un ADC se calcula sustituyendo el valor medido del SINAD en la ecuación que describe el SNR para un ADC Ideal y resolverlo para N, el número de bits, como muestra la siguiente ecuación:

$$ENOB = \frac{(SINAD - 1.76 \text{ dB})}{6.02}$$

El ENOB es presentado normalmente para un rango de frecuencias de entrada y nos muestra la precisión del conversor como función de la frecuencia de entrada y el ratio de muestreo elegido. La siguiente figura muestra el ejemplo gráfico del ENOB del ADC. [15]

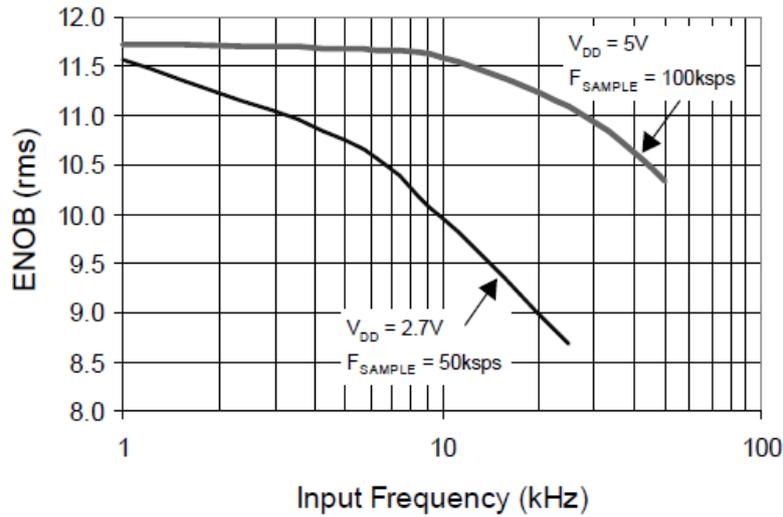
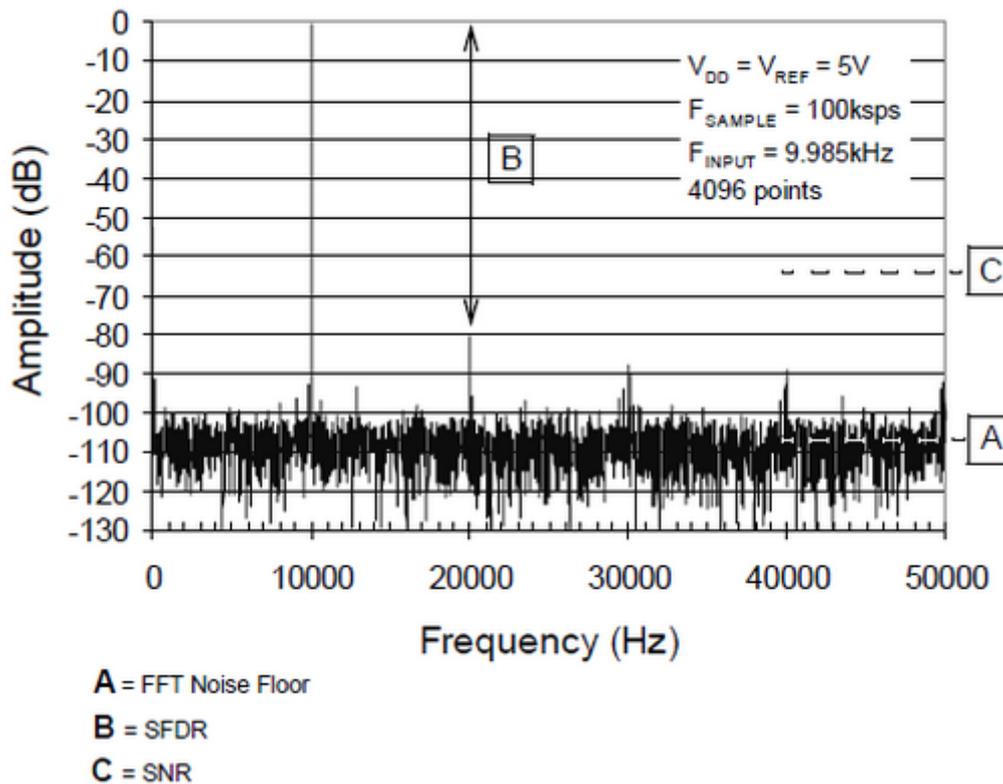


Ilustración 15: Número efectivo de Bits

Rango Libre de Espurios

El rango libre de espurios (SFDR) es el ratio del nivel de la señal de entrada hasta el nivel de la componente de mayor distorsión en el espectro FFT. Esta especificación es importante ya que determina el mínimo nivel de señal que puede ser afectado por los componentes de distorsión. En la siguiente figura B muestra el SFDR ejemplo:



El espectro FFT obtenido del ADC proporciona el ruido base, en función del número de bits N , la resolución en bits y M el número de puntos en la FFT. [16]

$$FFTNoiseFloor = 6.02 * N + 1.76 \text{ dB} - \log_{10} \left(\frac{M}{2} \right)$$

time". El "Jitter" es la desviación de la periodicidad de una señal periódica a menudo referenciada a una señal de reloj.

En los amplificadores Sample and Hold el tiempo de apertura determina el tiempo mínimo requerido hasta que la instrucción "Comenzar la conversión" puede ser dada. En la siguiente figura podemos ver una ilustración de lo comentado [19]:

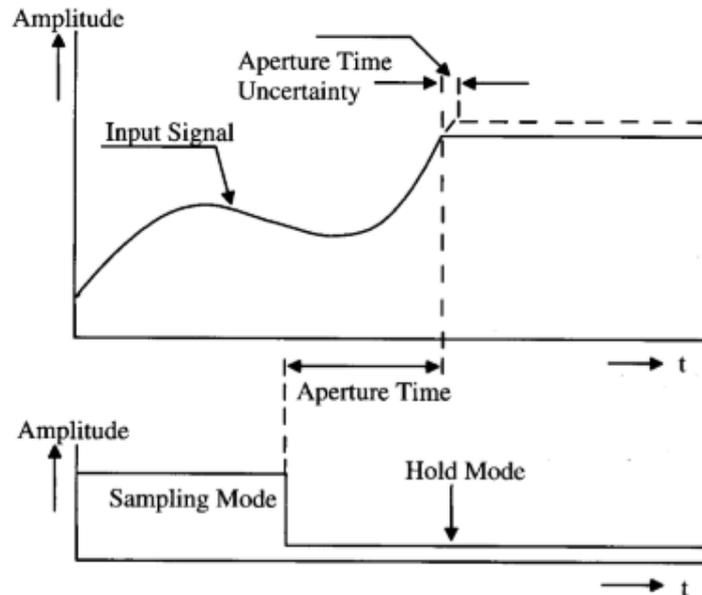


Ilustración 17: Aperture Time

"Sample to hold step"

El Sample to Hold step es un cambio en la señal de salida en un amplificador Sample and Hold en el momento que el circuito cambia de estado, del estado "Sample" al estado "Hold" por ejemplo.

Debido al efecto "charge feed-through" en el Switch, cierta cantidad de carga es añadida a la cantidad total almacenada en el estado "Hold". Este efecto añade un error en el muestreo que aparece ilustrado en la siguiente figura [20]:

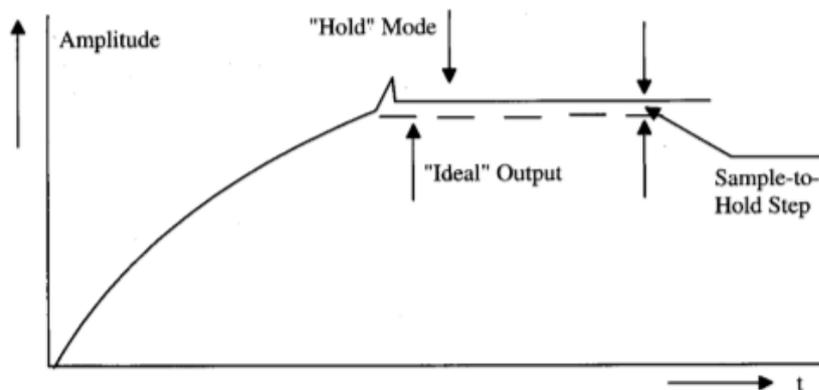


Ilustración 18: Sample to Hold Step

Feed-Through durante el modo “Hold”

Cuando el amplificador S&H se encuentra en el modo “Hold”, la señal de input debe ser desconectada del condensador de Hold. En un sistema real, el interruptor de muestreo tiene una impedancia finita y especialmente cuando se aplica una señal de alta frecuencia las capacidades parásitas sobre el mismo producen un efecto feed-through de la señal de entrada sobre la señal muestreada en el condensador de Hold.

La atenuación debe ser mayor que el rango dinámico del ADC usado para la conversión, por ejemplo una atenuación de feed-through de 70-80 dB es necesaria para los sistemas de 8-10 bits.

Contraste de las especificaciones temporales del amplificador Sample and Hold

Para obtener una visión general de las diferentes especificaciones temporales que aparecen en el S&H, este conjunto de parámetros son mostrados en la siguiente ilustración. La parte superior de la figura muestra la señal de entrada aplicada al sistema S&H. La parte intermedia muestra la señal de control como una función temporal en el sistema, y por último la parte inferior la señal de salida. [21]

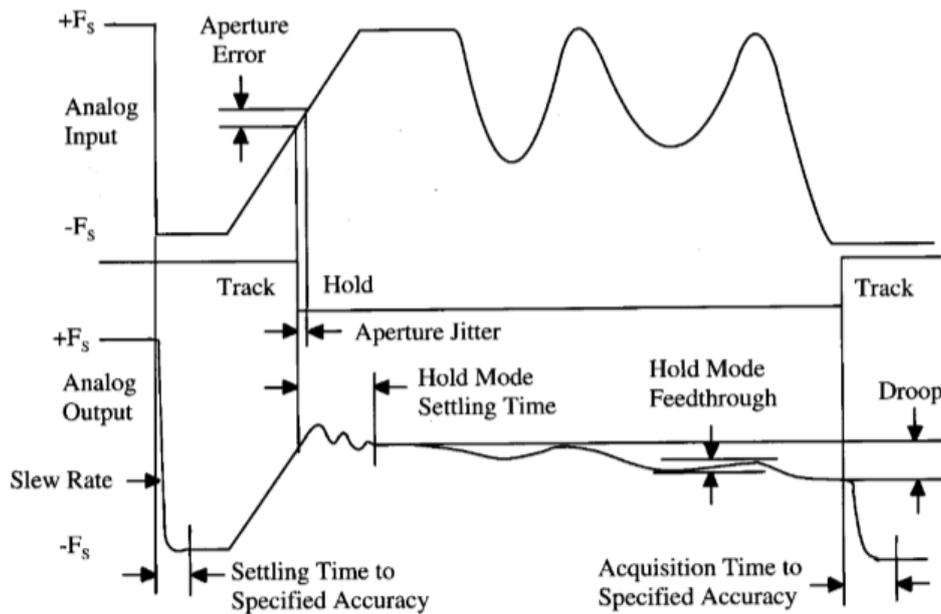


Ilustración 19: Overview General

Capítulo 6. Conversores Analógico Digitales de alta resolución

A lo largo de esta sección procedemos a mostrar diferentes topologías empleadas para la implementación de conversores Analógico-Digitales, incluida la topología elegida para nuestro diseño, la topología Wilkinson.

Conversor A/D de rampa única (Single Slope ADC)

El sistema consta de:

- Integrador
- Comparador
- Contador

En el momento que la conversión empieza el contador se pone a 0 y el integrador se resetea cerrando el interruptor S_p . Cuando una señal de entrada positiva es introducida el integrador empieza a generar la función rampa. En ese intervalo de tiempo el contador empieza a contar. En el momento que la señal de salida del integrador sea igual a la de entrada el contador se detiene. En las figuras 20 y 21 mostramos el esquema del Single Slope y su diagrama temporal. [22]

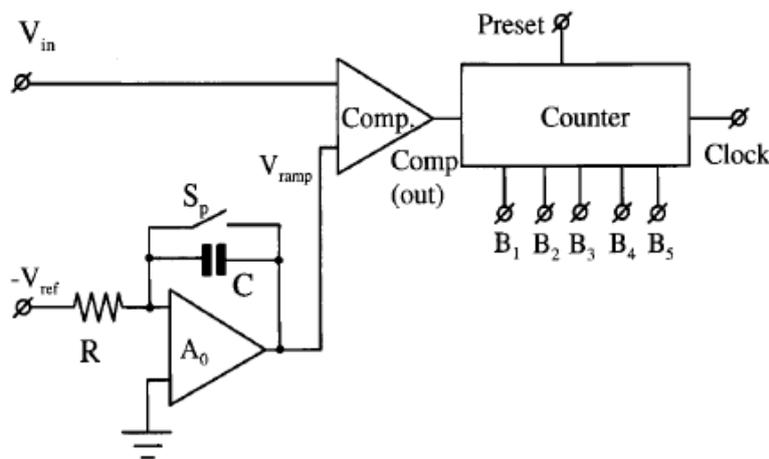


Ilustración 20: Conversor ADC Single Slope

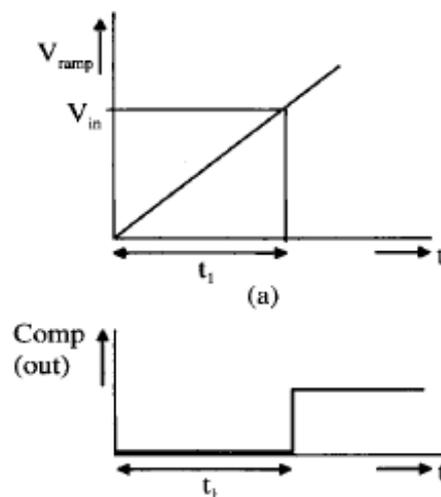


Ilustración 21: Diagrama temporal Single Slope

La precisión del sistema es determinada por el reloj, la constante de tiempo RC del integrador y la tensión de referencia V_{Ref} . El tiempo durante el cual la señal de entrada es convertida es equivalente a:

$$t_1 = RC \frac{V_{in}}{V_{Ref}}$$

Y el valor de la salida digital:

$$N_{Digital} = t_1 * f_{clock}$$

Convertor A/D de doble rampa

Para superar la cantidad de errores de precisión encontrados en el sistema de una rampa, apareció el diseño de doble rampa.

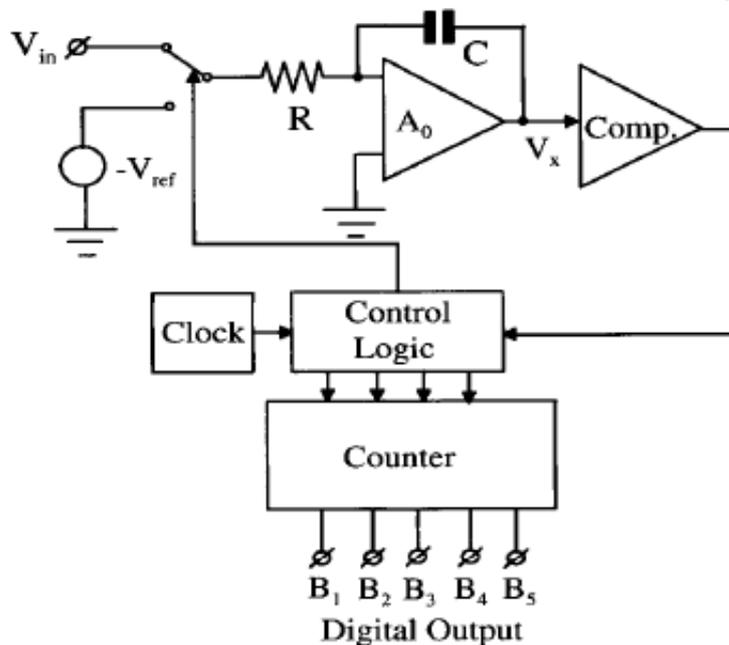


Ilustración 22: Convertor Dual Ramp

El sistema consta de:

- Integrador
- Comparador
- Contador
- Generador de reloj
- Control lógico
- Switch de entrada

En un momento inicial el integrador se encuentra reseteado, la señal de entrada es integrada durante un tiempo t_1 que corresponde con una cuenta completa del contador. Tras esto la entrada cambia a la tensión de referencia V_R , de signo opuesto a V_{in} , momento en el cual el integrador comienza la descarga. Durante la descarga comienza la cuenta. La cuenta finaliza en el momento que el comparador detecta 0. La siguiente ilustración muestra el diagrama temporal:

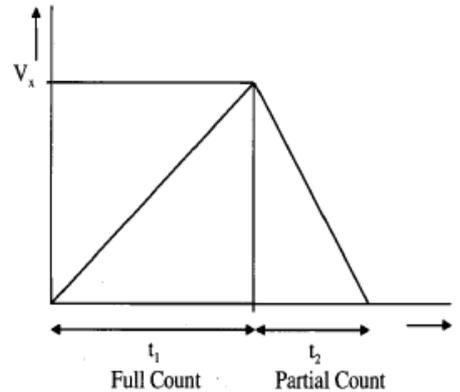


Ilustración 23: Diagrama temporal del ADC Dual Ramp

En este caso el tiempo t_2 es el tiempo durante el cual el integrador se descarga desde la señal integrada hasta 0. Los ratios entre el tiempo de carga y descarga son importantes, como desventaja el sistema tiene un tiempo de conversión lento si una resolución elevada es requerida [23].

Conversor A/D de doble rampa y pendiente única (Dual Ramp Single-Slope ADC)

Esta es la topología elegida y la cual desarrollaremos a lo largo de este proyecto, aunque adaptándola al propósito dado.

El sistema consta de:

- Amplificador Sample and Hold inversor con una resistencia y un condensador de Hold en la rama de realimentación negativa.
- Dos fuentes de corriente de referencia de valores I y $\frac{I}{256}$
- Comparador C1 con su threshold Voltage, V_t , y un comparador C2 el cual controla la operación de cuenta gruesa y fina usando la función de control lógico
- Generador de reloj
- Dos contadores, uno para cada corriente

Al inicio de la conversión, los contadores son inicializados a valor 0, y el interruptor S3 se cierra. Los interruptores S1 y S2 se abren de manera que ninguna corriente llega al integrador Sample and Hold. Cerrar el interruptor S3 provoca que el amplificador operacional actúe como un inversor, cargando el condensador CH. Cuando el tiempo de muestreo ha finalizado, el interruptor S3 se abre, quedando almacenada y muestreada la señal en el CH.

En este instante el interruptor S1 se cierra y la corriente de referencia I empieza a descargar el condensador hasta que la señal de salida del integrador alcanza el threshold Voltage, V_T . Mientras se descarga el condensador el contador MSB cuenta los pulsos. Sin embargo, el V_T del primer comparador es mayor que el voltaje que puede ser obtenido durante un ciclo de cuenta completo del contador LSB (255).

Tras la detección de V_T por el comparador 1, el interruptor S1 se abre y el S2 se cierra. Al mismo tiempo el contador LSB empieza a contar pulsos de reloj hasta que el comparador 2 detecta 0. Si el número de pulsos de reloj en el contador fino es mayor que el número que puede contar, entonces una señal de carry es introducida al contador MSB aumentando la cuenta en 1. En este momento se produce un ajuste automático del V_T . La señal de salida del ejemplo dado corresponde a número de 16 bits que corresponde con la señal de entrada analógica [24].

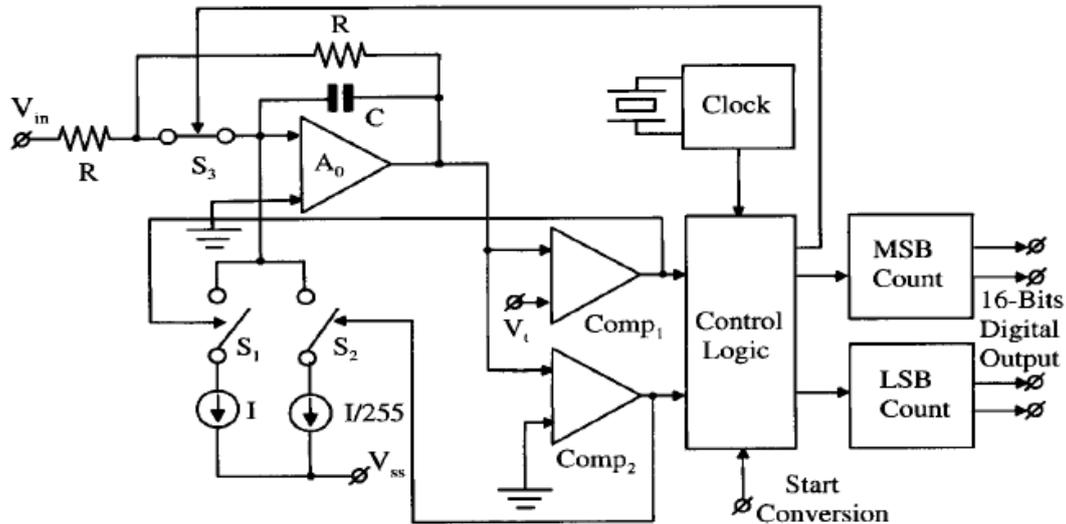


Ilustración 24: Conversor Dual Ramp Single Slope

Comparador A/D Flash

Los comparadores A/D Flash es el tipo de conversor más rápido. Un ADC Flash usa comparadores, uno por cada paso de tensión y un vector de resistencias. Un ADC flash de 4 bits constará de 16 comparadores mientras que uno de 8 bits tendrá 256 comparadores. Todas las salidas de los comparadores se conectan a un bloque de lógica que determina la salida en función de los comparadores que estén a nivel alto o bajo.

La velocidad de conversión de los ADC Flash es la suma de los retardos de los comparadores y del retraso de la lógica. Suelen ser configuraciones muy rápidas pero de alta consunción de recursos debido a la alta cantidad de comparadores necesitando altas cantidades de corriente, un conversor de 10 bits flash puede llegar a consumir en torno a medio amperio [25].

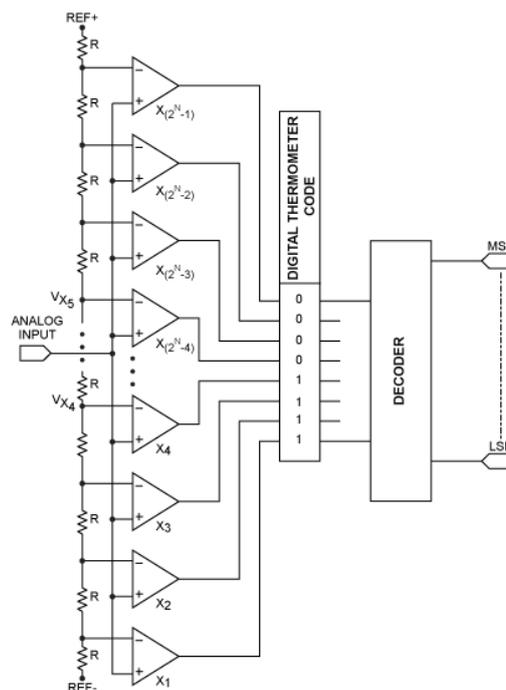


Ilustración 25: Conversor Flash de N bits

Convertidores A/D de aproximaciones sucesivas

Los convertidores de aproximaciones sucesivas usan un comparador y lógica para realizar la conversión. El primer paso de la conversión es la comparación entre la señal de entrada la tensión de referencia.

Si la señal de entrada es superior a mitad de la tensión de referencia el MSB de la salida es asignado. Este valor posteriormente es sustraído de la señal entrada y el resultado es contrastado ahora con un $\frac{1}{4}$ de la señal de referencia. Este proceso continuo hasta que todos los bits de salida hayan sido asignados o reseteados.

Los convertidores de aproximaciones sucesivas usan tantos ciclos de reloj como la cantidad de bits de salida necesarios para realizar la conversión [26].

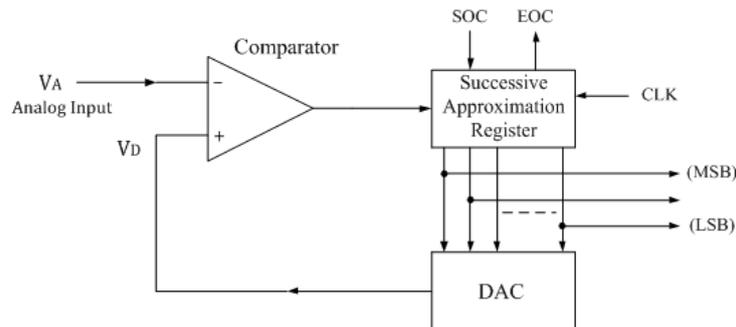


Ilustración 26: Convertor de aproximaciones sucesivas

Convertidores Sigma Delta A/D

El convertor A/D emplea un DAC de 1 bit, filtrado y oversampling para realizar conversiones muy precisas. La precisión de conversión es controlada por la señal de referencia y la el ratio del reloj.

La principal ventaja de los convertidores sigma-delta es su elevada precisión. Los convertidores de aproximaciones sucesivas o los convertidores flash usan una escalera de resistores o un vector de resistencias. El problema de es que la precisión de las resistencias afecta de manera directa a la precisión del resultado. Los convertidores Sigma Delta no usan asociaciones de resistencias, en vez de eso emplean una serie de muestras para converger en un resultado.

La principal desventaja de los convertidores Sigma Delta es su velocidad. Al funcionar haciendo oversampling de la señal de entrada, la conversión se alarga durante varios ciclos de reloj, haciéndolo más lento en comparación con otras topologías. Otra manera de verlo es que para una ratio de conversión dado requiere un reloj más rápido.

Otra desventaja de este tipo de convertidores es la complejidad del filtro digital que convierte la información del duty cycle en la digital de salida [27].

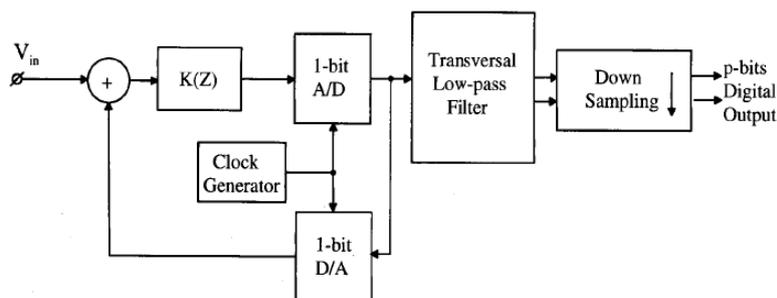


Ilustración 27: Convertor ADC Sigma Delta

Capítulo 7. Consideraciones de diseño

Una vez realizada la oportuna introducción y descripción teórica de las consideraciones y especificaciones generales que debemos tener en cuenta a la hora de abordar el diseño de un convertor A/D procedemos a describir las especificaciones iniciales proporcionadas para el proyecto y las decisiones adoptadas frente al desconocimiento de algunas necesarias.

Inicialmente las únicas especificaciones conocidas fueron el número de bits efectivo, siendo $ENUB = 10$ y una frecuencia máxima de funcionamiento $f_{max} = 200$ MHz. De manera aproximada se puede inferir que la resolución del ADC para cumplir el requisito ENUB debe de ser alrededor de 10-11 bits.

Tomando como referencia la topología de la ilustración 24 (ADC Dual-Ramp Single Slope) nos surgen diferentes cuestiones iniciales para resolver:

- Periodos de carga y descarga continúa \rightarrow ¿ $f_{muestreo}$? ¿ f_{CLK} ? ¿VFS?
- Capacidad del condensador CHold
- Corriente de descarga
- Ruido máximo admisible del sistema

Antes de comenzar a resolver estas cuestiones se ha tenido en cuenta que la complejidad del sistema planteado en la ilustración es excesiva dado que en la ilustración la resolución del ADC es de 18 bits mientras que en el nuestro como máximo es de 12 bits, así que tanto la fuente de corriente fina $\left(\frac{I}{256}\right)$ como el segundo comparador y el interruptor 2 han sido eliminados del sistema final.

Periodos de carga y descarga

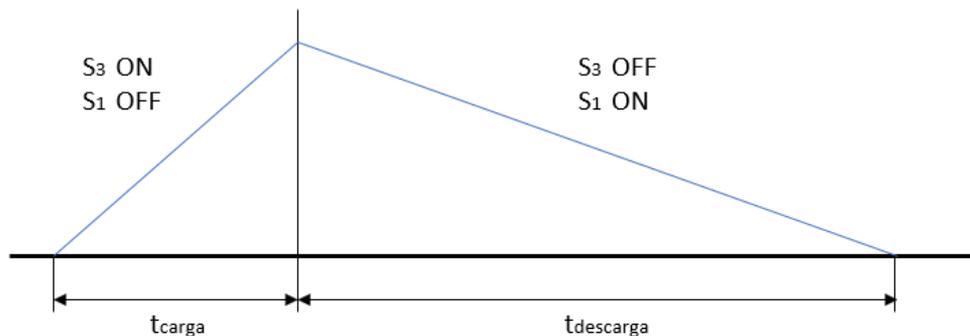


Ilustración 28: Tiempos de carga y descarga

Basándonos en el diagrama de la figura 28 establecemos los siguientes tiempos y la tensión Full-Scale:

$$t_{carga} = 200ns$$

$$t_{descarga} = 5 \mu s$$

$$V_{FS} = 2V$$

Obteniendo una frecuencia de muestreo de valor:

$$f_{muestreo} = \frac{1}{t_{descarga}} = 200 \text{ KHz}$$

Siendo la V_{FS} el valor de amplitud máxima que se introducirá al amplificador inversor y la $f_{muestreo}$ la frecuencia de muestreo máxima.

A partir del establecimiento del $t_{descarga}$ y la V_{FS} podemos obtener los valores en tiempo y tensión que debe tener nuestro LSB, así como la frecuencia de reloj.

$$LSB (V_{RMS}) = \frac{V_{FS}}{2^n} = \frac{2}{2^{11}} = 0.977 \text{ mV}$$

$$LSB (s) = \frac{t_{descarga}}{2^n} = \frac{5 \mu s}{2^{11}} = 2.441 \text{ ns}$$

A lo largo del proyecto el valor de referencia para minimizar los errores será 0.5 LSB, por lo tanto, obtenemos de manera análoga al LSB, sus valores en V_{RMS} y s:

$$\frac{1}{2} LSB (V_{RMS}) = 0.488 \text{ mV} ; \frac{1}{2} LSB (s) = 1.220 \text{ ns}$$

Siendo la frecuencia de reloj obtenida para una resolución de 11 bits:

$$f_{CLK} = \frac{1}{LSB(s)} = 410 \text{ MHz}$$

La frecuencia de reloj necesaria para 11 bits de resolución es muy elevada, así que decidimos diseñar el ADC con una resolución de 10 bits. Por lo tanto, los valores de referencia son:

$$\frac{1}{2} LSB (V_{RMS}) = 0.976 \text{ mV} ; \frac{1}{2} LSB (s) = 2.441 \text{ ns} ; f_{CLK} = \frac{1}{LSB(s)} = 205 \text{ MHz}$$

Una frecuencia de reloj de 205 MHz es aceptable en términos de diseño real para este tipo de ADC así que nuestra resolución será de 10 bits.

Capacidad del Condensador de Hold

La capacidad del condensador esta directamente relacionada con la cantidad de ruido térmico que el condensador produce, así pues, debemos realizar el cálculo de capacidad de condensador de hold mínima que debemos usar.

La función de transferencia de la ilustración 29 viene dada por la siguiente expresión:

$$\frac{V_{out}}{V_R}(s) = \frac{1}{RCs + 1}$$

$$S_{Out}(f) = S_R(f) \left| \frac{V_{Out}}{R}(jw) \right|^2 = 4kTR \frac{1}{4\pi^2 R^2 C^2 f^2 + 1}$$

El espectro de ruido blanco en la resistencia está formado por un paso bajo, así que para calcular la potencia de ruido total a la salida escribimos:

$$Pn_{Out} = \int_0^{\infty} S_{Out}(f) df = \int_0^{\infty} \frac{4kTR}{(2\pi f)^2 C^2 R^2 + 1} df$$

Teniendo en cuenta que $\int \frac{1}{f^2+1} df = \tan^{-1}(f)$ resolvemos realizando un cambio de variable $\begin{cases} u = 2\pi CRf \\ du = 2\pi CR \end{cases}$

$$\int_0^{\infty} \frac{4KTR}{u^2 + 1} \left(\frac{2\pi C}{2\pi C} \right) du = \frac{2KT}{\pi C} \int_0^{\infty} \frac{2\pi CR}{u^2 + 1} du = \frac{2KT}{\pi C} [\tan^{-1} u]_0^{\infty} =$$

$$= \frac{KT}{C}$$

El error debe ser inferior a 0.5 LSB expresado en voltios:

$$\frac{1}{2} LSB = \frac{1}{2} * \frac{V_{in}}{2^{10}} = \frac{1}{2} * \frac{2}{2^{10}} = 0.976 \text{ mVrms}$$

Despejando de la expresión del ruido térmico en el condensador:

$$C_{min} = \frac{1.38 * 10^{-23} * 298}{0.976 * 10^{-3}} = 4.211 * 10^{-18} \text{ F}$$

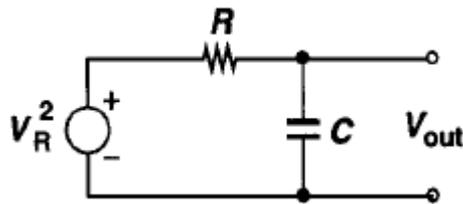


Ilustración 29: Circuito RC

Del valor obtenido de C_{min} podemos observar que no es limitante a la hora de decidir el valor de la capacidad dado que es inferior a 1 fF.

Elegimos un valor de:

$$C_{Hold} = 3 \text{ pF} > C_{min}$$

Corriente de descarga

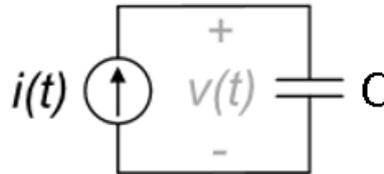


Ilustración 30: Circuito de carga condensador

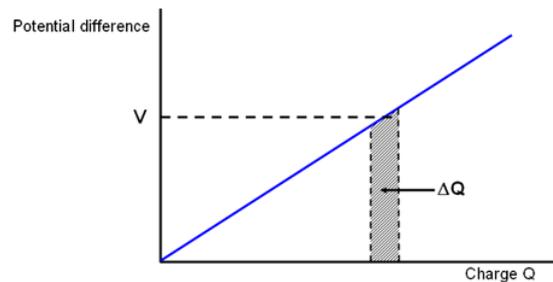


Ilustración 31: Carga constante del condensador con Fuente corriente constante

Debemos acotar la cantidad de corriente que debe proporcionar la corriente de referencia para que el condensador se descargue con una pendiente constante así que para ello utilizamos las ecuaciones de carga del condensador:

$$i = C_H \frac{dV}{dt} \rightarrow V = \frac{1}{C_H} \int I dt$$

Integrando la ecuación, dado que el valor de la corriente de referencia es constante:

$$V = \frac{1}{C_H} \Delta T I$$

Siendo $V = V_{FS} = 2V$, $\Delta T = 5 \mu s$ y la $C_H = 3pF$

La corriente de descarga será:

$$I = \frac{V_{FS} C_H}{\Delta T} = 1.2 \mu A$$

Ruido máximo del sistema

Como último cálculo previo al diseño de cada uno de los componentes que compondrán el conversor ADC final debemos realizar un cálculo de la cantidad de señal a ruido SNR máximo que debemos tener a la salida del integrador.

Empleando la expresión que relaciona la corriente de descarga del condensador con su capacidad, tensión, e incremento temporal podemos despejar la corriente de ruido máxima, utilizando los valores temporales y de voltaje anteriormente calculados para una cuenta de 0.5 LSB:

$$I_{NOISE MAX} = \frac{V \left(\frac{1}{2} LSB\right) C_H}{\Delta T \left(\frac{1}{2} LSB\right)} = \frac{0.976 mV * 3 pF}{2.441 ns} = 1200 nA$$



Esta corriente de ruido es la corriente de ruido cuadrática producida por la suma del ruido (térmico y flicker) del circuito de corriente de referencia y el integrador.

$$I_{NOISE\ Tot} = \sqrt{BW * I_{Noise\ IRef}^2 + I_{Noise\ Integrador}^2} < I_{NOISE\ MAX}$$

De esta manera no superaremos con el error que introduce la SNR a la señal el valor de 0.5 LSB de la cuenta final.

Con los valores obtenidos a lo largo de este capítulo procedemos a analizar y diseñar los componentes que usaremos en el conversor A/D.

Capítulo 8. Fuente de corriente de referencia

En los convertidores A/D y D/A, el valor Full-Scale es determinado por la fuente de referencia. Un valor de SNR y un coeficiente de temperatura de la señal de salida reducidos son determinantes para una respuesta apropiada en convertidores de alta resolución y alta precisión.

Según los datos obtenidos en el análisis previamente realizado, es necesario diseñar una fuente de corriente que proporcione un valor de referencia:

$$I_{Ref} = 1.5 \mu A$$

Y a su vez debemos realizar un análisis del error cuadrático de ruido a la salida de la misma de manera que se cumpla la restricción expuesta en el anterior apartado:

$$I_{NOISE Tot} = \sqrt{BW * I_{Noise IRef}^2 + I_{Noise Integrador}^2} < I_{NOISE MAX}$$

Para ello se realizó un diseño preliminar basado en espejos de corriente en tecnología CMOS 0.35 μm , que escalan un valor de 11.5 μA proporcionado por un dispositivo BBias de la librería BIAS del software de diseño CADENCE Virtuoso:

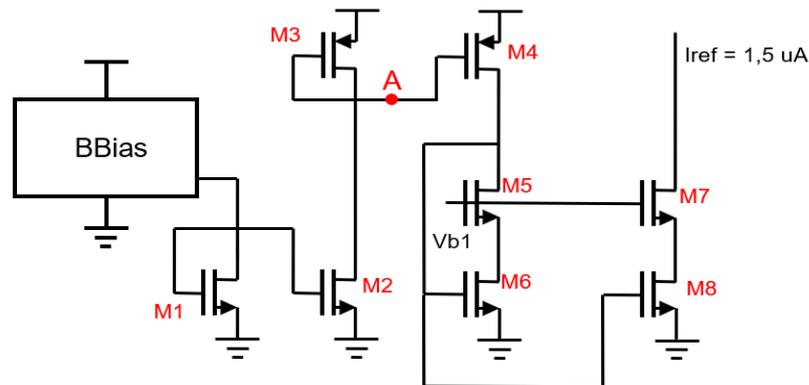


Ilustración 32: Circuito de corriente de referencia

Antes de realizar el dimensionado de los transistores CMOS empleados asignándoles una W y una L apropiadas, debemos obtener la expresión de la aportación al ruido cuadrático a la salida de cada uno de los transistores. Analizaremos por separado el ruido térmico y el ruido flicker.

Expresión del ruido térmico

$$In_A^2 = In_{BIAS}^2 \left(\frac{1}{gm_1} \right)^2 (gm_2)^2 + 4KTn\gamma \left[\frac{(gm_2)^2}{gm_1} + gm_2 + gm_3 \right]$$

$$Z_{OA} = \left(\frac{1}{gm_3} \parallel ro_3 \right) \parallel ro_2 = \left(\frac{1}{gm_3} \parallel ro_2 \right)$$

$$Vn_A^2 = In_A^2 * (Z_{OA})^2$$

$$In_B^2 = Vn_A^2 (gm_4)^2 + 4KTn\gamma [gm_4 + gm_6]$$

$$Z_{OB} = \left(\frac{1}{gm_6} \parallel ro_6 \right) \parallel ro_4 = \left(\frac{1}{gm_6} \parallel ro_4 \right)$$

$$Vn_B^2 = In_B^2 * (Z_{OB})^2$$

$$In_{Out}^2 = Vn_B^2 (gm_7)^2 + 4KTn\gamma \left[gm_8 + \frac{(gm_8)^2}{gm_6} \right]$$

Expresión completa con la aportación de todos los transistores desde la entrada hasta la salida:

$$In_{Out}^2 = \left[\left[In_{BIAS}^2 \left(\frac{1}{gm_1} \right)^2 (gm_2)^2 + 4KTn\gamma \left[\frac{(gm_2)^2}{gm_1} + gm_2 + gm_3 \right] \right] \left(\frac{1}{gm_3} \parallel ro_2 \right)^2 (gm_4)^2 + 4KTn\gamma [gm_4 + gm_6] \right] \left(\frac{1}{gm_6} \parallel ro_4 \right)^2 (gm_7)^2 + 4KTn\gamma \left[gm_8 + \frac{(gm_8)^2}{gm_6} \right]$$

Expresión del ruido Flicker

$$In_{\bar{f}^A}^2 = \frac{k_n}{C_{ox}W_1L_1f} (gm_1)^2 \left(\frac{1}{gm_1} \right)^2 (gm_2)^2 + \frac{k_n}{C_{ox}W_2L_2f} (gm_2)^2 + \frac{k_p}{C_{ox}W_3L_3f} (gm_3)^2$$

$$= \frac{1}{C_{ox}f} \left[\frac{k_n}{W_1L_1} gm_2^2 + \frac{k_n}{W_2L_2} gm_2^2 + \frac{k_p}{W_3L_3} gm_3^2 \right]$$

$$Vn_{\bar{f}^A}^2 = In_{\bar{f}^A}^2 * (Z_{OA})^2 = In_{\bar{f}^A}^2 \left(\frac{1}{gm_3} \parallel ro_2 \right)^2$$

$$In_{\bar{f}^B}^2 = Vn_{\bar{f}^A}^2 (gm_4)^2 + \frac{1}{C_{ox}f} \left[\frac{k_p}{W_4L_4} gm_4^2 + \frac{k_n}{W_6L_6} gm_6^2 \right]$$

$$Vn_{\bar{f}^B}^2 = In_{\bar{f}^B}^2 * (Z_{OB})^2 = In_{\bar{f}^B}^2 \left(\frac{1}{gm_6} \parallel ro_4 \right)^2$$

$$In_{\bar{f}^{Out}}^2 = Vn_{\bar{f}^B}^2 (gm_7)^2 + \frac{1}{C_{ox}f} \left[\frac{k_n}{W_8L_8} gm_8^2 + \frac{k_n}{W_6L_6} gm_8^2 \right]$$

Expresión completa con la aportación de todos los transistores desde la entrada hasta la salida:

$$\begin{aligned}
 I_{f_{out}}^2 = & \left[\frac{1}{C_{ox}f} \left[\frac{k_n}{W_1L_1} gm_2^2 + \frac{k_n}{W_2L_2} gm_2^2 + \frac{k_p}{W_3L_3} gm_3^2 \right] \left(\frac{1}{gm_3} \parallel ro_2 \right)^2 (gm_4)^2 \right. \\
 & \left. + \frac{1}{C_{ox}f} \left[\frac{k_p}{W_4L_4} gm_4^2 + \frac{k_n}{W_6L_6} gm_6^2 \right] \left(\frac{1}{gm_6} \parallel ro_4 \right)^2 (gm_7)^2 \right. \\
 & \left. + \frac{1}{C_{ox}f} \left[\frac{k_n}{W_8L_8} gm_8^2 + \frac{k_n}{W_6L_6} gm_8^2 \right] \right]
 \end{aligned}$$

Cabe añadir que ni la rama de polarización que proporciona Vb1 a la puerta de NM5 ni los cascos utilizados en la estructura final del circuito de la fuente de corriente de referencia aportan ruido cuadrático a la salida.

Tras el cálculo teórico de la expresión de salida procedemos a dimensionar los transistores CMOS con los valores recogidos en la tabla 1:

Tabla 1: Dimensiones fuente de referencia

TRANSISTOR	RATIO	LENGTH (µm)	WIDTH (µm)
Nmos1	4.240	1	4.240
Nmos2	4.240	1	4.240
Pmos3	12.721	1	12.721
Pmos4	3.180	1	3.180
Nmos5	1.060	1	1.060
Nmos6	1.060	1	1.060
Nmos7	0.553	1	0.553
Nmos8	0.553	1	0.553

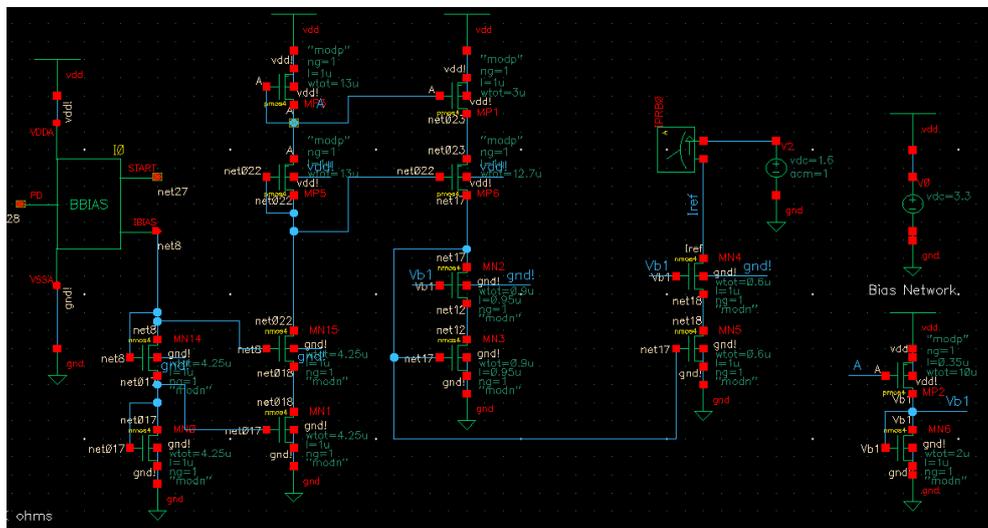


Ilustración 33: Circuito de corriente de referencia

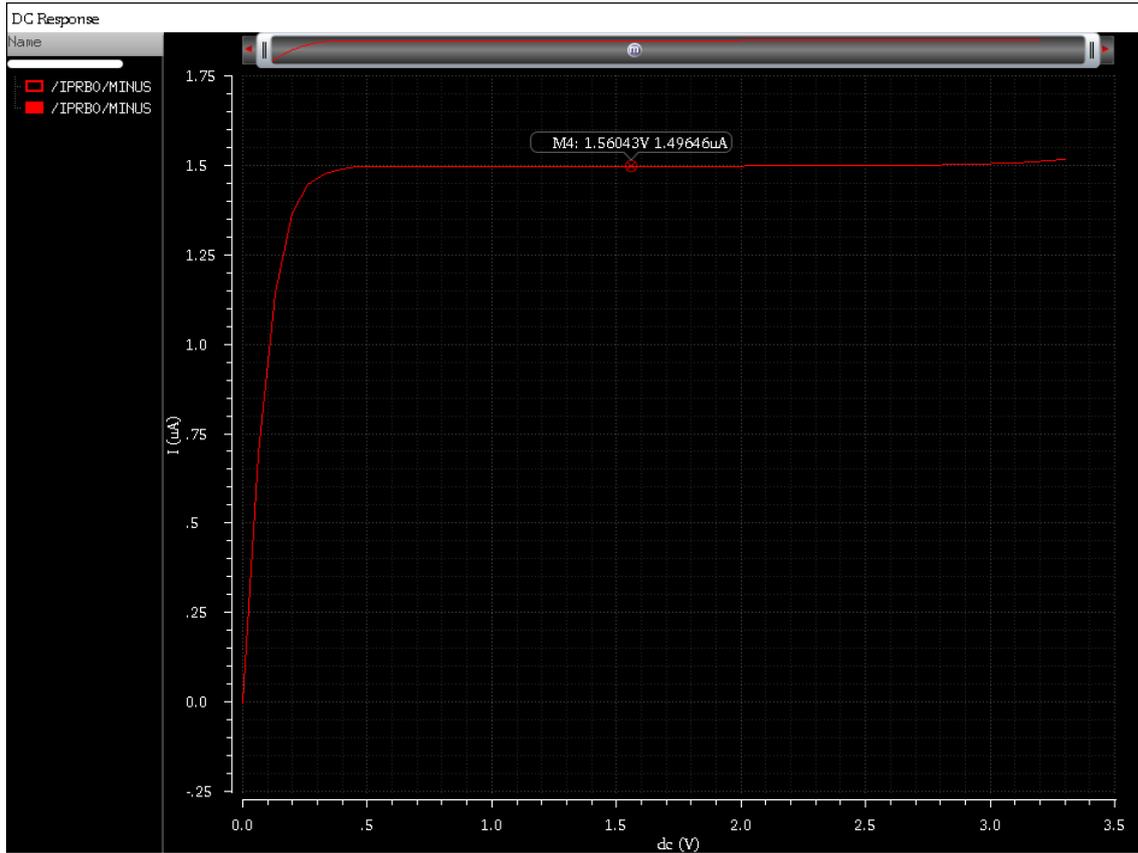


Ilustración 34: Valor de salida de la corriente de Referencia

Como podemos observar la corriente de referencia obtenida tras la simulación es de 1.4964 μ A. Este será el valor de descarga constante del condensador de Hold.

Capítulo 9. Amplificador Sample and Hold

El circuito Sample and hold debe cumplir las condiciones temporales explicadas en el capítulo 5, y para ello debe tener una ganancia muy elevada de manera que las transiciones sean lo más rápidas posibles.

Antes de implementar el circuito en el software de diseño debemos obtener las expresiones de la impedancia de salida del circuito y su ganancia de forma teórica.

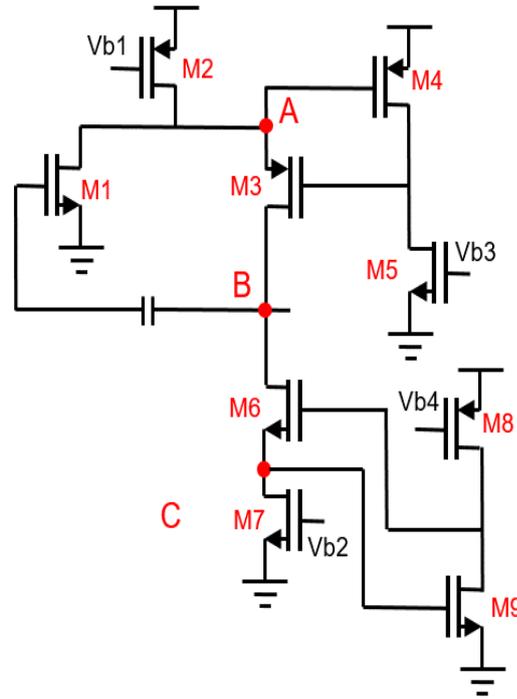


Ilustración 35: Folded Cascode con Gain Boost

Analizando el circuito, la expresión de la impedancia de salida total del amplificador viene dada en función de la impedancia de la parte superior en lazo cerrado en paralelo con la impedancia de la parte inferior en lazo cerrado:

$$Z_{out} = Z_{1CL} || Z_{2CL}$$

Para el cálculo de la expresión en lazo cerrado, debemos analizar la expresión en lazo abierto, abriendo el lazo de realimentación en A:

$$Z_{1OL} = gm_3 ro_3 (ro_2 ro_3)$$

La impedancia en lazo cerrado del primer circuito de gain boost es equivalente al producto de la impedancia en lazo abierto y la ganancia del mismo:

$$Z_{1CL} = Z_{1OL} A_{VGB1}$$

La ganancia del primer gain boost es la siguiente:

$$A_{VGB1} = gm_4 (ro_4 || ro_5)$$

De manera que la impedancia en lazo cerrado es la siguiente:

$$Z_{1CL} = gm_3 ro_3 (ro_2 || ro_1) gm_4 (ro_4 || ro_5)$$

Por otro lado, la siguiente parte del circuito, la impedancia en lazo abierto del segundo gain boost, abriendo en el punto C, viene dada por:

$$Z_{2OL} = gm_6 ro_6 ro_7$$

La impedancia en lazo cerrado del segundo gain boost, del mismo modo que anteriormente, es la siguiente:

$$Z_{2CL} = Z_{2OL} A_{VGB2}$$

La ganancia del segundo gain boost queda con la siguiente expresión:

$$A_{VGB2} = gm_9(ro_9 || ro_8)$$

La impedancia en lazo cerrado es la siguiente:

$$Z_{2CL} = gm_6 ro_6 ro_7 (gm_9(ro_9 || ro_8))$$

La ganancia total del circuito, como resultado del producto entre la transconductancia del NMOS1 y la impedancia Z_{Out} :

$$A_{VT} = gm_1 [gm_3 ro_3 (ro_2 || ro_1) gm_4 (ro_4 || ro_5) || gm_6 ro_6 ro_7 (gm_9(ro_9 || ro_8))]$$

Una vez obtenidas estas expresiones teóricas, del mismo modo que en el caso de la corriente de referencia tenemos que cumplir la restricción de diseño:

$$I_{NOISE Tot} = \sqrt{BW * I_{Noise IRef}^2 + I_{Noise Integrador}^2} < I_{NOISE MAX}$$

Para ello de manera análoga calcularemos la aportación de ruido cuadrático (térmico y flicker) a la salida:

Expresión del ruido térmico

La tensión de ruido cuadrática a la salida del primer gain boost es equivalente a:

$$V_{out_{GB1}} = Vn_{GB1}^2 * \frac{Z_2}{Z_1} = Vn_{GB1}^2 * \frac{gm_6 ro_6 ro_7 (gm_9(ro_9 || ro_8))}{(ro_2 || ro_1)}$$

Siendo la tensión de ruido cuadrática producida por los transistores del GB1:

$$Vn_{GB1}^2 = \frac{4KT\gamma(gm_4 + gm_5)(ro_4 || ro_5)^2}{[gm_4(ro_4 || ro_5)]^2}$$

La tensión de ruido cuadrática a la salida del segundo gain boost es equivalente a:

$$V_{out_{GB2}} = Vn_{GB2}^2 * \frac{Z_2}{Z_1} = Vn_{GB2}^2 * \frac{gm_3 ro_3 (ro_2 || ro_1) gm_4 (ro_4 || ro_5)}{ro_7}$$

Siendo la tensión de ruido cuadrática producida por los transistores del GB2:

$$Vn_{GB2}^2 = \frac{4KT\gamma(gm_8 + gm_9)(ro_8 || ro_9)^2}{[gm_9(ro_8 || ro_9)]^2}$$

De manera que, en el nodo de salida del amplificador, en B la tensión de ruido cuadrática tiene la expresión:

$$Vn_B^2 |_{GB1,GB2} = \frac{4KT\gamma(gm_4 + gm_5) gm_6 ro_6 ro_7 (gm_9(ro_9 || ro_8))}{[gm_4]^2 (ro_2 || ro_1)} + \frac{4KT\gamma(gm_8 + gm_9) gm_3 ro_3 (ro_2 || ro_1) gm_4 (ro_4 || ro_5)}{[gm_9]^2 ro_7}$$

Como lo que buscamos es el ruido cuadrático en corriente en el nodo B:

$$In_B^2|_{GB1,GB2} = Vn_B^2|_{GB1,GB2} * \frac{1}{(Z_{CL1}||Z_{CL2})^2}$$

También debemos tener en cuenta las aportaciones del resto de transistores en el nodo B, no sólo de los que forman los Gain Boost:

$$In_B^2|_{NM6, NM7} = 4KTn\gamma * gm_7$$

$$In_B^2|_{NM1, PM2, PM3} = 4KTn\gamma(gm_1 + gm_2 + gm_3)$$

De manera que la corriente cuadrática de ruido térmico obtenida a la salida es:

$$In_B^2 = Vn_B^2|_{GB1,GB2} * \frac{1}{(Z_{CL1}||Z_{CL2})^2} + 4KTn\gamma(gm_1 + gm_2 + gm_3 + gm_7)$$

Expresión del ruido flicker

$$Vn_{\frac{1}{f}}^2|_{GB1GB2} = \frac{1}{C_{ox}f} \left(\frac{K_p}{W_4L_4} + \frac{K_n * (gm_5)^2}{W_5L_5} \right) \frac{gm_6 ro_6 ro_7 (gm_9(ro_9||ro_8))}{(ro_2||ro_1)}$$

$$+ \frac{1}{C_{ox}f} \left(\frac{K_p * (gm_8)^2}{W_8L_8} + \frac{K_n}{W_9L_9} \right) \frac{gm_3 ro_3 (ro_2||ro_1) gm_4 (ro_4||ro_5)}{ro_7}$$

El ruido cuadrático flicker en B, debido al GB1 y GB2 es:

$$In_{\frac{1}{f}}^2|_{GB1,GB2} = Vn_{\frac{1}{f}}^2|_{GB1GB2} * \frac{1}{(Z_{CL1}||Z_{CL2})^2}$$

Siendo la aportación del resto de transistores:

$$In_B^2|_{NM6, NM7} = \frac{K_n}{C_{ox}f * W_7L_7} * (gm_7)^2$$

$$In_{\frac{1}{f}}^2|_{NM1, PM2, PM3} = \frac{1}{C_{ox}f} \left[\frac{K_n}{W_1L_1} (gm_1)^2 + \frac{K_p}{W_2L_2} (gm_2)^2 + \frac{K_p}{W_3L_3} (gm_3)^2 \right]$$

Y el ruido flicker total:

$$In_{\frac{1}{f}}^2 = \frac{1}{C_{ox}f} \left[\left(\frac{K_p}{W_4L_4} + \frac{K_n * (gm_5)^2}{W_5L_5} \right) \frac{gm_6 ro_6 ro_7 (gm_9(ro_9||ro_8))}{(ro_2||ro_1)} \right.$$

$$+ \left(\frac{K_p * (gm_8)^2}{W_8L_8} + \frac{K_n}{W_9L_9} \right) \frac{gm_3 ro_3 (ro_2||ro_1) gm_4 (ro_4||ro_5)}{ro_7} * \frac{1}{(Z_{CL1}||Z_{CL2})^2}$$

$$\left. + \frac{K_n}{W_7L_7} * (gm_7)^2 + \frac{K_n}{W_1L_1} (gm_1)^2 + \frac{K_p}{W_2L_2} (gm_2)^2 + \frac{K_p}{W_3L_3} (gm_3)^2 \right]$$

En base a estas expresiones y usando el Excel adjunto en el anexo, podemos dimensionar apropiadamente el amplificador folded cascode con gain boost con los datos que aparecen en la tabla 2:

Tabla 2: Dimensiones Folded Cascode con Gain Boost

TRANSISTOR	RATIO	LENGTH (μm)	WIDTH (μm)
Pmos2	240.312	2.6	624.812
Nmos1	33.801	0.9	30.421
Pmos3	120.156	1	120.156
Nmos6	40.994	0.65	26.646
Nmos7	40.994	0.65	26.646
Pmos4	148.642	1.1	163.506
Nmos5	50.713	0.55	27.892
Pmos8	424	0.65	275.605
Nmos9	144.661	0.4	57.865

El circuito de la ilustración 36 nos muestra el folded cascode completamente montado con sus etapas de Gain Boost en la herramienta Cadence Virtuoso, mientras que la ilustración 37 nos muestra la respuesta en DC del amplificador, donde podemos observar el output swing del mismo que corresponde a 1.05V, suficiente para nuestro diseño:

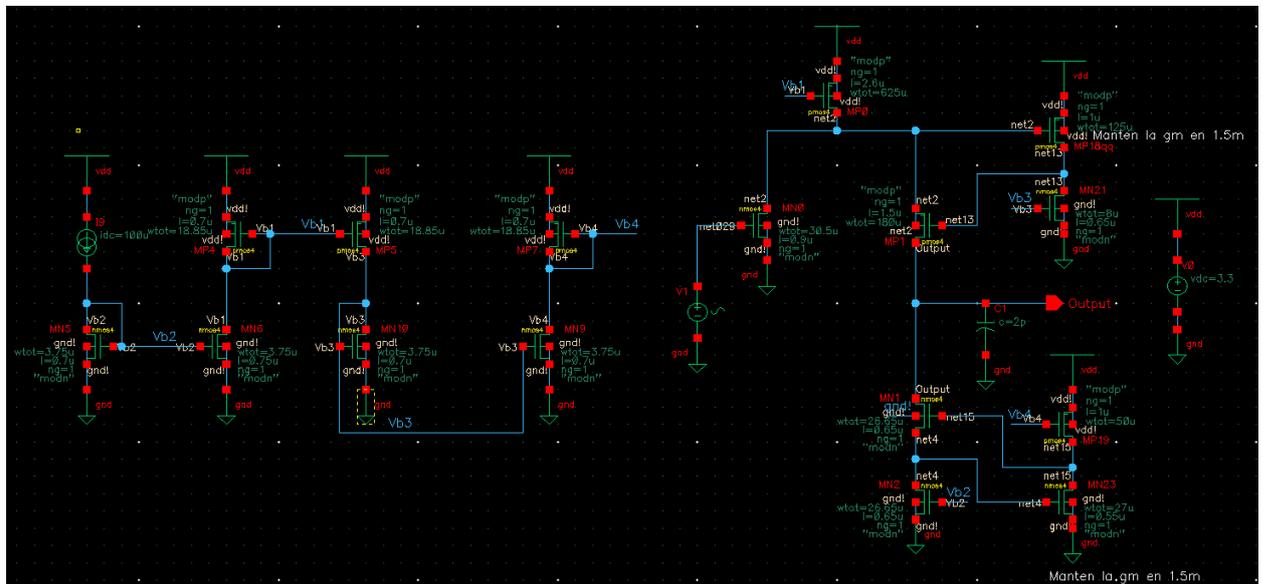


Ilustración 36: Circuito Folded Cascode con Gain Boost

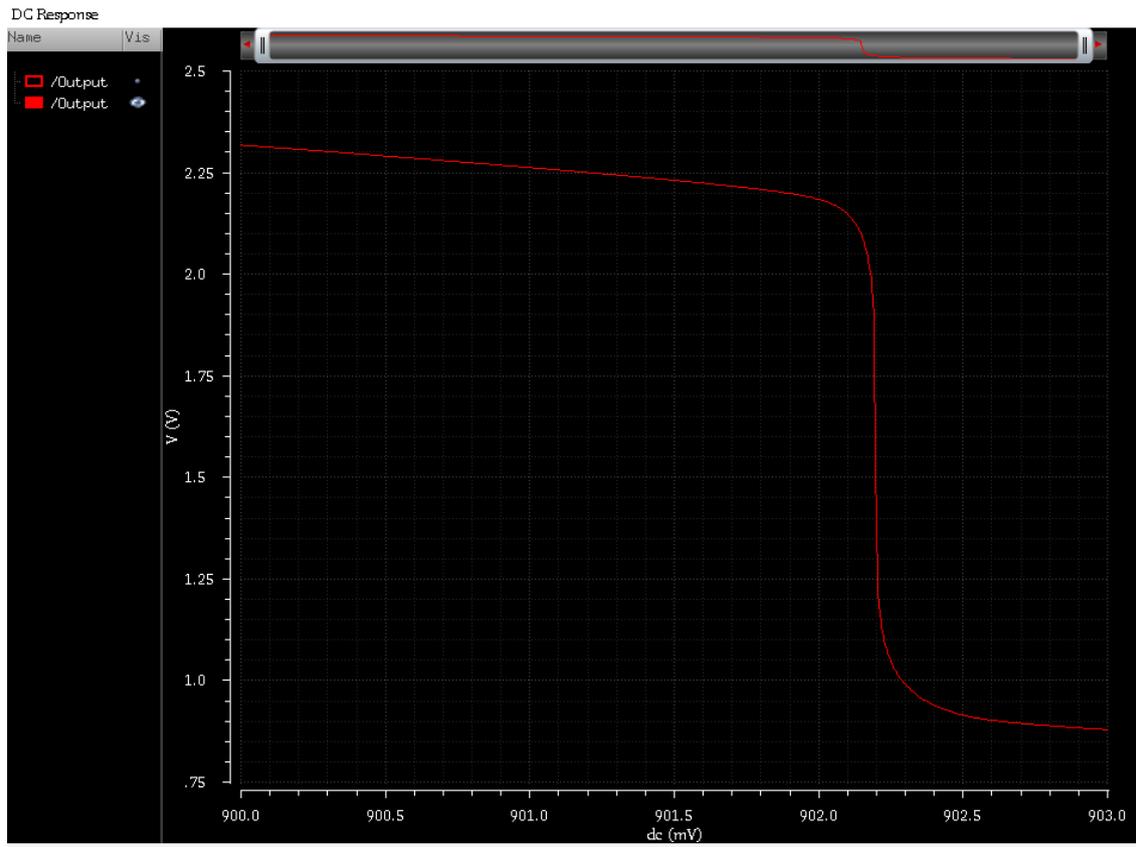


Ilustración 37: Respuesta DC del Amplificador Sample and Hold

A partir de la herramienta de diseño podemos obtener la tabla de características de nuestro amplificador, como podemos ver en la tabla 4:

Tabla 3: Características Integrador

Especificación	Valor
BW Close Loop	200 MHz
GBP	140 MHz
Av	113.17 dB
Zo	260 MΩ
Slew Rate	200 V/μs

Finalmente con todos los transistores dimensionados apropiadamente, la densidad de ruido total obtenido como la suma del ruido de los componentes de la fuente de corriente y el folded cascode con gain boost es de $0.160 \mu\text{A} < 1.2 \mu\text{A}$.

Capítulo 10. Switch

El diseño y dimensionamiento del switch se ha realizado de manera directa usando el software de diseño. La topología seguida ha sido la topología de un multiplexor 2 a 1, dado que la alternativa era utilizar la topología de una puerta de transición, y su estado de alta impedancia es un estado no deseable, mientras que el multiplexor nos permite alternar entre el paso de corriente y la desviación de corriente a masa.

La siguiente tabla indica las dimensiones del switch diseñado:

Tabla 4: Dimensiones Switch

TRANSISTOR	LENGTH (μm)	WIDTH (μm)
Nmos11	0.5	3
Pmos7	0.5	7
Nmos12	0.5	3
Pmos8	0.5	7

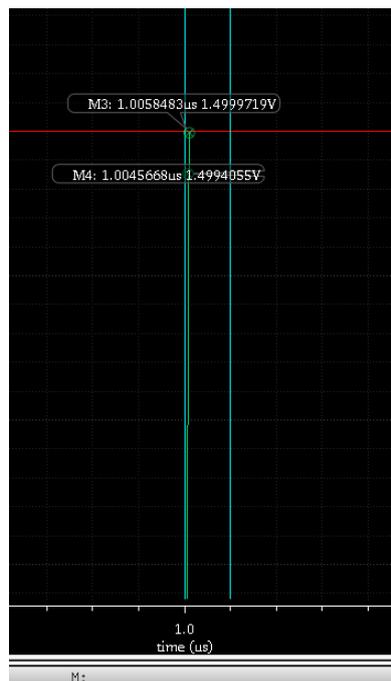


Ilustración 38: Switch Response

Como podemos ver en la ilustración 38 el tiempo de respuesta del switch es en torno a 1 LSB, de 1.2 ns. Sin embargo al simular la topología de switch elegida con la fuente de corriente de referencia la acumulación de capacidades parásitas los transistores CMOS hasta la salida provoca un retraso mucho mayor del calculado de manera aislada.

Lo que nos lleva a la implementación del siguiente diseño:

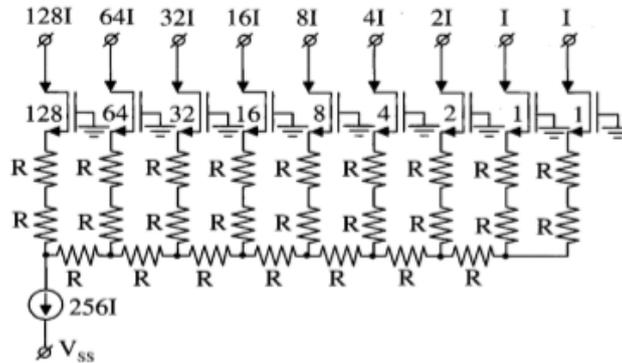


Ilustración 39: Configuración R-2R

La resistencia $2R$ se crea conectando dos resistencias en serie. La corriente de salida de tipo binario es decir o se descarta toda o se proporciona en su totalidad, y esta se escala a medida que añadimos ramas al diseño. La división de corriente empleando esta configuración depende de la división de tensión entre 2 cada vez que añadimos una rama. La tensión eliminada a través de la resistencia $2R$ desciende en un factor de 2 como es de esperar, en cada etapa.

Implementaremos este tipo de estructura usando transistores CMOS basándonos en las siguientes propiedades:

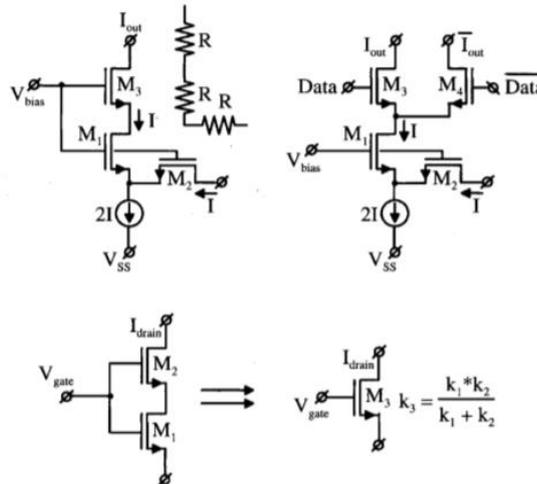


Ilustración 40: R-2R con transistores MOS

Dependiendo de la corriente de entrada $2I$, los transistores $M1$ y $M2$, pueden operar en modo saturación o lineal. En modo saturación los transistores $M1$ y $M2$ dividen la corriente de entrada $2I$ en dos corrientes de igual valor I . En este caso el transistor $M3$ actúa como un transistor cascode y proporciona la corriente de salida a la carga. En el momento que los transistores $M1$ y $M2$ se encuentran en modo lineal pueden ser considerados a efectos de funcionamiento como resistencias. En este caso el transistor $M3$ actúa como una resistencia de valor R y se produce un efecto análogo al anterior modelo.

En la figura 41 podemos observar la implementación de este tipo de sistema a efectos prácticos como si fuera un switch de actuación muy rápida, ya que en el fondo no conmuta la corriente sino que la desvía.

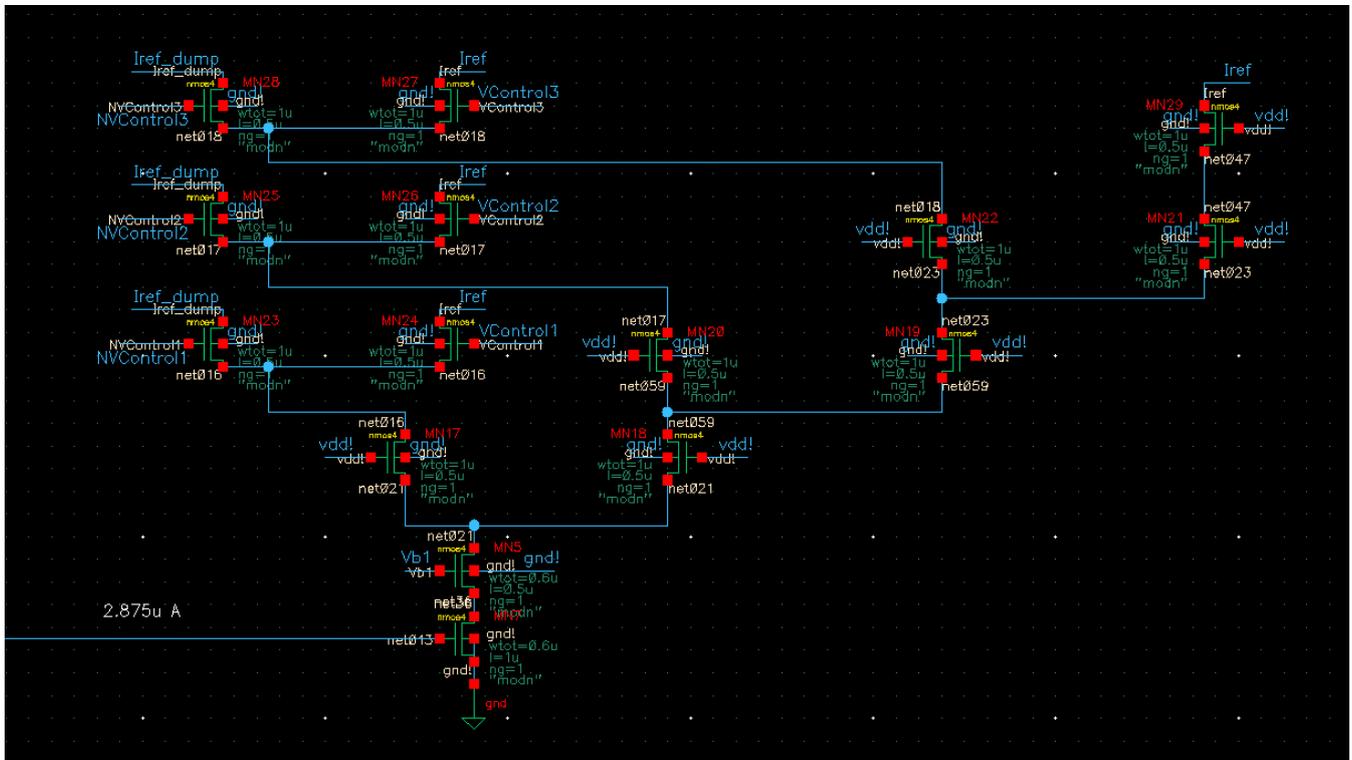


Ilustración 41: Topología ladder R-2R

Capítulo 12. Comparador

El comparador es un componente clave para el funcionamiento del circuito. Se ha tomado la decisión de realizar el comparador en diferentes etapas. En la primera etapa usamos un amplificador diferencial cuya salida diferencial es transformada a salida single ended mediante un conversor basado en 2 topologías Common-Source. En la segunda etapa utilizaremos un buffer de salida escalable para aislar la señal del resto del circuito. La escalabilidad del buffer nos permite mediante el dimensionamiento de sus ramas disminuir el delay que produce el uso de este elemento.

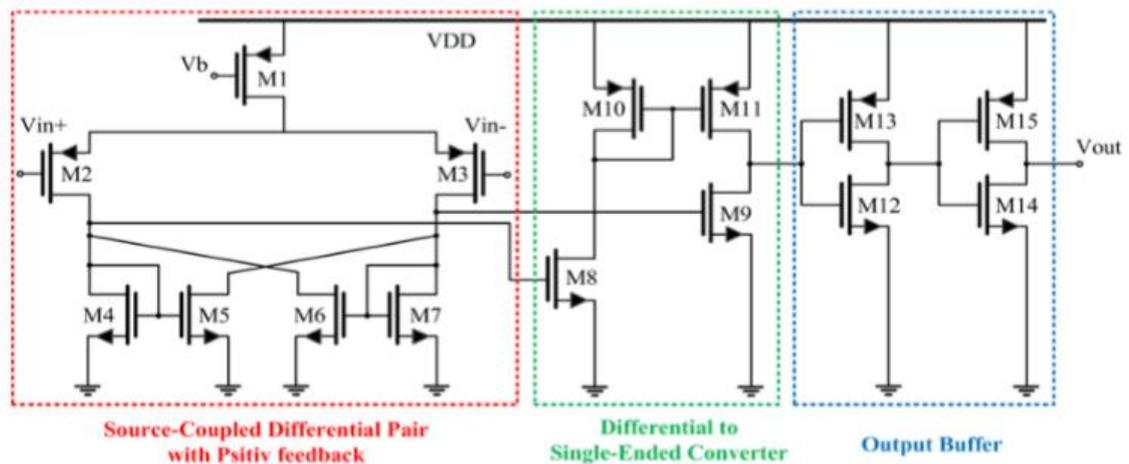


Ilustración 44: Diferentes etapas del comparador

Tabla 5: Dimensionamiento del comparador

TRANSISTOR	RATIO	LENGTH (μm)	WIDTH (μm)
Pmos1	27	0.35	9.45
Pmos2	12	0.35	4.2
Pmos3	12	0.35	4.2
Nmos4	5	0.35	1.750
Nmos5	4	0.35	1.4
Nmos6	4	0.35	1.4
Nmos7	5	0.35	1.750
Pmos10	4	0.35	1.4
Pmos11	4	0.35	1.4
Nmos8	12	0.35	4.2
Nmos9	17	0.35	5.95

En la figura 43 podemos observar la implementación del comparador en la herramienta de diseño. El dimensionado de los transistores del buffer escalable de salida es el mostrado en la tabla 6:

Tabla 6

TRANSISTOR	LENGTH (μm)	WIDTH (μm)
Pmos6	0.35	6
Nmos8	0.35	3
Pmos9	0.35	12
Nmos11	0.35	6
Pmos5	0.35	32
Nmos7	0.35	16

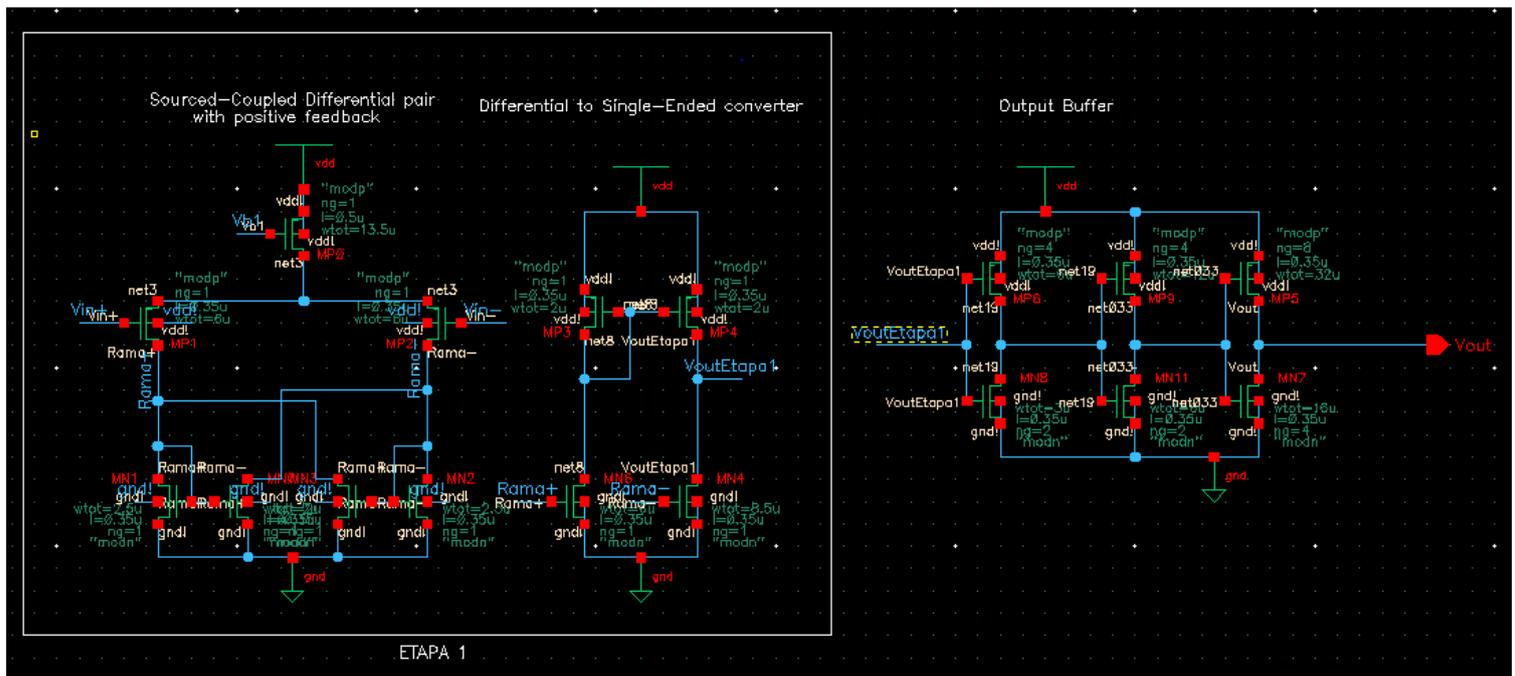


Ilustración 45: Comparador de 2 etapas

Mientras que el tiempo de actuación del comparador como podemos observar en la figura 44 es de 0.532 ns.

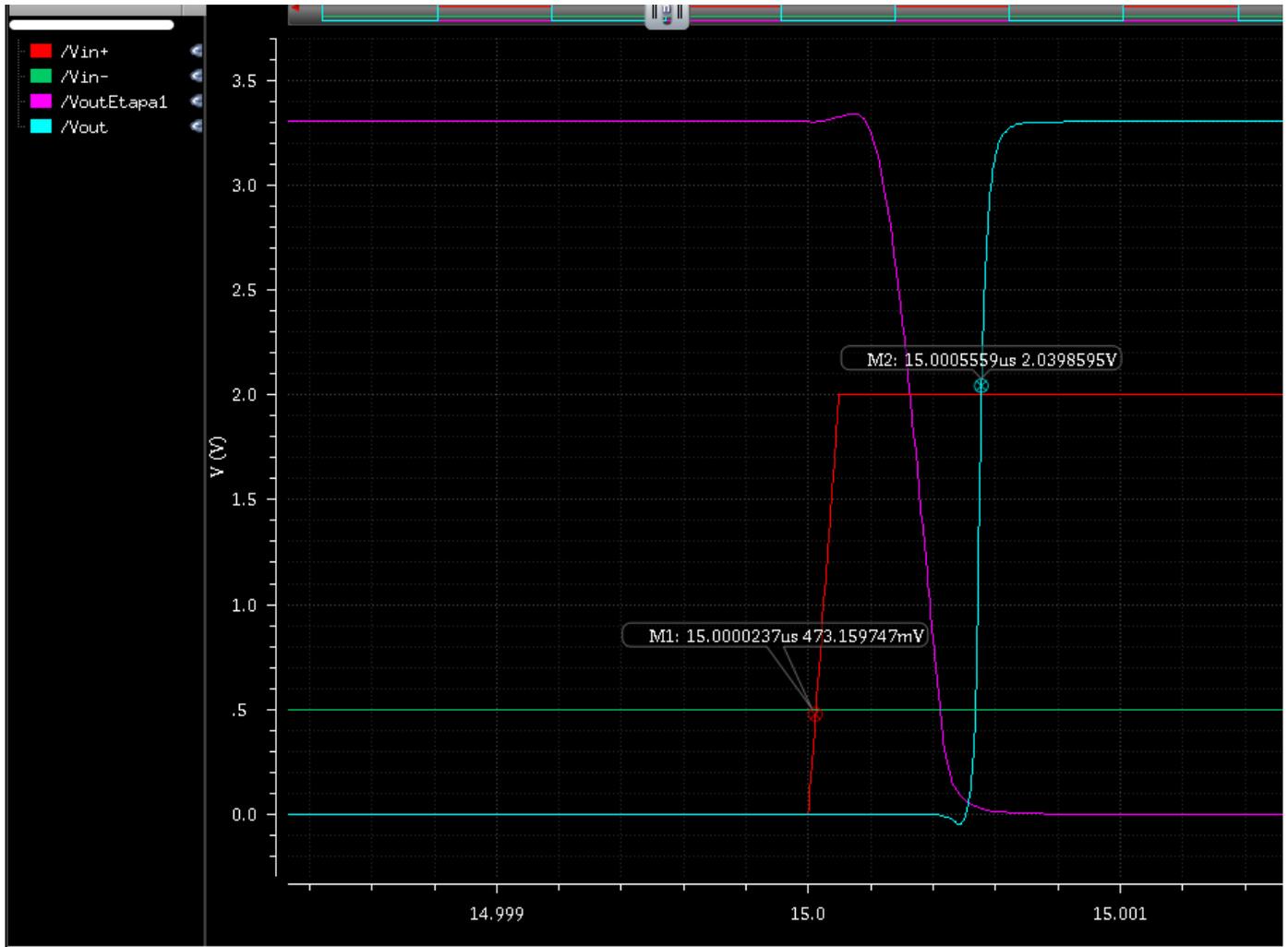


Ilustración 46: Tiempo de comparación

Capítulo 13. Símbolos de los elementos del conversor A/D

En esta sección mostraremos las ilustraciones de los símbolos creados a partir de los esquemáticos creados anteriormente y que posteriormente emplearemos para ensamblar la totalidad del sistema.

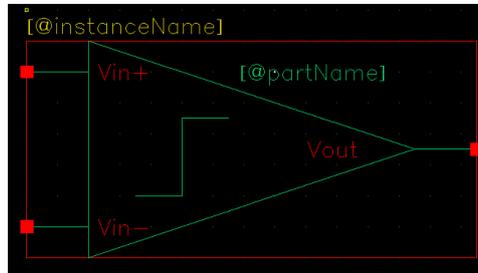


Ilustración 47: Símbolo del Comparador

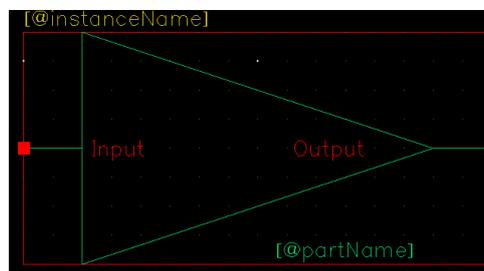


Ilustración 48: Símbolo del Integrador



Ilustración 49: Contador de 10 bits

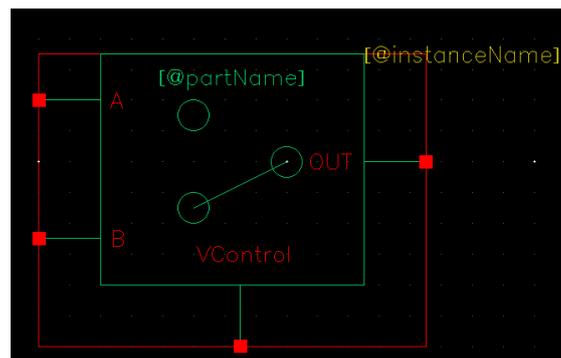


Ilustración 50: Switch de 2 entradas

El switch de dos entradas de la ilustración 51 será empleado para variar mediante la señal VControl entre la corriente de carga (etapa de carga del condensador de hold) y la corriente de descarga (etapa de muestreo).

Si descendemos en jerarquía encontramos el switch del capítulo 10:

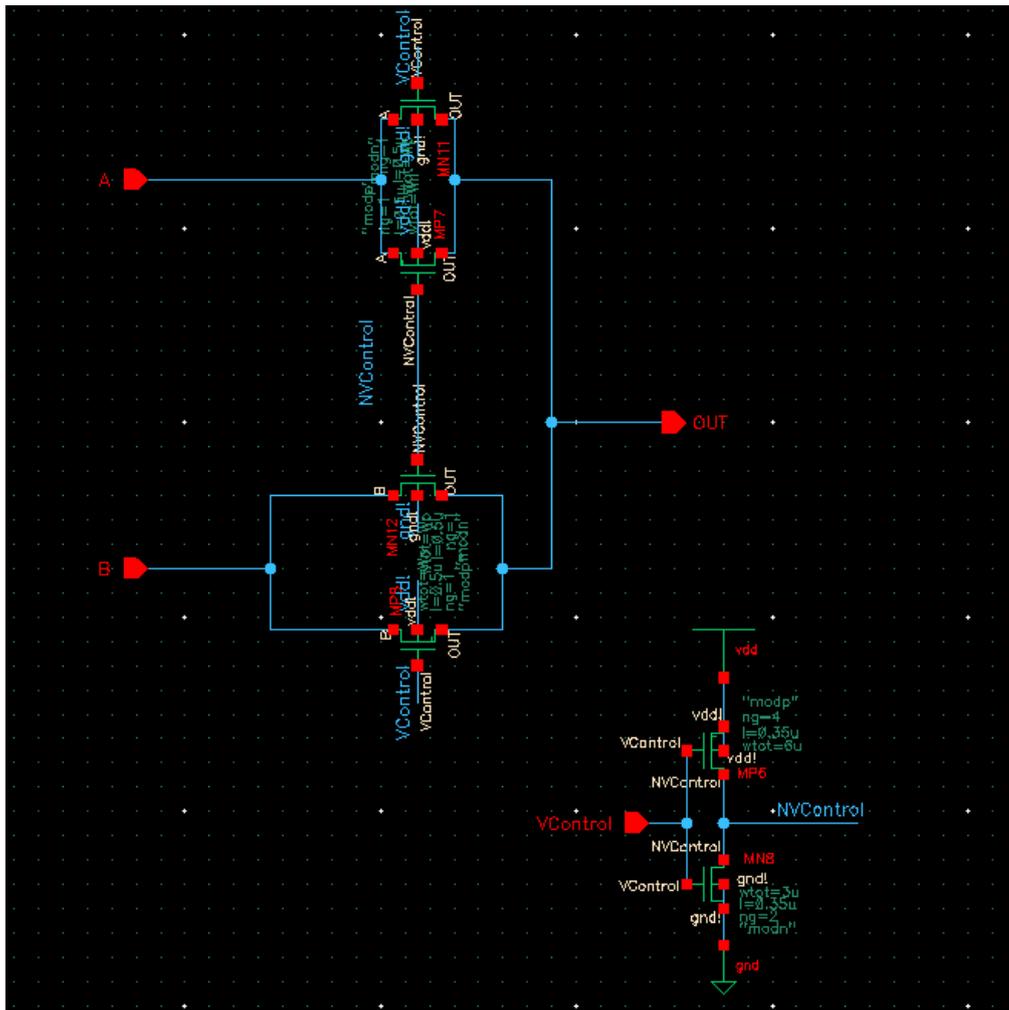


Ilustración 51: Switch de doble entrada

Mientras que el símbolo del switch que utilizamos para controlar la salida de la fuente de corriente de referencia, la rama de feedback del integrador y la activación del condensador que mantiene la tensión de offset muestreada es la de la Ilustración 52:

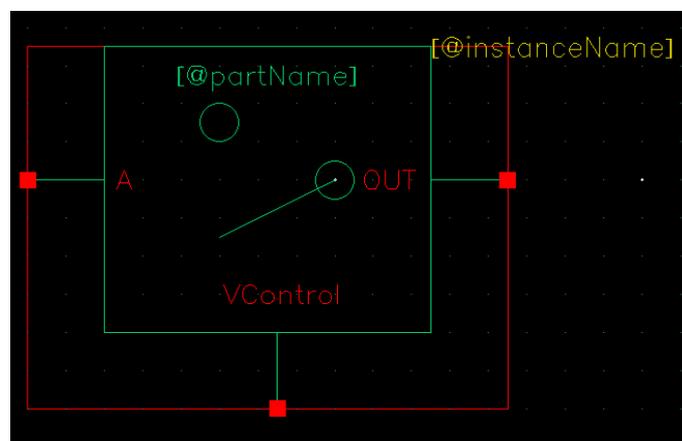


Ilustración 52: Switch Simple

Descendiendo en jerarquía vemos que es simplemente una puerta de transmisión, con un NMOS y un PMOS enfrentados y una señal de control VControl:

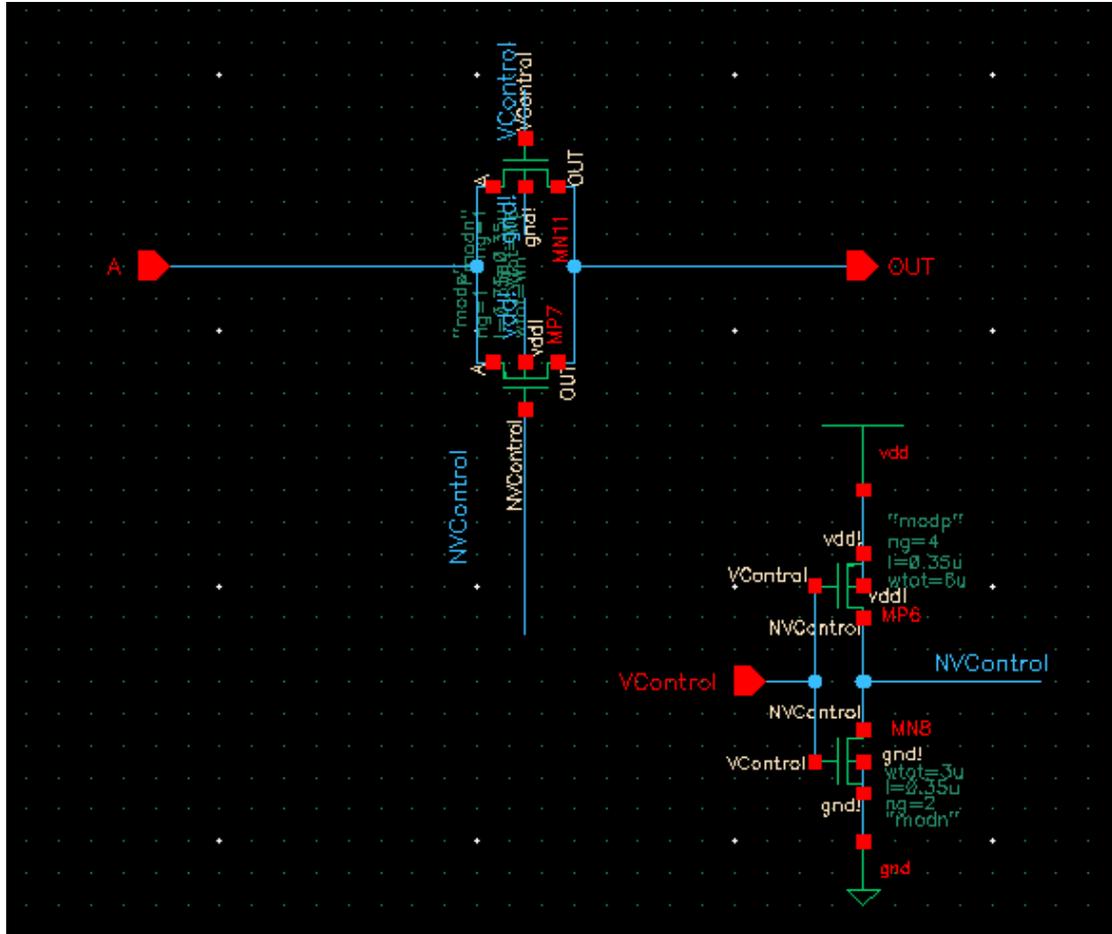


Ilustración 53: Descenso en jerarquía del Switch Simple

Capítulo 14. Control Lógico

El sistema requiere de un sistema de control lógico que gestione las diferentes activaciones y desactivaciones de los switches en el tiempo preciso para que el conjunto de elementos actúe de manera adecuada y la cuenta se realice de manera correcta, para ello utilizaremos una máquina de estados Moore.



Ilustración 54: Símbolo del control lógico

El control lógico diseñado consta de una máquina de estados, con 4 señales de entrada:

- CLK, la señal de reloj
- RST, la señal de reset
- Comp_c, la señal de salida del comparador
- Start, la señal de inicio de muestreo.
- 3 señales de salida
- CONTROL_1, Cambia entre carga y descarga del integrador
- CONTROL_2, Activación del contador (Etapa muestreo)
- CONTROL_3, Activación y desactivación del sistema de retención de la tensión de offset

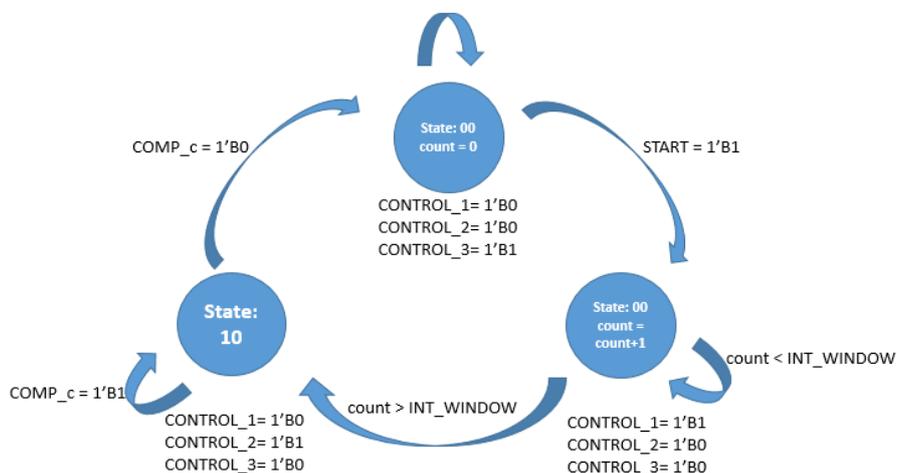


Ilustración 55: Máquina de estados

Inicialmente nos encontramos en el estado 00 (Inicio), donde el contador se encuentra a valor 0 y los switch que mantienen el valor de la tensión de Offset están activado mediante la señal de control CONTROL_1, en el momento que la señal START tome un valor alto cambiamos de estado al estado 01.

En el estado 01 (Integración) el switch que controla la carga y descarga del condensador ha conmutado por acción de la señal CONTROL_1, permitiendo a la fuente de corriente cargar el condensador. Usamos un contador auxiliar del tamaño de la ventana de integración que nos

permite estar en el estado de Integración hasta que hayamos finalizado de integrar. En el momento que el contador sobrepase el tamaño de la ventana de integración pasamos al estado 10.

En el estado 10 (Muestreo) la señal CONTROL_2 ha conmutado el interruptor de la fuente de referencia permitiendo la descarga y se ha activado el contador. Nos encontraremos en este estado mientras que la señal del comparador se encuentre en nivel alto, tiempo en el que contaremos la señal muestreada, y volveremos al estado inicial cuando el comparador se encuentre a nivel bajo.

```

Verilog HDL for "ADC_LIB", "control" "functional"

module control ( CLK, RST, COMP_c, START, CONTROL_1, CONTROL_2, CONTROL_3);
input CLK,RST;
input COMP_c,START;
output reg CONTROL_1;
output reg CONTROL_2;
output reg CONTROL_3;

parameter INT_WINDOW = 8'd40;

reg [1:0] state;
reg [1:0] next_state;
reg [7:0] count;
reg [7:0] next_count;

always @(posedge CLK or negedge RST)
begin
    if (RST == 1'b0)
        begin
            state <= 2'b00;
            count <= 8'd0;
        end
    else
        begin
            state <= next_state;
            count <= next_count;
        end
end

always @(COMP_c, START, count, state)
begin
    next_state = 2'b00;
    next_count = 8'd0;

    case (state)
    2'b00: if (START == 1'b1)
            next_state = 2'b01;
        else
            next_state = 2'b00;

    2'b01: begin
            if (count < INT_WINDOW)
                begin
                    next_count = count + 8'd1;
                    next_state = 2'b01;
                end
            else
                begin
                    next_count = 8'd0;
                    next_state = 2'b10;
                end
        end

    2'b10: begin
            if (COMP_c == 1'b0)
                next_state = 2'b00;
            else
                next_state = 2'b10;
        end

    default:
        begin
            next_state = 2'b00;
        end
    endcase
end

always @(state)
case(state)
2'b00: begin CONTROL_1 = 1'b0; CONTROL_2 = 1'b0; CONTROL_3 = 1'b1; end
2'b01: begin CONTROL_1 = 1'b1; CONTROL_2 = 1'b0; CONTROL_3 = 1'b0; end
2'b10: begin CONTROL_1 = 1'b0; CONTROL_2 = 1'b1; CONTROL_3 = 1'b0; end
default: begin CONTROL_1 = 1'b0; CONTROL_2 = 1'b0; CONTROL_3 = 1'b1; end
endcase
endmodule

```

Ilustración 56: Código verilog del Control Lógico

Capítulo 15. Sistema ADC completo

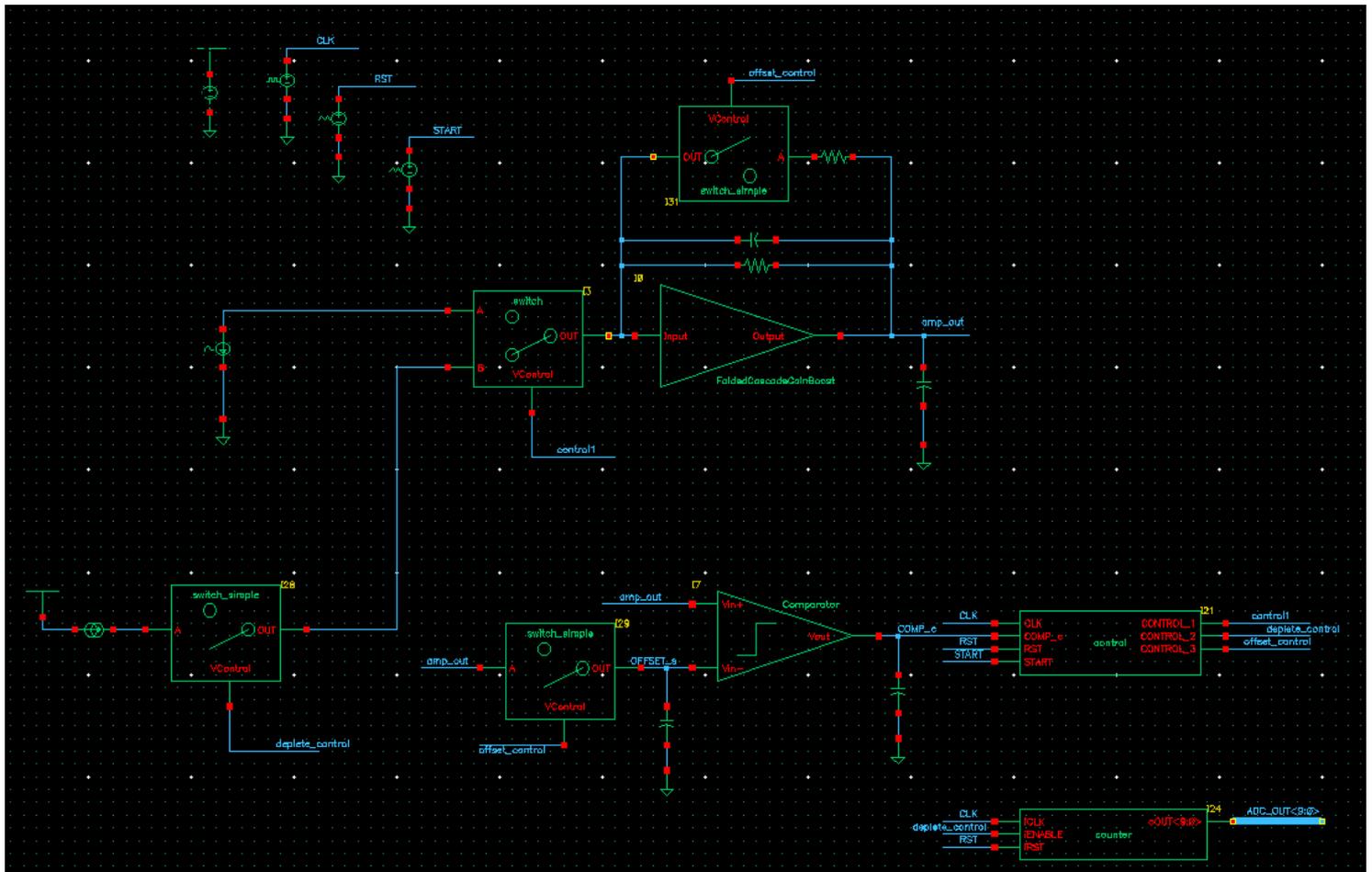


Ilustración 57: ADC Wilkinson

La ilustración 56 nos muestra el componente Top de la jerarquía de diseño, el ADC Wilkinson, formado por cada uno de los símbolos descritos en el capítulo 13 los cuales se han ido describiendo y simulando en sus respectivos bancos de pruebas a lo largo del proyecto.

El funcionamiento del sistema es el siguiente:

En un momento inicial en el cual no se ha realizado ninguna cuenta anteriormente y estando en el estado 00, el estado inicial, el condensador de Hold se encuentra descargado al igual que el condensador de offset, sus respectivos switches mediante la señal CONTROL_3 se encuentran cerrados, el contador está reseteado y no hay ninguna fuente alimentando al integrador.

En el momento que la señal START proporciona un pulso, cambiamos al estado lógico 01, el estado de integración de la señal. Momento en el cual la señal CONTROL_1 conmuta el switch de las fuentes de corriente permitiendo a la fuente de corriente 1 alimentar el integrador y muestrear la señal en el condensador de Hold. Al mismo tiempo la señal CONTROL_3 ha pasado a un valor bajo y se han abierto tanto el interruptor que activa el switch de acceso al comparador, como el interruptor de la rama de feedback del integrador.

Cuando en el control lógico el contador del estado 01 supera la ventana de integración calculada para un tiempo de 200 ns de muestreo pasamos al estado 10, el estado de Cuenta. En este instante la señal CONTROL_2 activa el interruptor que da paso a la fuente de referencia de 1.5 μ A en primera instancia y la señal CONTROL_1 conmuta entre la fuente de carga y el switch

que acaba de activarse, permitiendo a la fuente de referencia comenzar el proceso de descarga del condensador de hold. La señal CONTROL_2 a su vez también activa el contador de 10 bits con el que contaremos la señal muestreada.

Cuando la señal del comparador, COMP_c alcanza un nivel de señal bajo, volvemos al estado inicial, en el cual la señal de CONTROL_3 conmuta el switch del condensador de offset quedando almacenada la señal de offset en este condensador impedimos la oscilación del comparador. Del mismo modo el interruptor de la rama de feedback se cierra, cerrando el lazo.

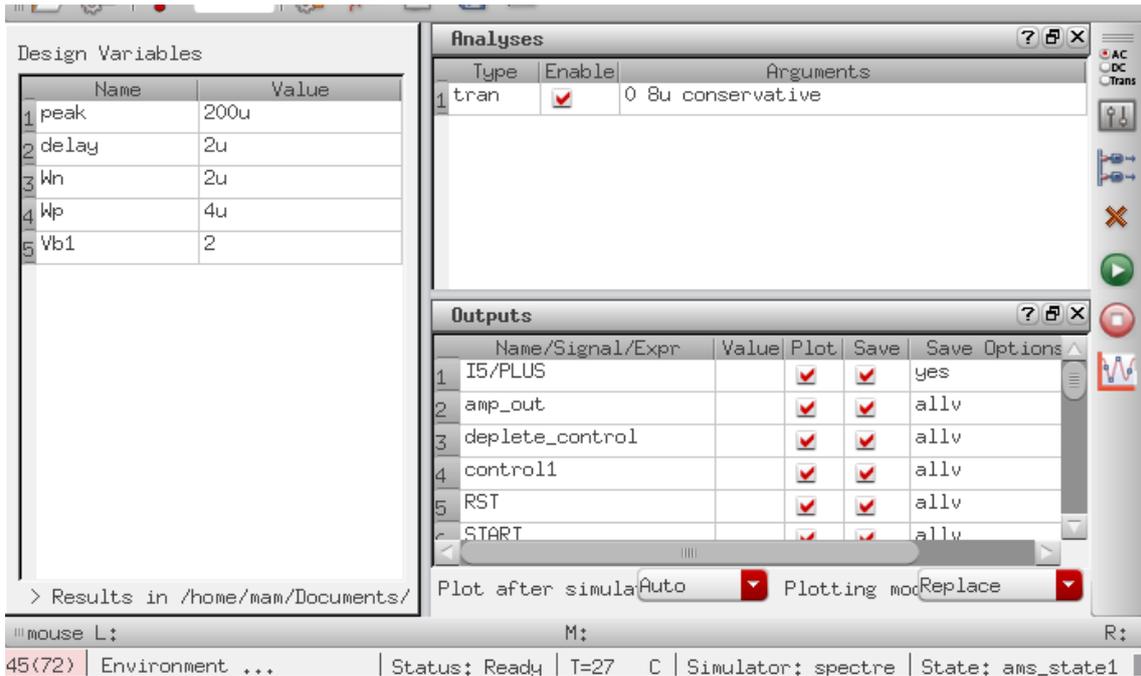


Ilustración 58: Ventana de simulación del ADC Wilkinson

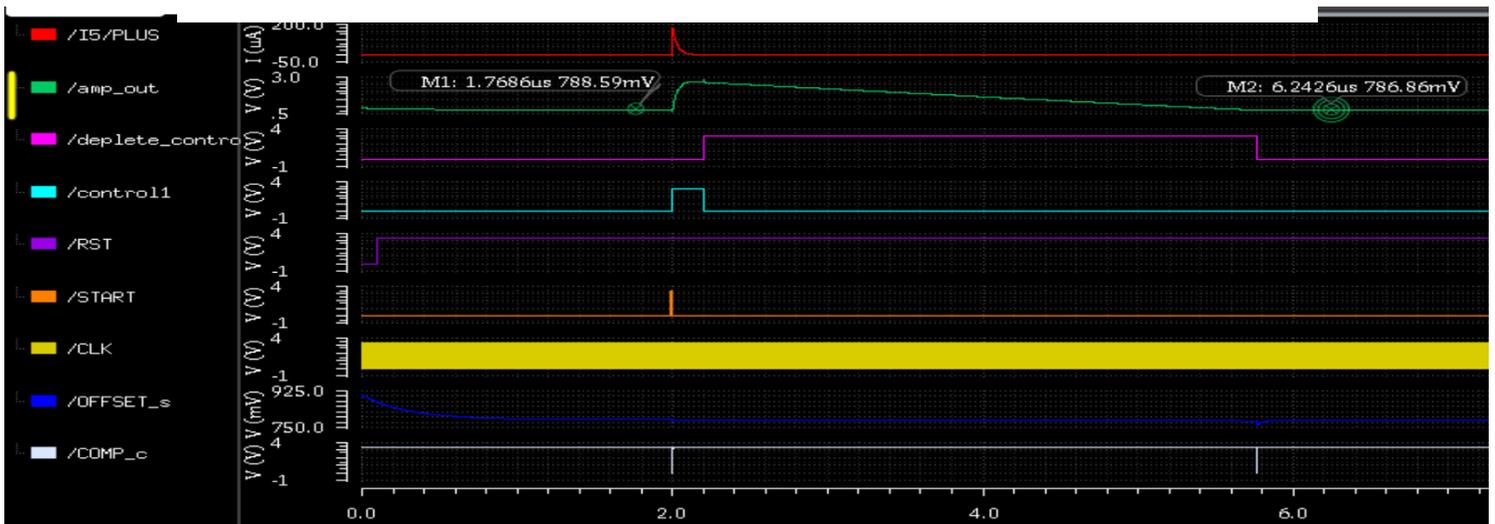


Ilustración 59: Simulación ADC Wilkinson

En la ilustración 59, la señal amp_out corresponde a la pendiente de descarga a nivel constante que esperamos del integrador, y como podemos observar por los puntos de referencia la señal de offset, es decir al nivel de señal donde vuelve después de la descarga pasa de 788.59 mV inicialmente antes de la operación a un valor de 786.86 mV



Ilustración 60: Cuenta ADC Wilkinson

La ilustración 60 nos muestra la cuenta del ADC Wilkinson para una señal de entrada de amplitud 171.2499 μA (valor teórico 200 μA), siendo el resultado obtenido de 712.

Resolución del conversor ADC Wilkinson

Debido a que la aplicación a la cual va orientado el diseño es la medida de la carga de salida de un fotosensor debemos realizar la estimación de la resolución del mismo relacionando la cantidad de corriente de entrada en pCoulombios y el número de LSB obtenidos.

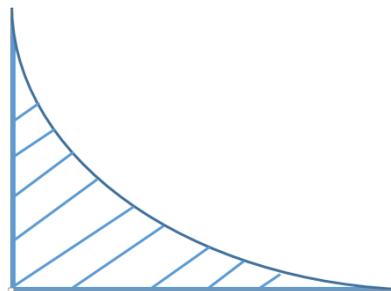


Ilustración 61: Área del pulso exponencial aplicado

El área del pulso exponencial puede suponerse como el producto entre su amplitud y una constante y es equivalente al número de pC de la señal.

$$\text{Área} = A * k$$

Usando la calculadora integrada en CADENCE Virtuoso podemos obtener la integral del pulso exponencial introducido, cuyo valor para una amplitud de 200 μA es de $5.8 * 10^{-12}$ es decir 5.8 pC, de manera que:

$$\text{Área} = A * k \rightarrow 5.8 * 10^{-12} = 200\mu\text{A} * k$$

$$k = \frac{5.8 * 10^{-12}}{200\mu\text{A}} = 2.9 * 10^{-8}$$

Podemos obtener la resolución del convertor mediante el cociente de la cantidad de pC de la señal y el valor de LSB obtenido:

$$\text{Resolución} \left(\frac{pC}{LSB} \right) = \frac{5.8pC}{712} = 0.00814 \frac{pC}{LSB}$$

Tiempo de adquisición

El tiempo de adquisición del convertor lo obtenemos mediante una simulación de CADENCE, en la cual buscamos obtener a la salida del integrador un pulso de amplitud 2 Voltios que es la amplitud Full Scale y medir el tiempo empleado hasta obtenerlo. En la ilustración siguiente podemos observar la amplitud del pulso de salida con un valor de 2.03V, siendo el tiempo de adquisición de 4.532 μ s



Ilustración 62: Tiempo de adquisición Full Scale

Linealidad

Para valorar la linealidad del sistema vamos a realizar una serie de medidas en función de la amplitud de la intensidad de entrada y el número de LSB contados:

Tabla 7: Diferentes cuentas realizadas

I (μ A)	Nº LSB	Tiempo (us)
30	77	2.5940
50	172	3.0662
75	266	3.5319
90	321	3.8070
115	412	4.2606
130	466	4.5323
200	712	5.7810

Tras realizar un gráfico de linealidad podemos observar que el error de mínimos cuadrados tiene una desviación mínima, con un valor de:

$$R^2 = 0.9981$$

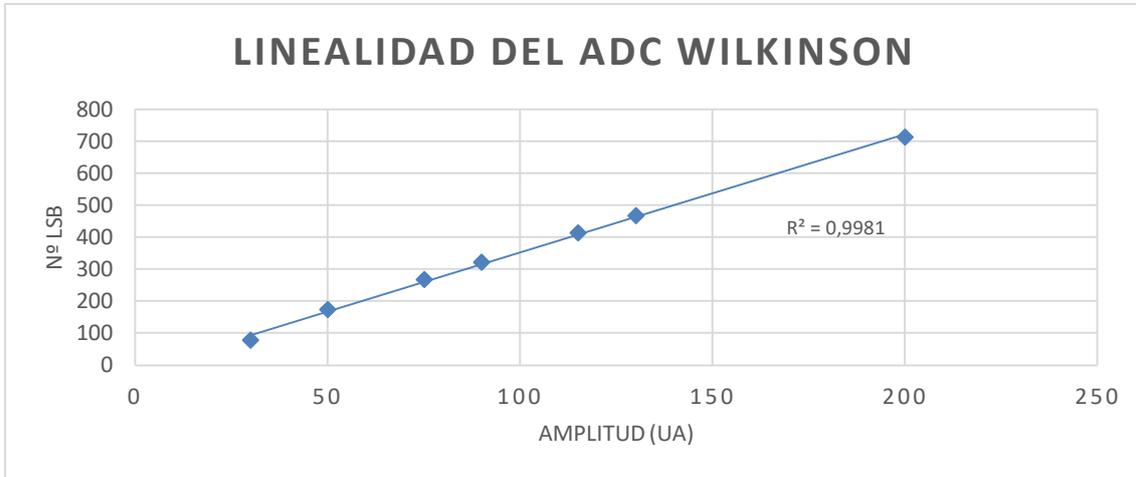


Ilustración 63: Gráfico de linealidad

Capítulo 16. Conclusión

A lo largo del presente documento hemos realizado tanto una presentación teórica del funcionamiento de los sistemas de conversión Analógico Digitales y de las especificaciones técnicas que deben tenerse en cuenta a la hora de abordar el diseño de los mismos, como un análisis, diseño y simulación de cada uno de los componentes que lo conforman de manera independiente encauzando la exposición hasta finalizar la composición del sistema ensamblando cada una de las partes independientes dando forma y adaptando un conversor Analógico Dígital completamente funcional que cumple las características buscadas en la aplicación de medida de la carga de salida de un fotosensor.

En el caso de los componentes diseñados podemos decir que el análisis previo a cualquier componente nos ha proporcionado la información necesaria como para no tener que rediseñar o desestimar ningún elemento previamente meditado. El extenso cálculo de la relación SNR en el caso de la fuente de corriente nos permitió reducir al máximo el ruido introducido por los transistores, y los espejos de corriente empleados en su construcción obteniendo una fuente corriente estable de alta impedancia y con una salida precisa de $1.5 \mu\text{A}$. En directa relación con la fuente de corriente los mismos cálculos y criterios de la SNR aplicados al diseño del integrador, el folded cascode con gain boost, nos ha proporcionado un integrador de 1 etapa, estable, y con una elevada ganancia que minimiza los retardos del sistema, considerados y explicados en la parte teórica. La topología de 2 etapas seleccionada en el comparador ha proporcionado un tiempo mínimo de comparación de tan solo 0.532 ns , siendo este menos de la mitad de la condición de diseño, 0.5 LSB . El último componente a comentar, el control lógico, nos ha permitido gestionar de manera eficiente la conmutación de los switches para crear un sistema de 3 estados con el cual modelar los estados reales de funcionamiento del ADC Wilkinson: Reposo, Integración y Muestreo.

El montaje completo del conversor A/D ha sido posible gracias a la implementación de un sistema de almacenamiento de la tensión de offset del integrador de manera que la diferencia entre el nivel de señal cuando se comienza a integrar y el nivel de señal cuando se finaliza la cuenta completa, todo gestionado mediante el control lógico. Gracias a todas estas razones podemos concluir que el diseño y simulación del ADC Wilkinson final es satisfactorio con una resolución de $0.00814 \frac{\text{pC}}{\text{LSB}}$ y una linealidad con un error cuadrático de valor 0.9981 , cumpliendo de esta manera las especificaciones iniciales del proyecto.



Capítulo 17. Bibliografía

- [1] Rudy van de Plassche. “CMOS Integrated Analog-To-Digital and Digital-To-Analog Converters, “The converter as a black box” 1994.
- [2] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-quantization-error> [Online].
- [3] Rudy van de Plassche. “CMOS Integrated Analog-To-Digital and Digital-To-Analog Converters, “The converter as a black box, classification of signals” 1994.
- [4] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-offset-error> [Online].
- [5] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-gain-error> [Online].
- [6] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-differential-nonlinearity> [Online]
- [7] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-differential-nonlinearity> [Online]
- [8] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-inl> [Online]
- [9] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-absolute-error> [Online]
- [10] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-monotonicity> [Online]
- [11] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-snr> [Online]
- [12] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-quantization-error> [Online]
- [13] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-sinad> [Online]
- [14] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-thd> [Online]
- [15] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-effective-bits> [Online]
- [16] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-spurious-free-dynamic-range> [Online]
- [17] Microchip Developer Help,” <http://microchipdeveloper.com/adc:adc-effective-bits> [Online]
- [18] Rudy van de Plassche. “CMOS Integrated Analog-To-Digital and Digital-To-Analog Converters, “Specifications of converters” pg 96, 1994.
- [19] Rudy van de Plassche. “CMOS Integrated Analog-To-Digital and Digital-To-Analog Converters, “Specifications of converters” pg 96, 1994.
- [20] Rudy van de Plassche. “CMOS Integrated Analog-To-Digital and Digital-To-Analog Converters, “Specifications of converters” pg 97, 1994.
- [21] Rudy van de Plassche. “CMOS Integrated Analog-To-Digital and Digital-To-Analog Converters, “Specifications of converters” pg 97, 1994.
- [22] Rudy van de Plassche. “CMOS Integrated Analog-To-Digital and Digital-To-Analog Converters, “High Resolution A/D Converters” pg 238, 1994.
- [23] Rudy van de Plassche. “CMOS Integrated Analog-To-Digital and Digital-To-Analog Converters, “High Resolution A/D Converters” pg 240, 1994.
- [24] Rudy van de Plassche. “CMOS Integrated Analog-To-Digital and Digital-To-Analog Converters, “High Resolution A/D Converters” pg 241, 1994.
- [25] Rudy van de Plassche. “CMOS Integrated Analog-To-Digital and Digital-To-Analog Converters, “High Speed A/D converters” pg 134, 1994.



[26] Rudy van de Plassche. "CMOS Integrated Analog-To-Digital and Digital-To-Analog Converters, "High Resolution A/D Converters" pg 244, 1994.

[27] Rudy van de Plassche. "CMOS Integrated Analog-To-Digital and Digital-To-Analog Converters, "Sigma-delta A/D Conversion" pg 417, 1994.



Capítulo 18. Agradecimientos

Me gustaría finalizar la redacción de este documento agradeciendo de manera personal y sincera a todas las personas que me han ayudado a llevarlo a cabo pero en especial:

A mi tutor, donde más que un profesor he encontrado a un amigo que me ha ayudado incontables horas, resolviendo desde las dudas más difíciles hasta las más tontas, e indicándome siempre el camino que seguir, por todo ello, gracias Vicente.

A mi familia, mi madre, mi padre y mi hermana, que me han apoyado y aguantado durante todos los años que he estado en el grado de Telecomunicaciones y muchos antes sin importar las dificultades a afrontar. Os quiero, gracias por vuestro apoyo.



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA

TELECOM ESCUELA
TÉCNICA **VLC** SUPERIOR
DE INGENIERÍA DE
TELECOMUNICACIÓN