



UNIVERSITAT  
POLITÈCNICA  
DE VALÈNCIA



Escuela Técnica Superior de Ingeniería del Diseño

Trabajo Fin de Grado

**Guía de diseño de placas de circuito  
impreso para integrar un  
microcontrolador**

*Autor: Shiris Sestayo Gil*

*Director: Francisco Rodríguez Ballester*



## *Agradecimientos*

A mis padres, por todo lo que no puedo agradecer en unas pocas palabras y que ha hecho posible que llegue hasta aquí. A mis abuelos, por su generosidad y cariño. A mis amigos de carrera, por hacer esta experiencia única. A mis compañeros de piso, Roginni, Juliosso y Frantonello, por las risas. A Paula, por su apoyo. A Miriam y Marta, que comparten mi entusiasmo por los LEDs. A Juan, por ordenar cables. A Óscar, por esas clases que llevaré conmigo. A Enrique Berjano Zanón, un profesor para recordar. A Pedro y Jordi, por darme la oportunidad de aprender y mejorar como ingeniero.

Y a mi director de TFG, Francisco Rodríguez Ballester, por toda su ayuda, paciencia y buen hacer.

# Índice

<b>I. Memoria</b> .....	<b>7</b>
<b>Resumen</b> .....	<b>8</b>
<b>1. Motivación y objetivos</b> .....	<b>8</b>
<b>2. Justificación</b> .....	<b>8</b>
<b>3. Objetivos</b> .....	<b>9</b>
<b>4. Contexto profesional</b> .....	<b>9</b>
<b>5. Máster S200 nRF52840 de Rhomb</b> .....	<b>10</b>
5.1. Características del microcontrolador .....	11
5.2. Estándar de Rhomb .....	12
5.3. Planos .....	14
5.4. Pliego de condiciones .....	14
5.4.1. Condiciones de los materiales.....	14
5.4.2. Requisitos mecánicos .....	14
5.4.3. Configuración de pines.....	15
5.4.4. Condiciones de ejecución.....	15
5.4.5. Pruebas y ajustes finales .....	15
5.5. Presupuesto .....	15
<b>6. Guía de diseño de PCB para integrar un microcontrolador</b> .....	<b>19</b>
6.1. Elaboración de la guía .....	20
6.2. Uso de la guía .....	21
6.3. Aplicación de la guía.....	21
6.3.1. Preparación .....	21
6.3.2. Definición del proyecto y documento “Criterios de diseño” .....	22
6.3.3. Crear el proyecto en Altium .....	22
6.3.4. Crear Variant .....	22
6.3.5. Crear footprints .....	22
6.3.6. Diseñar los circuitos en los esquemáticos.....	22
6.3.7. Diseñar la PCB.....	23
6.3.8. Panelizado .....	23
6.3.9. Fabricación .....	23
<b>7. Conclusiones y líneas futuras</b> .....	<b>23</b>

## II. Guía de diseño de placas de circuito impreso para integrar un microcontrolador 25

<b>8. Fases de diseño</b> .....	<b>27</b>
8.1. Carpetas del proyecto .....	27
8.2. Definición del proyecto .....	31
8.2.1. Procedimiento .....	31
8.3. Documento “Criterios de diseño” .....	33
8.4. Documento “Tareas pendientes” .....	34
8.5. Crear el proyecto en Altium .....	35
8.5.1. Index.....	35
8.5.2. Diagrama de bloques.....	36
8.6. Crear variants .....	37
8.7. Crear footprints de componentes nuevos .....	37
8.8. Diseñar circuitos en los esquemáticos .....	38
8.8.1. Criterios para las hojas de esquemáticos.....	38
8.9. Diseñar la PCB en Altium .....	47
8.9.1. Capas .....	47
8.9.2. Definición de reglas .....	47
8.9.3. Distribuir por bloques los componentes en la PCB .....	50
8.9.4. Usar correctamente View Configuration .....	51
8.9.5. Proceso de rutado .....	52
8.9.6. Planos .....	55
8.9.7. Vías en los bordes y Via Stitching .....	58
8.9.8. Generar Teardrops .....	60
8.9.9. Revisión capa a capa de las pistas .....	60
8.9.10. Design Rule Check (DRC) .....	61
8.9.11. Serigrafía .....	61
<b>9. Panelizado</b> .....	<b>63</b>
<b>10. Fabricación</b> .....	<b>64</b>
10.1. Archivos para fabricar la PCB .....	64
10.2. Archivos para fabricar el “Stencil” en lámina y con marco .....	65
10.3. Archivos de ensamblado .....	65
<b>11. Altium</b> .....	<b>66</b>
11.1. Arnés .....	67
11.2. Marcadores de página para puertos .....	68

11.3 Net Classes .....	69
11.4. Variants y Not Fitted Components .....	70
11.5. Via Stitching.....	71
11.6. Teardrops .....	72
<b>III. Anexos .....</b>	<b>75</b>
<b>12. Anexo 1 .....</b>	<b>76</b>
<b>13. Anexo 2.....</b>	<b>85</b>
<b>IV. Bibliografía .....</b>	<b>88</b>
<b>14. Bibliografía .....</b>	<b>89</b>



UNIVERSITAT  
POLITÈCNICA  
DE VALÈNCIA



Escuela Técnica Superior de Ingeniería del Diseño

Trabajo Fin de Grado

## **I. Memoria**

*Autor: Shiris Sestayo Gil*

*Director: Francisco Rodríguez Ballester*

# Resumen

Este trabajo final de grado es una guía avanzada para el diseño de placas de circuito impreso (PCB) para integrar un microcontrolador ( $\mu\text{C}$ ). No trata el desarrollo del firmware. Pretende orientar al ingeniero novel con conocimientos básicos hacia una metodología de trabajo sencilla, clara y profesional. Además, adquirirá una visión global del proceso y entenderá la importancia de diseñar pensando en los otros departamentos que forman parte del proyecto. Y con el fin de referenciar las explicaciones a un caso real, se ofrece toda la información sobre el microcontrolador máster nRF52840 de Rhomb. Se trata de un diseño realizado por el autor durante su periodo de prácticas curriculares en la empresa Tecnofingers S.L, cuya marca comercial es Rhomb.

## 1. Motivación y objetivos

El objetivo del trabajo de este TFG es desarrollar una guía que pretende ser una referencia para el ingeniero que tiene conocimientos básicos de diseño y fabricación de PCBs. Se explica cómo afrontar un encargo profesional, con unas pautas de trabajo claras y sencillas que le permitirán alcanzar buenos resultados. Además, gran parte de esta información se podría aplicar a otros tipos de proyectos como módulos con sensores o de comunicaciones.

La razón por la que se ha elegido un  $\mu\text{C}$  como ejemplo de referencia es su complejidad técnica y conceptual. Técnica porque se puede dar el caso de tener señales de alta frecuencia que son sensibles a interferencias. Y complejidad conceptual porque este proyecto tiene una parte de hardware y otra de firmware. Esta última puede ser desarrollada por terceros, por lo que la forma de diseñar y documentar debe garantizar un óptimo flujo de trabajo.

## 2. Justificación

En el mercado existe una gran cantidad de manuales sobre cómo usar Altium [1] o programas similares para el diseño de PCBs. Pero no tratan el tema de cómo afrontar un encargo profesional. Durante la etapa de prácticas, la empresa Tecnofingers S.L. facilitó un curso multimedia de Altium procedente de una academia online [2] especializada en diseño de PCBs. Pero tampoco se atendía esta cuestión. Y cuando se encargó a cada uno de los estudiantes el desarrollo de un proyecto, el único documento de referencia era una guía básica de cómo trabajar con la plantilla de Altium de la empresa



y en la que se hacía alguna recomendación técnica de diseño. Un documento que redactó un ingeniero senior pocos días antes de abandonar Tecnofingers.

### **3. Objetivos**

La guía a desarrollar en este TFG debe contemplar todas las fases de diseño de una PCB para un  $\mu$ C, desde la definición del proyecto hasta la preparación de los archivos de fabricación. Se busca hacer entender al usuario de la guía el porqué de cada fase, las relaciones que existen entre ellas y qué se considera un proyecto profesional de calidad. El objetivo principal es ayudar a un ingeniero novel a desarrollar sus propios criterios. Además, se le orienta en la forma de conseguir información y recursos para resolver los problemas que se puede encontrar a lo largo de un proyecto. Y finalmente, se le transmite una metodología que le permite ser eficiente y ordenado en todas las etapas de diseño.

### **4. Contexto profesional**

La rama de ingeniería de electrónica industrial y automática es una de las más dinámicas. Raro es el fabricante de algún producto tecnológico que no pase por la electrónica digital. Y el Internet of Things, es decir, la conectividad de estos dispositivos con la nube, es casi una exigencia por parte de los consumidores. Esto se materializa en el uso masivo de  $\mu$ Cs. Por otro lado, el diseño de un producto tecnológico se lleva a cabo generalmente por un equipo multidisciplinar. Las empresas apuestan por ingenieros que se hayan especializado en un ámbito concreto e integrarlos dentro del grupo de trabajo. Ante la demanda creciente de estos tipos de perfiles, las ofertas de empleo, además de la parte económica, incluyen formación importante como valor añadido.

Así pues, el primer reto que un ingeniero novel debe afrontar como profesional es la adaptación. Cada empresa tiene su propio estilo de trabajo. El enfoque de sus productos está condicionado por el tipo de cliente y los plazos de entrega de los proyectos. Estos elementos obligan al diseñador a ser eficiente en tiempo y recursos. Pero también le marcan cómo desarrollar algunas facetas de su trabajo. Por ejemplo, la forma de documentar el proyecto no será la misma si el cliente final es una empresa tecnológica o un usuario doméstico.

## 5. Máster S200 nRF52840 de Rhomb

El módulo máster S200 nRF52840 (ver Figura 1) es un  $\mu$ C con Bluetooth. Ha sido diseñado por este autor y se va a emplear como ejemplo real para ilustrar los distintos puntos de esta guía. Rhomb es la marca comercial de la empresa Tecnofingers S.L., emplazada en el Parque Empresarial del Polígono Fuente del Jarro de Paterna. Se ha especializado en el diseño de hardware para soluciones industriales. Usan un sistema modular en el que conectan a una placa base un máster (los  $\mu$ Cs) y uno o varios esclavos (sensores y sistemas de comunicaciones). Según qué características tengan estos módulos, las aplicaciones cambian. Por ejemplo, un máster nRF52840 combinado con un esclavo que contenga un sensor de temperatura y humedad, puede transmitir por Bluetooth al teléfono móvil las lecturas cada cierto tiempo. En la actualidad, la empresa está desarrollando una plataforma online que permite configurar su sistema sin necesidad de tener conocimientos técnicos. A través de distintos menús se selecciona cada elemento. Y en el último paso el usuario puede descargarse el código que le permite hacer funcionar su hardware.

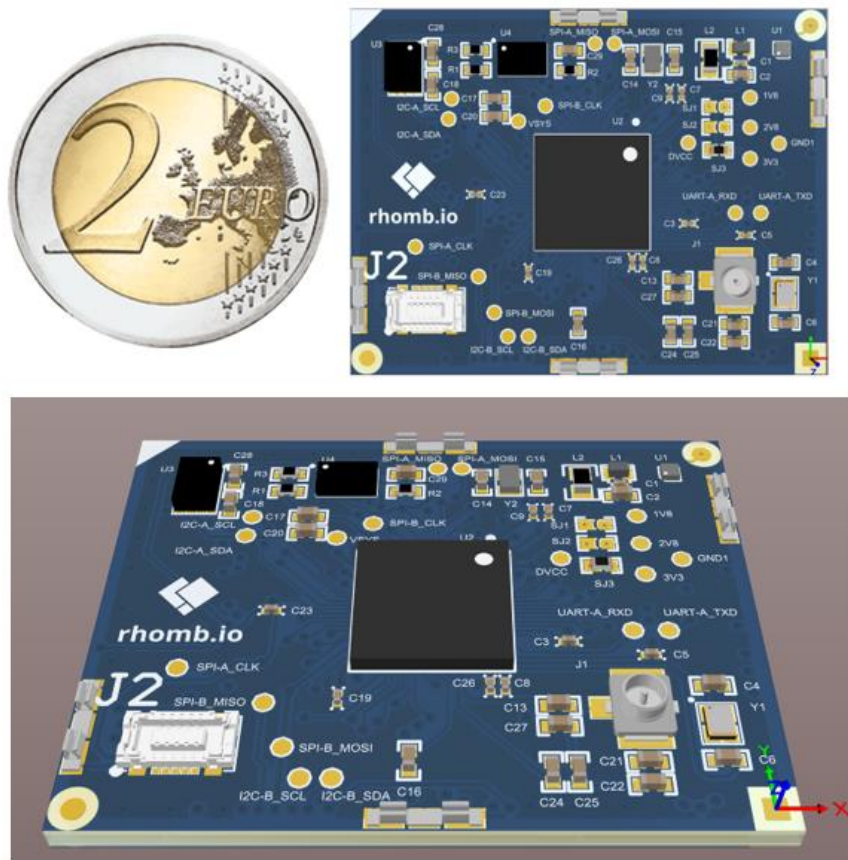


Figura 1. Muestra del módulo máster nRF52840. La parte superior es una comparativa del tamaño usando la misma escala. En la parte inferior se puede observar una imagen en 3D.

## 5.1. Características del microcontrolador

Está basado en el chip del fabricante Nordic modelo nRF52840 [2]. Sus características principales son un  $\mu\text{C}$  de 64 MHz (ARM con arquitectura Cortex-M4), memoria flash de 1 MB, memoria RAM de 256 KB y un módulo de radio Bluetooth 5. Además, incluye 43 pines extra que se pueden configurar para distintos usos: puertos de comunicaciones, canales de entrada analógica para un convertidor de datos interno analógico-digital, generación de señales modulación de ancho de pulso (PWM), etc.

Por otro lado, para el diseño de Rhomb se incorporó un chip para encriptar los mensajes a través de los puertos I2C y una memoria EEPROM adicional con conectividad SPI. Estos componentes son comunes en los  $\mu\text{C}$ s de su catálogo. Además, son mejoras solicitadas por sus clientes de empresa. En la Figura 2 se muestra la capa superior de la PCB y se señalan los componentes principales del diseño. El conector Serial Wire Debug (SWD) es un puerto de depuración que se emplea en se emplea en la programación y los controles de calidad del hardware.

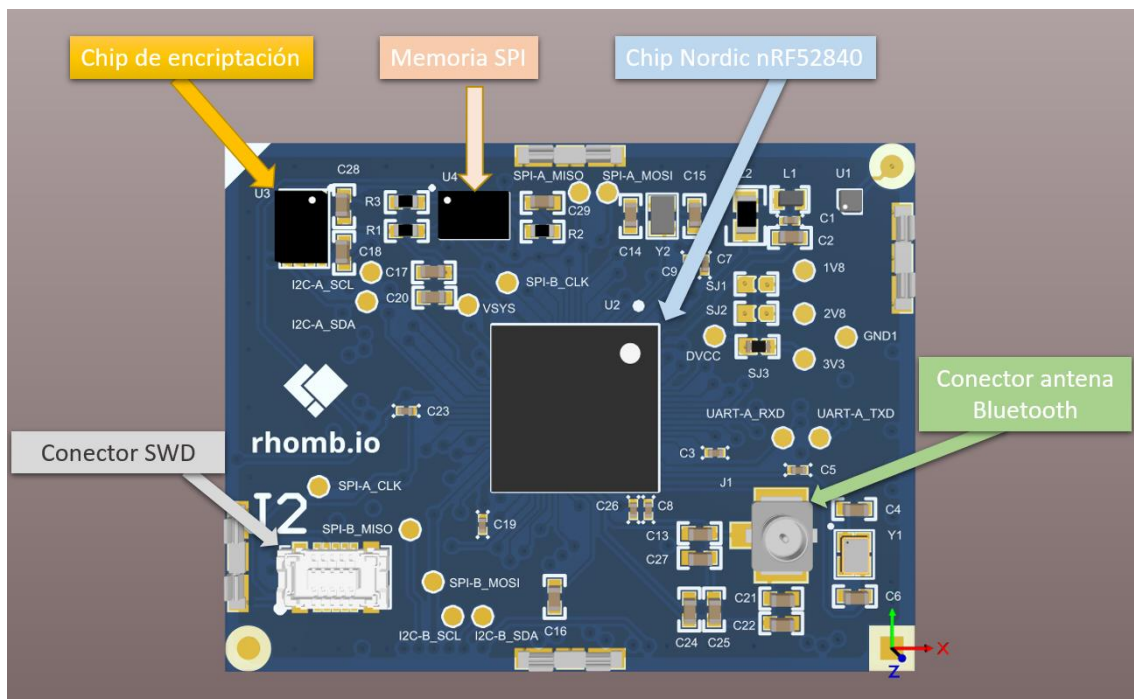


Figura 2. Vista en 3D de la PCB del  $\mu\text{C}$  máster nRF52840. Están señalizados los componentes principales. El chip de encriptación se encarga de codificar los mensajes que se transmiten por I2C. La memoria SPI es de tipo EEPROM con una capacidad de 512 KB. El conector SWD es un puerto de depuración para la programación y los controles de calidad del hardware. El conector de antena es el estándar, tipo microcoaxial.

## 5.2. Estándar de Rhomb

En general el código desarrollado para un  $\mu\text{C}$  no es compatible para otro. Arduino posee un entorno de desarrollo integrado (IDE) que adapta internamente el código del usuario a los distintos  $\mu\text{C}$ s de su gama de productos. Sin embargo, éstos son diseños cerrados. Cada placa tiene un  $\mu\text{C}$  que no se puede cambiar. En cambio, con el estándar de Rhomb sí es posible hacer esto. Separa el hardware en placa base, módulo  $\mu\text{C}$  (máster) y módulos de sensores y comunicaciones (esclavos). Comparten el mismo conector. La placa base tiene el conector hembra y los módulos el macho. En la Figura 3 se muestra la parte superior e inferior de la placa base modelo Deimos y el módulo máster nRF52840. Los conectores para los esclavos están incorporados en la parte inferior de la placa base. De esta forma, mecánicamente se puede cambiar de módulo en pocos segundos. Los pines de los conectores tienen la misma configuración. Por ejemplo, el pin 26 siempre será la señal de Reset. En la Figura 4 se detallan las señales de los pines del 0 al 50 mediante su esquemático. Las referencias numéricas indican el número total de pines que tiene ese módulo. Así, el S100 tiene cien pines. La gama es del S100 al S500. En la Figura 7 se muestra una comparativa entre el S100 y el S200. Por otro lado, el estándar de Rhomb también cubre las necesidades de adaptación de código. Ha desarrollado sus propias bibliotecas para hacer compatibles sus  $\mu\text{C}$ s entre sí como con los de Arduino.

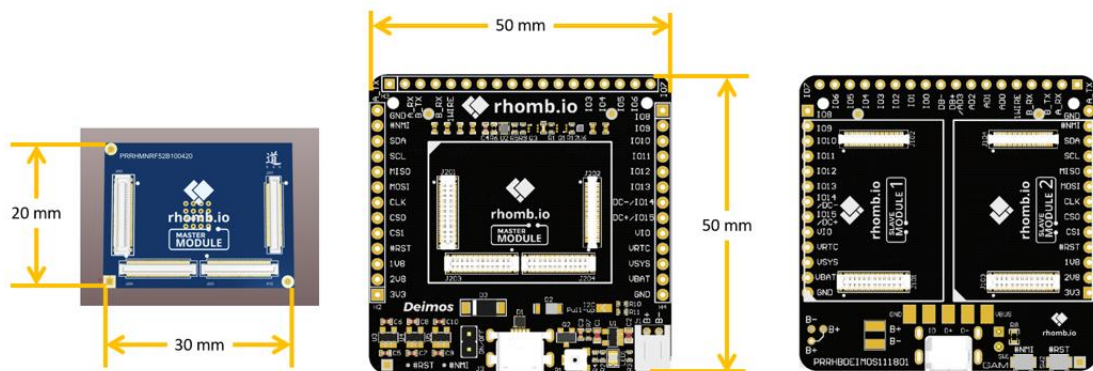


Figura 3. Vista inferior del módulo máster S200 nRF52840 (izquierda), vista superior de la placa base Deimos (centro) y vista inferior de la placa base Deimos (derecha). El conector del módulo se acopla con el de la placa base. Los pines quedan en contacto permitiendo la transmisión de las señales. La parte superior de las placas se emplean para el máster. La parte inferior para los esclavos.

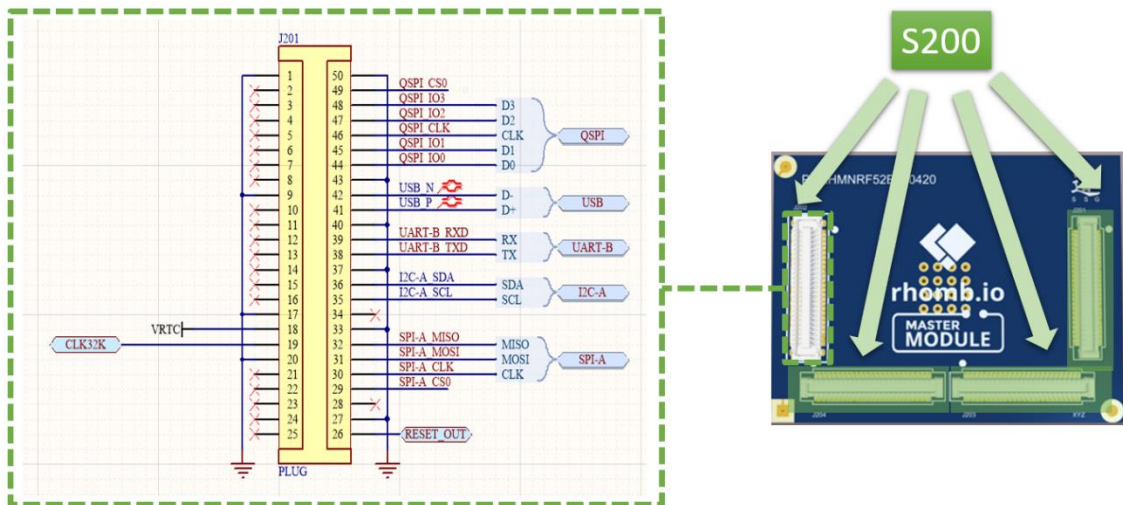


Figura 4 Vista inferior de un módulo S200 (derecha) y un fragmento del esquemático del módulo donde se muestran los primeros 50 pines del conector (izquierda). El bloque amarillo representa el conector blanco de la derecha. El estándar de Rhomb establece que las señales asociadas a cada pin siempre sean las mismas.

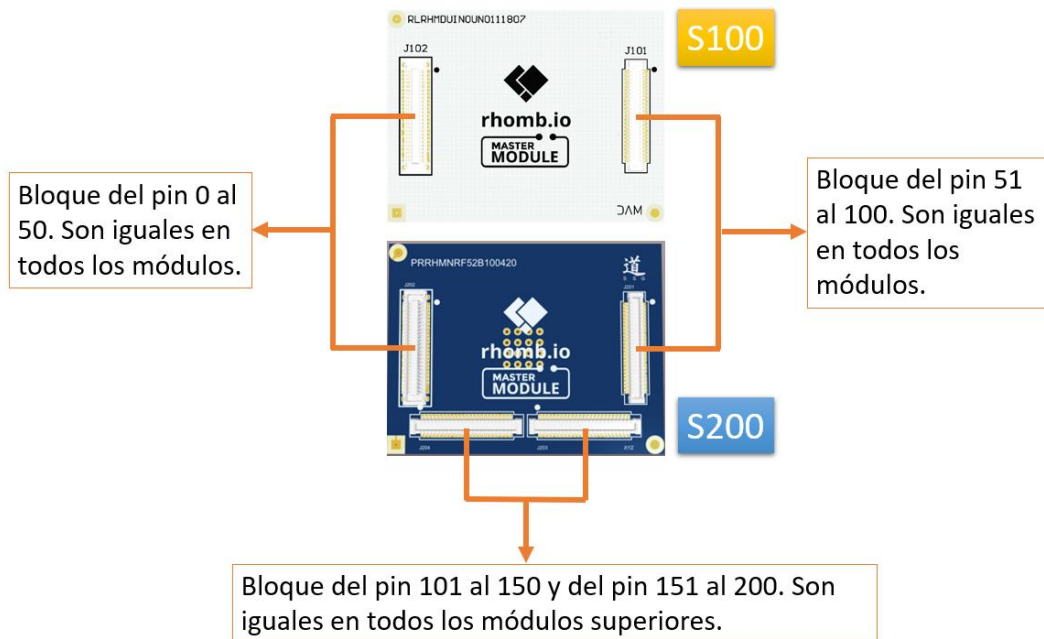


Figura 5. Vista de la capa inferior de un módulo S100 (superior) y otro S200 (inferior). La referencia numérica indica la cantidad de pines totales que tiene el módulo. Las señales asociadas a cada pin son iguales en todos los módulos. Tener un conector de más pines significa que tiene más tipos de señales. Por ejemplo, VGA, sonido, ethernet, etc.

### **5.3. Planos**

Entre los documentos que se incluyen en este TFG, se encuentran los planos del módulo máster S200 nRF52840 a disposición del lector, (ver Anexo 1).

### **5.4. Pliego de condiciones**

Este pliego de condiciones es para el diseño del  $\mu$ C máster S200 nRF52840 formulado por la empresa Tecnofingers S.L. a su diseñador Shiris Sestayo Gil.

#### **5.4.1. Condiciones de los materiales**

Se procede a describir los elementos requeridos para el diseño del  $\mu$ C máster S200 nRF52840.

- Utilización del chip Nordic nRF52840.
- Módulo extra de memoria EEPROM de 512 KB de capacidad.
- Módulo de encriptación de mensajes SPI.
- Configuración de alimentación por medio de solder jumpers.
- Conector SWD.
- Conector de antena Bluetooth.
- Material de la PCB: FR-4

#### **5.4.2. Requisitos mecánicos**

Se procede a describir los requisitos mecánicos para el diseño del  $\mu$ C máster S200 nRF52840.

- Dimensiones mecánicas de la PCB:
  - o Ancho: 30 mm.
  - o Alto: 23 mm.
  - o Grosor: 2 mm.
  - o Conector: S200.
  - o Número de capas: 4.

- Conector: SlimStack™ 0.40mm *Pitch Board-to-Board*.

La posición del conector está impuesta por el estándar de Rhomb.

### **5.4.3. Configuración de pines**

Las señales asociadas a los pines de los cuatro conectores SlimStack están definidas por el estándar de Rhomb. El listado completo se encuentra en el Anexo , “Configuración de pines”. Todas las señales procedentes del chip nRF52840 deben asociarse a su análogo en el conector.

### **5.4.4. Condiciones de ejecución**

La fase de diseño tiene un plazo de ejecución de seis semanas. Concluye con la elaboración de los archivos digitales BOM y Gerbers para el fabricante externo. La fabricación queda reservada para una empresa externa cuyo plazo de entrega es de cuatro semanas.

### **5.4.5. Pruebas y ajustes finales**

La última fase antes de poner el producto a la venta tiene una duración de cuatro semanas. Se llevarán a cabo las siguientes tareas:

- Creación del firmware: Desarrollo de todas las bibliotecas necesarias para poder cumplir con el estándar de Rhomb.
- Chequeo de todas las prestaciones del  $\mu$ C: Comprobación de funcionamiento y calidad de las señales de salida.

## **5.5. Presupuesto**

Para la elaboración del presupuesto, (ver Tabla 1) se incluye la amortización de los sistemas y programas informáticos, costes propios e indirectos de la actividad (alquiler, suministros, etc.), coste por hora de la mano de obra de los diseñadores de hardware según el convenio del metal, y beneficio industrial.

Tabla 1. Presupuesto para el diseño, documentación y fabricación de un panel PCB de 20 módulos nRF52840.

			Cantidad	Unidad	Base (€)	Total
Sistemas informáticos						168,98
	Ordenador		240	h	0,0971	
	Licencia Altium Design 20		240	h	0,67	
Mano de obra						3532,80
	Diseño de PCB		200	h	14,72	
	Planos		10	h	14,72	
	Documentación		30	h	14,72	
Materiales						154,30
	Panel PCB 169 x 105		1	ud	26,5	
	Pack de componentes electrónicos (1 por módulo)		20	ud	6,39	
Subtotal						3856,08
Gastos generales			10	%		385,61
Beneficio industrial			6	%		231,37
					Total sin IVA	8329,14
IVA			21	%		1749,12
					Total	10078,26

El tiempo de la mano de obra corresponde a un periodo de seis semanas para una persona que trabaja ocho horas diarias y cinco días a la semana. El valor para una hora de mano de obra se ha calculado tomando como referencia el convenio del metal para un ingeniero técnico industrial en la ciudad de Valencia (ver Tabla 2). Éste establece un sueldo de 1.770,31 euros brutos al mes.



Tabla 2. Cálculo del coste de una hora de mano de obra.

	Salario bruto mensual	Base (€)	Cuotas / año	Horas anuales	Valor (€) / hora
Mano de obra	1	1.770,73	14,5	1744	14,72

Por otro lado, el cálculo de los sistemas informáticos se establece para un periodo de amortización de cinco años. El coste del ordenador es de 847 euros. La licencia del programa de diseño Altium Design 19 es de tipo perpetua (sin renovaciones) y de 5840 euros. Ver Tabla 3. El importe reflejado en el presupuesto corresponde a seis semanas de uso.

Tabla 3. Amortización de sistemas informáticos

Sistemas informáticos	Unidades	Base (€)	Periodo de amortización (años)	Coste (€/h)
Ordenador	1	847	5	0,097
Licencia Altium Design 19	1	5840	5	0,670

Por último, el programa de diseño Altium Design ofrece la posibilidad de generar una tabla llamada Bill Of Materials (BOM) (ver Tabla 4). Entre otras utilidades, permite saber el coste total de todos los componentes que forman un módulo máster nRF52840.

Tabla 4. Ejemplo de la tabla Bill Of Materials generada por el programa Altium Design. Es un listado de todos los componentes electrónicos que componen un módulo máster nRF52840. Incluye referencias, unidades totales, precio por unidad y coste total, entre otros.

Report Date: 29/05/2020 16:24		08-Jun-20 2:53:01 PM													
Description	Footprint	Quantity	Designator	Supplier Order Qty 1	Manufacturer 1	Manufacturer Part Number	Supplier Unit Price	Supplier Subtotal per Board	Supplier Currency 1	Total Price					
CAP CER 1Mf 10V 20% XFR 0201	CAP1020R	2	C1,C7	2	Kyocera AVX	0201ZD106RMA12A	0,236	0,63	EUR	0,59					
CAP CER 0.047uF 16V 10% XFR 0402	CAP1402R	1	C2	1	TDK	CGA4E2X7R1C473K060BA	0,1	0,1	EUR	0,1					
CAP CER 0.1uF 16V 10% XFR 0201	CAP1020R	5	C3, C6, C9, C16, C23	5	TDK	C0603X5R1C04K0300BC	0,1	0,5	EUR	0,5					
CAP CER 12pF 50V 5% COG 0402	CAP1402R	4	C4, C6, C14, C16	4	Kyocera AVX	0402SA120UA12A	0,16	0,64	EUR	0,64					
CAP CER 100pF 25V 5% COG 0201	CAP1020R	2	C8, C13	2	TDK	C0603C0G1E100J0300BA	0,1	0,2	EUR	0,2					
CAP CER 330pF 50V 10% XFR 0402	CAP1402R	1	C16	1	Murata	GRM155R71M432K3A0D	0,1	0,1	EUR	0,1					
CAP CER 470pF 10V 20% XFR 0402	CAP1402R	3	C17, C18, C20	3	TDK	C1005X5R1M475M0600BC	0,52	1,56	EUR	1,56					
CAP CER 47pF 50V 10% XFR 0402	CAP1402R	6	C21, C22, C24, C26, C28, C27	6	Murata	GRM1555C1H70J4A0D	0,09	0,18	EUR	0,18					
CAP CER 0.1uF 10V 10% XFR 0402	CAP1402R	2	C28, C29	2	TDK-Lambda	DM402DMK48PACTU	0,09	0,36	EUR	0,36					
PFI SHIELD ULTRA TINY CUP SMD	UTC	4	CLIP1, CLIP2, CLIP3, CLIP4	4			0,09	0,18	EUR	0,18					
MAIN FIDUCIAL	FIDUCIAL SQUARE	2	F01, F04	2			0,09	0,36	EUR	0,36					
SECONDARY FIDUCIAL	FIDUCIAL SQUARE	4	F02, F03, F05, F06	4			0,09	0,36	EUR	0,36					
COMMUNICATION MALE 2MM 50OHM SMD	CMP-CON-00004	1	UT	1	TE Connectivity AMP	989763-1	0,09	0,09	EUR	0,09					
COMMUNICATION MALE 2MM 50OHM SMD	CMP-CON-00006	1	U2	1	Moler	503548-1020	0,09	0,09	EUR	0,09					
PHONIB PLUG CONNECTOR	CMP-CON-00001	3	J201, J203, J204	3	Moler	*	0,09	0,27	EUR	0,27					
PHONIB RECEPTACLE CONNECTOR	CMP-CON-00002	1	J202	1	Moler	503772-5010	0,09	0,09	EUR	0,09					
IND SMD 150H 0.13A 1750mOhm 2% 0402	IND0402	1	L1	1	Tajco	HK100627MLT	0,09	0,09	EUR	0,09					
IND SMD 10uH 0.3A 600mOhm 20% 0603	RES0603R	1	L2	1	TDK	MLZ1608R0100L1000	0,09	0,27	EUR	0,27					
RES SMD 100K 1% 010V 0402	RES0402R	3	R1, R2, R3	3	Vishay	CFRDM1402100KFED	0,09	0,09	EUR	0,09					
RES SMD 0 0% 010V 0402	Solder Jumper 0402 Closed	1	SJ3	1	Panasonic	ERNJ-26E0R00X	0,09	0,09	EUR	0,09					
IC EEPROM 1-WIRE 1K2 BYTES 4UCSP	4UCSP	1	U1	1	Maxim	DS28E05GB-T	0,09	0,09	EUR	0,09					
MCU NRF52840 32-BITS CORTEX-M4F 1Mhz 2 1MB FLASH 256KB RAM BLUETOOTH 4.0 NFC QFN	adFN1 Nordic_nRF52840	1	U2	1			0,09	0,09	EUR	0,09					
AUTHENTICATION CHIP 12C 8-UQFN	8-UQFN 2x3-8	1	U3	1	Microchip / Atmel	ATECC508A-MH-ND-S	0,09	0,09	EUR	0,09					
IC FLASH 1628BIT 65V 4Hz 8-UQFN	8-UQFN 2x3-8 PADS	1	U4	1	Adesto Technologies	AT25DF162C-SSH-T	0,09	0,09	EUR	0,09					
Crystal 32.0 MHz 8pF SMD 16 x 12 x 0.3 mm (HD) -U2	4-SMD 16x12x0.3mm	1	Y1	1	ECS International	ECS-320-8-4TB-70M-TR	0,09	0,09	EUR	0,09					
CRYSTAL 32.7680KHz 9pF SMD 16x12x0.3mm	12-SMD 16x12x0.3mm	1	Y2	1	Abrakon	AE5016-32.768KHZ-3-T	0,09	0	EUR	0					
										<b>TOTAL PRICE</b>	<b>6,390</b>				

## 6. Guía de diseño de PCB para integrar un microcontrolador

¿Qué ocurre con el proyecto que se está desarrollando si el ingeniero se pone de baja por enfermedad? ¿Y si cambia a otro ingeniero del equipo? ¿Qué pasaría si entra otro proyecto más urgente y se ha de pausar para retomarlo en un futuro? La primera idea que debería considerar un ingeniero cuando trabaja en un proyecto en equipo es que la forma de documentar debe permitir que el proyecto pueda cambiar de manos o pausarse en el tiempo. Es decir, tiene que facilitar que se pueda entender todo lo que se ha hecho hasta el momento y continuar desde ahí de manera autónoma y eficiente.

Otro aspecto importante en un proyecto son los plazos de entrega. Esto quiere decir que el tiempo para terminar el proyecto está acotado. Hay que ser eficientes para cumplir con las fechas. Tener una hoja de ruta, como esta guía, ayuda a planificar las tareas y eliminar tiempos muertos. Para el diseño del módulo máster nRF52840 se asignó un plazo de seis semanas. En la Figura 6 se muestran los porcentajes de tiempo de cada parte a modo orientativo ya que puede variar según el tipo de proyecto, habilidad del diseñador, etc. Después se mandó a fabricar el prototipo. Cuando éste se recibió, se procedió a a desarrollar el firmware y testear el módulo.

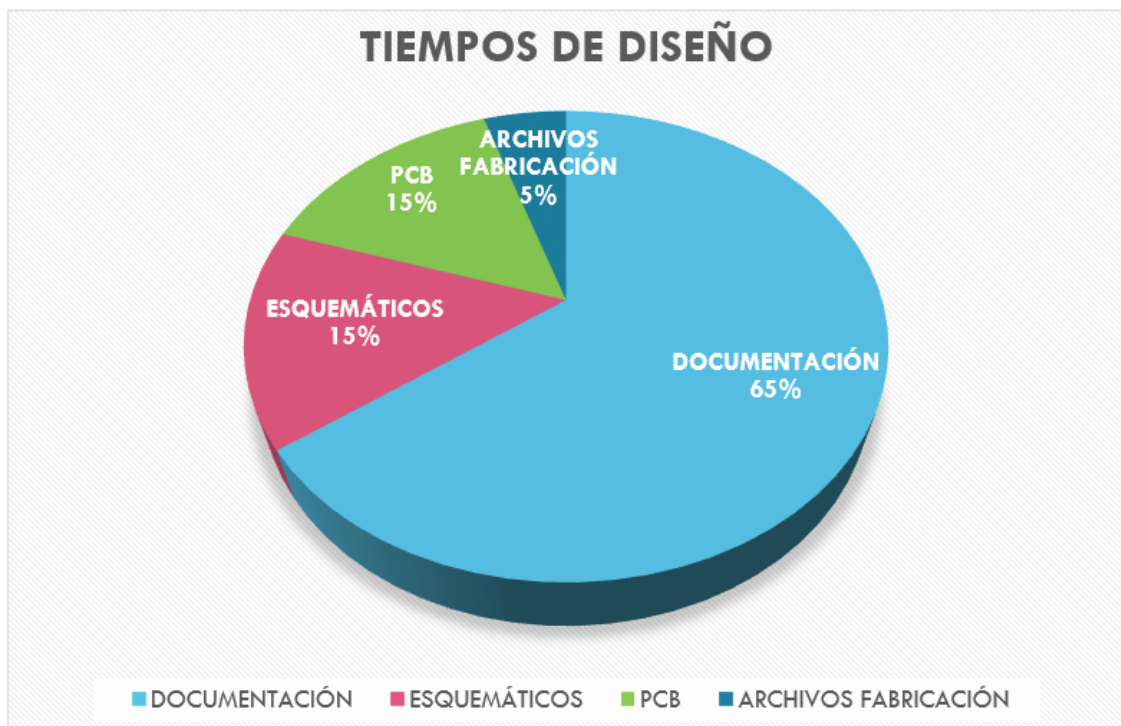


Figura 6. Tiempos de diseño. Muestra los porcentajes de tiempo que requirieron las distintas partes del proceso de diseño del módulo máster nRF52840.



Así pues, para desarrollar esta guía, se ha llevado un proceso constante de observación sobre cada fase del proyecto. Se intentaba dar respuesta a qué necesidades se tenían en esos momentos, cómo se habían resuelto, si había alguna forma de hacerlo mejor... Todos los pasos que se iban dando se documentaban. Se tomaban notas de los errores y de los aciertos. También se registraban las herramientas empleadas en Altium. Finalmente, tras muchas revisiones y correcciones, la guía adquirió el estilo y la forma deseada.

## **6.2. Uso de la guía**

El lector debe estar familiarizado con el entorno de desarrollo con Altium y conocer los conceptos básicos de diseño de PCB. La guía engloba las tres áreas básicas que forman el proceso de diseñar: documentación, procedimientos y apartado técnico del editor. Se recomienda al usuario una primera lectura global para entender las ideas generales de cada bloque. Cuando inicie un nuevo proyecto de diseño, es recomendable que utilice el índice. La guía se presenta en formato electrónico y cada sección del índice le traslada al punto correspondiente del documento. Toda la información de la guía está organizada por apartados y subapartados para que el índice sea lo más preciso posible.

## **6.3. Aplicación de la guía**

Se procede a describir cómo se ha diseñado el  $\mu$ C máster nRF52840 de Rhomb siguiendo la guía de diseño que es objeto de este TFG.

### **6.3.1. Preparación**

El primer paso es crear los directorios del proyecto. Después se busca el datasheet del chip Nordic nRF52840 en la web del fabricante y proyectos de otras compañías, como Arduino que puedan usar el mismo  $\mu$ C. Gracias a los diseños de referencia que se hayan encontrado, la tarea de diseño de los esquemáticos es más sencilla porque, por ejemplo, no hay que calcular valores de componentes (resistencias, condensadores de desacoplo, etc.).

### **6.3.2. Definición del proyecto y documento “Criterios de diseño”**

Con la documentación disponible de Nordic se estudian las prestaciones del chip para ver cuáles se pueden aplicar al estándar de Rhomb. Este proceso es la definición del proyecto. Al confirmar los elementos que son compatibles, se está dando forma al módulo máster. Como además se van estableciendo las primeras decisiones, se debe crear el documento “Criterios de diseño” para registrarlas.

### **6.3.3. Crear el proyecto en Altium**

Con la información necesaria en los directorios del máster ya se puede crear el proyecto en Altium. El primer documento a elaborar es el diagrama de bloques. Se plasma la idea general y permite definir los aspectos pendientes por diseñar.

### **6.3.4. Crear Variant**

Con esta operación establecemos en Altium cuál es el diseño de base del proyecto. Si en un futuro se desease crear versiones modificadas, se establecerían nuevos variants.

### **6.3.5. Crear footprints**

Los componentes del diseño se plasman en el esquemático a través de sus footprints. Éstos son los símbolos y referencias que los definen. Si algún componente no estuviera en la biblioteca de la empresa, se debe crear manualmente en Altium. Es interesante comprobar primero si el fabricante ofrece los footprints. Si es el caso, con una simple operación de importar sería suficiente.

### **6.3.6. Diseñar los circuitos en los esquemáticos**

En este punto lo más importante es diseñar pensando en las personas que podrían consultar estos esquemáticos. Se debe incluir toda la información que ayude a entender de forma sencilla los circuitos.

### **6.3.7. Diseñar la PCB**

Siguiendo las pautas de la guía, el diseño de la PCB debería resultar sencillo. Primero se presentan los componentes para estudiar cuál es la mejor distribución. Después, se retiran fuera del área de diseño y se acondiciona el chip nRF52840 mediante pistas y vías. Y por último, se vuelven a introducir los componentes para comenzar el proceso de rutado.

### **6.3.8. Panelizado**

Esta operación consiste en duplicar el diseño del  $\mu$ C en una placa de grandes dimensiones. El motivo es que el proceso de fabricación es más económico usando el panel en vez de módulos pequeños.

### **6.3.9. Fabricación**

La fabricación del panel la realiza una empresa externa. Requiere del diseñador los archivos de fabricación que genera Altium. Cuando le llegan, en un plazo aproximado de cuatro semanas se recibe el panel en la oficina.

## **7. Conclusiones y líneas futuras**

La guía objeto de este TFG cumple con el planteamiento inicial. Ofrece una visión global del proceso de diseño de PCBs para integrar un  $\mu$ C. Aporta criterios de referencia que ayudan al ingeniero novel a desarrollar los suyos propios. Y además tiene una parte técnica para mejorar su dominio del programa Altium.

Mi principal interés era hacer un trabajo que fuese de utilidad para otras personas. Creo humildemente que esta guía puede ayudar a otras personas a superar esa primera toma de contacto con un encargo profesional. Esta rama de la ingeniería ofrece un mercado laboral lleno de oportunidades interesantes. No querría pensar que alguien se lo pudiera perder por no tener un punto de apoyo.

En cuanto al futuro, mis inquietudes me hacen plantearme profundizar más en este campo. Además, comparto la filosofía de “open source”. Creo que hacer algunas guías

nuevas y compartirlas sería una buena forma de aportar algo a la comunidad de la que tanto he aprendido.





UNIVERSITAT  
POLITÈCNICA  
DE VALÈNCIA



Escuela Técnica Superior de Ingeniería del Diseño

Trabajo Fin de Grado

## **II. Guía de diseño de placas de circuito impreso para integrar un microcontrolador**

*Autor: Shiris Sestayo Gil*

*Director: Francisco Rodríguez Ballester*

## Guía de diseño de PCB

¿Qué ocurre con el proyecto que se está desarrollando si el ingeniero se pone de baja por enfermedad? ¿Y si cambia a otro ingeniero del equipo? ¿Qué pasaría si entra otro proyecto más urgente y se ha de pausar para retomarlo en un futuro? La primera idea que debería considerar un ingeniero cuando trabaja en un equipo es que la forma de documentar debe permitir que el proyecto pueda cambiar de manos o pausarse en el tiempo. Es decir, tiene que facilitar que se pueda entender todo lo que se ha hecho hasta el momento y continuar desde ahí de manera autónoma y eficiente.

Otro aspecto importante en un proyecto son los plazos de entrega. Esto quiere decir que el tiempo para terminar el proyecto está acotado. Hay que ser eficientes para cumplir con las fechas. Tener una hoja de ruta, como esta guía, ayuda a eliminar tiempos muertos. Como ejemplo, para el diseño del módulo máster nRF52840 se asignó un plazo de seis semanas. Después se mandó a fabricar el prototipo. Cuando éste se recibió, se procedió a desarrollar el firmware y testear el módulo.

En cuanto a la forma de elaborar los esquemáticos lo más importante es que se puedan entender fácilmente. Es importante abandonar la idea de que éstos sólo sirven para poder hacer la placa del circuito impreso (PCB). Es habitual que un informático que desarrolle el firmware necesite consultarlos. Por ello, en esta guía se tratará cómo realizarlos, qué información es interesante poner y cómo ponerla.

Por último, el diseño de la PCB, es decir, el proceso de colocación de los componentes, pistas y resto de elementos tiene cierto paralelismo con los otros apartados del diseño. El resultado debe ser ordenado, claro y lógico. Siguiendo unas directrices sencillas se consigue un prototipo que se testea fácilmente, que ayuda a detectar errores de diseño y que permite ser manipulado con más facilidad. La Figura 8 es un ejemplo de cómo estas directrices facilitan el proceso.

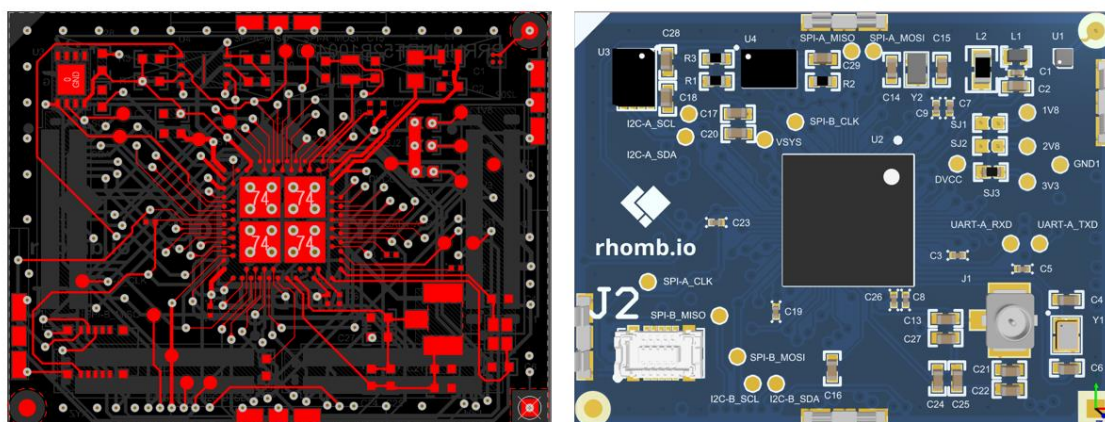


Figura 8. Comparativa entre la distribución de las pistas de la capa superior de la PCB (izquierda) y el resultado final en 3D (derecha).

## 8. Fases de diseño

En esta sección se describen las fases que el ingeniero deberá llevar a cabo. Están ordenadas siguiendo una coherencia temporal, (ver Figura 9). Es decir, según las va necesitando el diseñador. El proceso termina con la orden de fabricación. Para que se pueda poner a la venta, el departamento de software debe desarrollar el firmware.

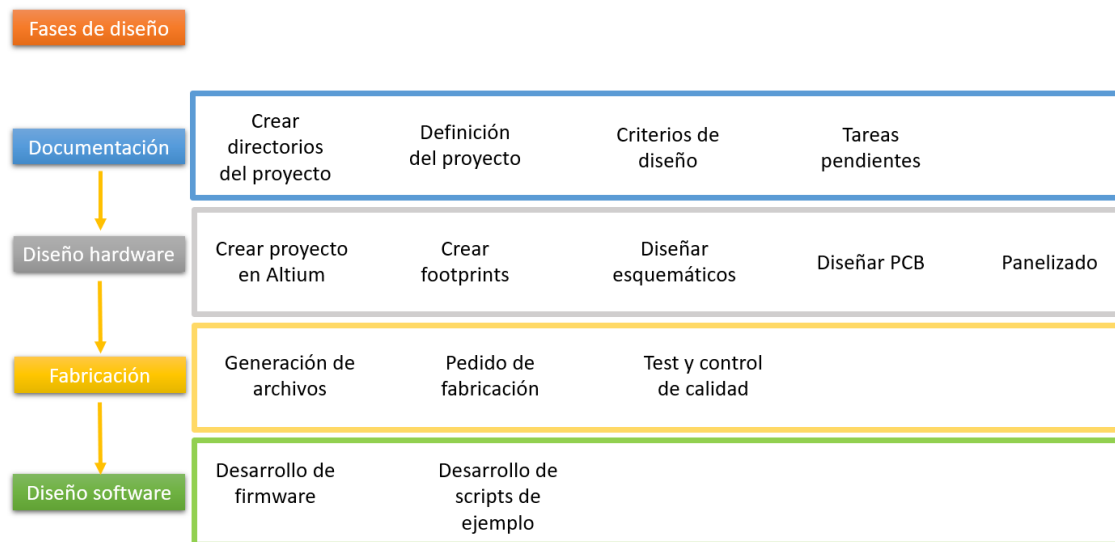


Figura 9. Diagrama de fases de diseño.

### 8.1. Carpetas del proyecto

Se propone crear las carpetas del proyecto en primer lugar porque una gran parte del tiempo se va a dedicar a recopilar información, definir cuestiones del diseño, o almacenar modelos de referencia. Tenerlo todo previsto y preparado permite llevar a cabo estas tareas de forma ordenada desde el principio. Las carpetas del proyecto pueden variar según la empresa para la que se esté trabajando. Sin embargo, se propone la estructura que se sigue en Rhomb como ejemplo real, (ver Figura 10). Cada diseño tiene una carpeta principal con el nombre comercial que se le haya dado al dispositivo. En este caso, S200 máster nRF52840. En su interior todos los subdirectorios necesarios para organizar los archivos del proyecto de Altium, los documentos técnicos y los ficheros de fabricación.



Figura 10. Estructura de directorios para un proyecto de Rhomb. La línea discontinua indica que los directorios de la derecha seguirían después de la carpeta “3.PCB ODB”.

Las carpetas que forman la estructura de directorios tienen las siguientes funciones:

- \_Specs\_ (generado por el usuario)
  0. Preliminary study: Contiene información y requerimientos para el proyecto. Ejemplo: Definición de funcionalidades, criterios de diseño, etc.
  1. Datasheets: Almacena los datasheets de aquellos componentes poco habituales o complejos que se utilicen. Ejemplo: el datasheet del fabricante Nordic para el chip nRF52840.

2. Design guidelines: Contiene los esquemáticos de diseños de dispositivos de otras empresas que también utilizan el mismo chip Nordic nRF52840. Estos diseños se emplean como referencia. Ejemplo: los proporcionados por el fabricante Nordic o la versión simplificada de Arduino Nano BLE.

- Prototypes (generado por el usuario)

CMP-PCB-XXXXX (v1.0): El nombre de esta carpeta es el mismo que la referencia interna de Rhomb. Se debe sustituir por el elegido por el ingeniero o el especificado por la empresa para la que se trabaje.

1. Documetation (generado por el usuario)

1. Checklist files: Listas de checklist a seguir en caso de que las hubiera.

2. Graphic Design and Wiki: Documentación tanto informativa cómo gráfica generada sobre al proyecto.

2. Altium Files (generados por defecto por el programa de diseño Altium)

- `_Project_`: Contiene los archivos del proyecto `“.PrjPcb”` y de la biblioteca local de componentes `“PCB.SchLib”`.
- Output Job Files: Alberga los archivos `“.OutJob”` que son documentos de producción.
- PCBs: Contiene los archivos `“.PcbDoc”` que son los propios de la PCB del módulo cómo la PCB del panel de fabricación.
- Schematics: Alberga los archivos `“.SchDoc”` correspondientes a las hojas de esquemático generados por Altium y otros ficheros auxiliares también del editor.

3. Schematics PDF (Creada por el usuario): Contiene los esquemáticos generado tras la finalización del proyecto.

4. Fabrication Outputs (generados por el usuario).

- PCB Gerbers: Almacena los archivos gerber para fabricación de la PCB. Son generados tras la finalización del proyecto. Se suele usar el código interno de la empresa como nombre del archivo.

- Panel Gerbers: Contiene los archivos gerber para fabricación del panel PCB. Son generados tras la finalización del proyecto. Se suele usar el código interno de la empresa como nombre del archivo.

- PCB ODB: Almacena los archivos ODB++ que se emplean en la fabricación de la PCB. Son generados tras la finalización del proyecto.
5. Assembly Outputs (generados por defecto por el programa de diseño Altium)
- PRT-BRD-XXXXX (Prototype Board XXXXX):
    - BOM Wiki: Contiene el BOM (bill of materials) generado por Altium al que aplica una plantilla de diseño.
    - BOM ERP: Almacena un BOM generado con un formato especial que se utiliza para ser subida al sistema ERP (Sistema de Planificación de Recursos Empresariales por sus siglas en inglés).
    - BOM Production: Contiene el BOM generado con formato especial para ser enviado a producción.
    - Pick & Place: Almacena los ficheros en formato “\*.txt” con los datos de ubicación y orientación de cada componente, así como de los fiducials de la placa (si los hubiere).
    - Assembly Drawings: Contiene los ficheros en formato “\*.pdf” con información gráfica de posición de cada componente, tanto de la cara superior cómo de la cara inferior de la PCB.
6. Validation (Creada por el usuario): Aquí se listarán y documentarán los procedimientos que se hayan seguido para la validación del dispositivo.
- Version control.txt: En este fichero se irán indicando los cambios realizados entre distintos prototipos de un mismo proyecto. Para poder tener trazabilidad del desarrollo del hardware.
  - Release: A esta carpeta se irán moviendo los variants que se consideren finalizados y validados para su lanzamiento.

Viendo la complejidad de la estructura de directorios, es posible que el lector piense en hacer una plantilla, es decir, una copia vacía con la que poder trabajar en proyectos nuevos. Así podría conseguir ahorrar el tiempo de repetir todo el proceso. Sin embargo, es recomendable hacerlo cuando ya esté creado un proyecto base en Altium y configurado correctamente. Con ello, se gana tiempo en muchos sentidos.

## 8.2. Definición del proyecto

Este documento es probablemente el que mayor dedicación requiere y el que más ahorro de tiempo de diseño ofrece. Se trata de describir todas las prestaciones que va a tener el microcontrolador ( $\mu\text{C}$ ). Por ejemplo, el número de puertos I2C, el número de conversores analógicos-digitales (ADC), el número de puertos I/O digitales, sensores, etc. La dificultad de esta fase es la toma de decisiones. Éstas se basan en los requisitos establecidos como el tiempo, presupuesto, funciones mínimas o el tamaño de la PCB. Es recomendable valorar el proyecto en conjunto. En algunos casos el ingeniero incluso se tendrá que plantear si es necesario utilizar todas las prestaciones del chip. Por ejemplo, en el caso del chip nRF52840 de Nordic. En el diseño de Arduino Nano BLE se han eliminado muchas funciones para simplificar el diseño que en cambio en el de Rhomb sí aparecen. Esto se traduce en menos puertos GPIO, menos puertos I2C o SPI, etc.

### 8.2.1. Procedimiento

En esta sección se describe el contenido del documento. Está establecido un orden de referencia que debe seguir el diseñador.

#### 8.2.1.1. *Requisitos*

Es el punto de partida. Se trata de agrupar todos los requerimientos del proyecto. Así es más sencillo saber qué elementos son los más restrictivos. En el ejemplo del máster nRF52840 de Rhomb había que atender especialmente a:

- Especificaciones mecánicas:
  - o Dimensiones de la PCB: 30 mm de ancho por 20 mm de alto.
  - o Número de capas: 4.
- Estándar de Rhomb: el diseño debe emplear su conector para la gama S200.
- Memoria adicional EEPROM de 512 KB.
- Módulo cripto memory: se trata de un chip que permite codificar los mensajes que se transmiten desde el  $\mu\text{C}$ .
- Conector SWD (Serial Wire Debug). Es un puerto que habilita el uso del debugger.

#### 8.2.1.2. *Agrupar información sobre componentes*

En la carpeta de `_specs_\Datasheets` se debe guardar todos los datasheets de aquellos componentes que no sean habituales. Por ejemplo, el del chip nRF52840 de Nordic.

#### 8.2.1.3. *Excel con los datos más relevantes*

Es un documento de notas rápidas para uso particular del diseñador que se almacena en el directorio raíz. Se debe eliminar cuando se termine el proyecto porque no es un documento formal que pudiera ser consultado por otras personas. Trabajar con Excel permite crear tablas con información a la que se le puede añadir notas, marcas de colores, etc. En este caso es especialmente interesante porque agiliza mucho la toma de decisiones. Por ejemplo, para el chip nRF52840 los datos que se incluyeron son:

- Todas las funcionalidades.
- Indicar dimensiones mecánicas (ancho x alto).
- Voltajes de alimentación.
- Otros datos como, por ejemplo, si puede trabajar con varios cristales de reloj de distinta frecuencia.

#### 8.2.1.4. *Excel de ayuda a la asignación de pines del conector*

Es un documento de notas rápidas para uso particular del diseñador que se almacena en el directorio raíz. Se debe eliminar cuando se termine el proyecto porque no es un documento formal que pudiera ser consultado por otras personas. Se debe crear una tabla con los pines de los chips que formen parte del diseño del  $\mu\text{C}$  y asociarlos al conector de Rhomb. Esta operación es muy interesante porque hará aparecer las primeras tomas de decisiones. Por ejemplo, gran parte de los pines del chip se pueden usar para distintas funciones como PWM, SPI, GPIO, Digital I/O, etc. En el caso del Nordic nRF52840, se trata de un encapsulado con 74 pines. Al ir rellenando las correspondencias entre el  $\mu\text{C}$  y el estándar de Rhomb, se va definiendo al mismo tiempo qué conector es necesario. La Figura 11 muestra parte de la hoja rellenada para el diseño del máster nRF52840 como ejemplo del proceso. Así pues, el diseñador deber anotar la toma de decisiones en el documento de “Criterios de diseño” que se describe en la sección siguiente.



J202												
				En el chip					En el chip			
Ref. Arduinc	Component	Ref. Datasheet	Component	Pin					Pin	Component Pin	Ref. Datasheet	Componente
					GND	1	50	GND				
					DIFF N	2	49	DIFF P				
					IO0	3	48	1 WIRE				
					IO1	4	47	DVCC VIO_OUT				
D2	nRF52840	D I/O - GPIO	B19	P1.11	IO2	5	46	VIO_IN				
D3	nRF52840	D I/O - GPIO	B17	P1.12	IO3	6	45	GND				
D4	nRF52840	D I/O - GPIO	A14	P1.15	IO4	7	44	1V8 (IN)	Solder jumper	VDD_VDDH	Normal voltage mode	nRF52840
D5	nRF52840	D I/O - GPIO	A16	P1.13	IO5	8	43	GND				
D6	nRF52840	D I/O - GPIO	B15	P1.14	IO6	9	42	SAI-A				
D7	nRF52840	D I/O - GPIO	G1	P0.26	IO7	10	41	SAI-A				
					SAI-A MCLK	11	40	SAI-A				
					GND	12	39	SAI-A				
	nRF52840	D I/O - GPIO	R24	P1.06	UART-A RTS	13	38	GND				
RX	nRF52840	D I/O - GPIO	A20	P1.10	UART-A RXD	14	37	GND				
TX	nRF52840	D I/O - GPIO	V23	P1.03	UART-A TXD	15	36	2V8 (IN)	Solder jumper	VDD_VDDH	Normal voltage mode	nRF52840
	nRF52840	Digital I/O	U24	P1.04	UART-A CTS	16	35	2V8 (IN)	Solder jumper	VDD_VDDH	Normal voltage mode	nRF52840
					GND	17	34	GND				
A0	nRF52840	D I/O - Analog In	AIN2	P0.04	AD0	18	33	GND				
					GND	19	32	3V3 (IN)	Solder jumper	VDD_VDDH	Normal voltage mode	nRF52840
					PWM0	20	31	3V3 (IN)	Solder jumper	VDD_VDDH	Normal voltage mode	nRF52840
					CAPT0	21	30	GND				
					CAPT1	22	29	RST				
					VSYS (input)	23	28	VIN_REG				
					VSYS (input)	24	27	VIN_REG				
					VSYS (input)	25	26	#RESET IN	P0.18	K6	D I/O - Pin reset	nRF52840
Verificado según datasheet de ejemplo y fabricante												
Según criterio diseñador												

Figura 11. Fragmento del documento Excel. El bloque amarillo representa los 50 primeros pines del conector. En verde se indica a qué señal del chip corresponde cada pin. Las celdas en azul informan de los pines que han sido configurados según el criterio del diseñador.

### 8.2.1.5. Finalizar el documento

A lo largo de las otras fases se puede dar el caso de tener que quitar algunas funcionalidades o añadir más. Sólo cuando se cierre el diseño y se mande a fabricar la PCB, se puede dar por finalizado el documento.

## 8.3. Documento “Criterios de diseño”

El documento “Criterios de diseño” se almacena en el directorio raíz. Recoge todas las tomas de decisiones que se han producido a lo largo del proceso de diseño. Un error o fallo en el diseño del módulo  $\mu\text{C}$  es consecuencia de una mala decisión en algún punto del proceso. Por otro lado, aunque el diseño estuviera perfecto, poder crear versiones nuevas y mejoradas se haría mucho más difícil si no se supieran los motivos por los que se hizo así el modelo actual. La forma de redactar el documento es “a tiempo real”. Es decir, conforme se vayan dando las decisiones se han de ir anotando de forma clara con todos los detalles. De hecho, es probable que parte de esta información deba ir también en los datasheets correspondientes. Por ejemplo, en el caso del encapsulado del chip Nordic nRF52840 existe en el mercado dos versiones con precios y propiedades mecánicas diferentes. En la Figura 12 se muestra la vista superior de las dos versiones.

La decisión final dependerá de aquellos factores que sean más restrictivos. Por ejemplo, si el precio fuera lo más importante, la respuesta sería el aQFN73.

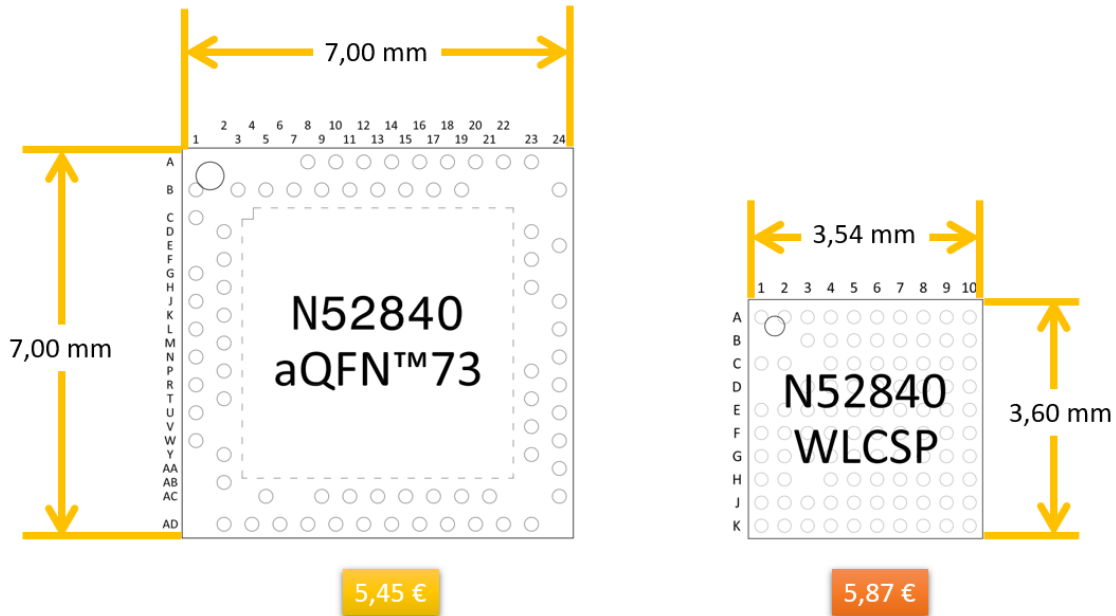


Figura 12. Comparativa de tamaño y precio de los dos encapsulados del chip Nordic nRF52840. Tienen el mismo número de pines. Las prestaciones y rendimiento son iguales. La implementación del WLCSP es mucho más compleja por espacio entre pines.

Una forma de redactar la elección de encapsulado podría ser:

*“Tras el estudio de las prestaciones de los encapsulados WLCSP y aQFN se elige el aQFN. Los motivos son:*

- *Mismas prestaciones que WLCSP.*
- *Más económico (5,45 € en vez de 5,87 € → Fecha 14/03/2020).*
- *Más sencillo de implementar por mecánica del encapsulado.”*

## 8.4. Documento “Tareas pendientes”

Se almacena en el directorio raíz del proyecto. Es frecuente que, al inicio del proyecto, el director especifique en este documento las tareas que deben atenderse a lo largo del proyecto. Sin embargo, durante el diseño el ingeniero también necesitará tener apuntadas en ese documento aquellas cuestiones que se le van quedando atrás. Por ejemplo, si está en el proceso de rutado y ve la necesidad de añadir algún comentario en

una página del datasheet, es más recomendable hacer una nota rápida en “tareas pendientes” y no interrumpir la sesión. Esta filosofía es aplicable a cualquier parte del proyecto.

## **8.5. Crear el proyecto en Altium**

Es habitual que la empresa para la que se trabaje ya tenga establecida una plantilla de proyecto para agilizar el proceso y unificar estilos. En el caso de que no haya, los elementos que se recomienda que tenga dicha plantilla se describen en las siguientes secciones.

### **8.5.1. Index**

En este documento se listan los esquemáticos del proyecto. Tiene el mismo formato que el resto de esquemáticos. Siempre será la página 1. En la Figura 13 se muestra el diseño que se emplea en Rhomb.

Page	Title
1	Index
2	Block Diagram
3	S200a Master - Plug
4	S200b Master - Plug
5	
6	
7	
8	
9	
xx	Production

Title: 01_Index.SchDoc	
Engineer: Shiris Sestayo G	Date: 08/05/2020
Project: S200 Master - nRF52840 - AQFN.PrjPcb	
Revision: v1.0	Sheet: 1 of 8




Figura 13. Diseño que se emplea para el índice en los proyectos de Rhomb. En el centro se enumeran las páginas del esquemático.

### 8.5.2. Diagrama de bloques

El diagrama de bloques transmite una idea general sobre los elementos y conexiones más relevantes del diseño. En la Figura 14 se muestra el estilo que se emplea en los proyectos de Rhomb.

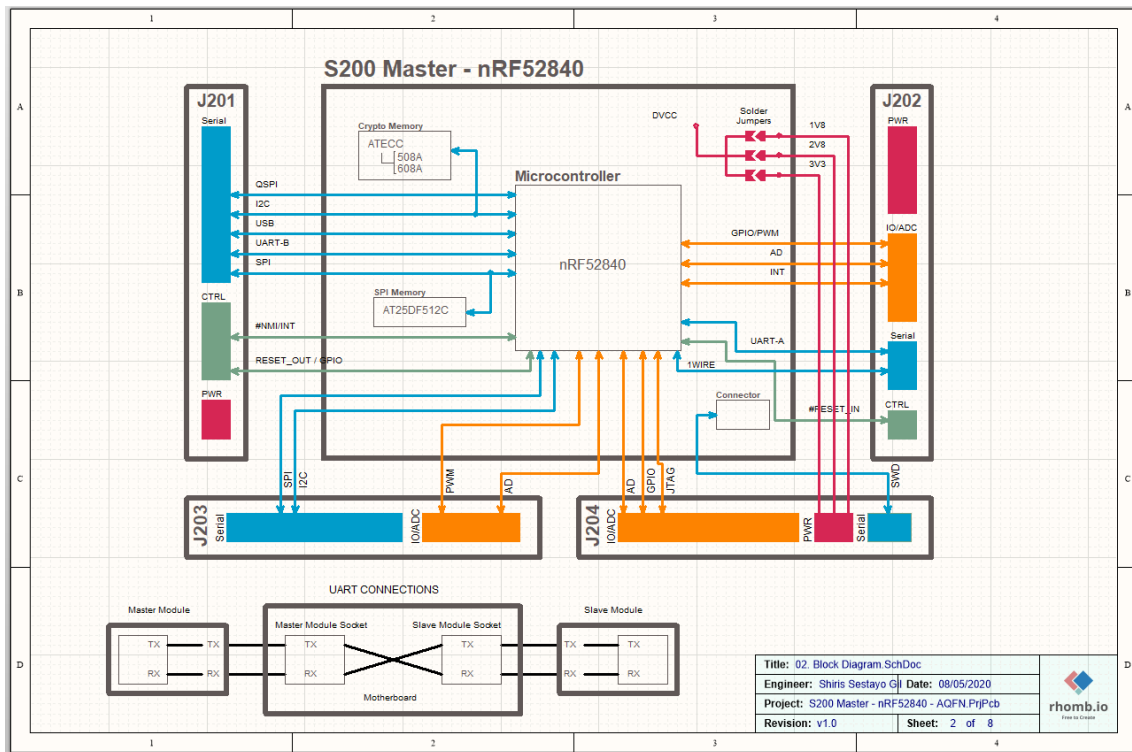


Figura 14. Diagrama de bloques del máster nRF52840. Los bloques J201, J202, J203 y J204 simbolizan los bloques del conector. Cada bloque tiene 50 pines. Se especifican las señales más relevantes del diseño y el bloque por el que se van a conectar con la placa base. En la parte central se sitúan el chip nRF52840 y los periféricos adicionales como la memoria SPI y el módulo de encriptación.

## 8.6. Crear variants

Un variant es una versión del diseño. Se crean en Altium cuando se desea hacer una PCB. Cualquier versión nueva, por pequeño que sea el cambio, debe ir en un variant diferente. Por ejemplo, sustituir un “digital I/O” por un LED también es un variant nuevo. Es decir, no importa lo grande o pequeña que sea la modificación. Así pues, la primera versión de PCB, la original, se considera también como variant. La forma de enumerarla o identificarla depende de la empresa. En Rhomb se asignan part numbers diferentes. En la sección de Altium se indican los pasos para crear un variant.

## 8.7. Crear footprints de componentes nuevos

Para iniciar el diseño de los esquemáticos es necesario crear los componentes nuevos en la biblioteca del proyecto. Antes de hacerlo manualmente es recomendable comprobar que el fabricante o el proveedor no ofrezca los diseños en forma de archivos que se puedan importar a Altium. Como alternativa, se puede buscar alguna compañía

que tenga algún diseño con esos componentes. En cualquier caso, no es recomendable invertir mucho tiempo buscando. Si no es algo sencillo de encontrar crearlo directamente es más eficiente. Por otro lado, las empresas para las que se trabaje probablemente tengan una biblioteca general en la que van introduciendo todos los footprints de todos los proyectos. En el caso de Rhomb, al inicio del proyecto se descarga esta biblioteca en local, es decir, en el ordenador del diseñador, y luego se importa en Altium. Cuando se finaliza el diseño, se actualiza la biblioteca general en el servidor.

## **8.8. Diseñar circuitos en los esquemáticos**

La idea más importante de esta fase es que el ingeniero debe usar los diseños de referencia que ofrece el fabricante o incluso los de otras empresas como Arduino. Esos diseños se ponen a disposición de la comunidad para facilitar la tarea de crear proyectos propios. Por un lado, el fabricante quiere vender el máximo número de chips. Y la forma de conseguirlo es ofreciendo gratuitamente diseños de referencia. Por otro lado, la misma filosofía de Arduino es la de ofrecer sus diseños para que sus usuarios sigan adquiriendo conocimiento. El proceso de diseñar circuitos no es copiar lo que ya han hecho otras empresas. Se trata de partir de esos diseños para crear uno nuevo que se adapte a las necesidades del proyecto.

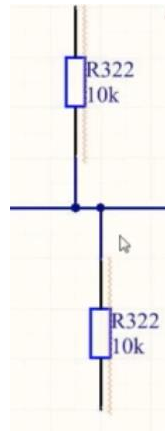
### **8.8.1. Criterios para las hojas de esquemáticos**

En la sección de Altium se describen recursos técnicos muy importantes que marcan la diferencia entre un diseño profesional y otro que no lo es. Sin embargo, no todo es todo técnica. Un buen esquema debe ser claro e intuitivo. Por eso, se recomienda añadir los siguientes elementos.

#### *8.8.1.1. Intersecciones o uniones*

Un riesgo que existe en Altium es que alguna pista, componente o etiqueta no quede correctamente conectada. Visualmente sí puede parecerlo, pero al compilar podrían surgir errores, por ejemplo, en las intersecciones en forma de cruz. Cuando se copian de un punto a otro del esquemático pueden perder el nexo de unión. Se recomienda evitarlas utilizando alternativas como la que se muestra en la Figura 15. Es cierto que el mismo

programa ayuda a localizar los errores por lo que se agiliza el proceso de corrección. Pero es preferible diseñar directamente para no tener fallos.



*Figura 15. Alternativa a los nodos en forma de cruz para evitar errores. Separando los puntos de unión, visualmente se puede comprobar que las dos ramas verticales están correctamente conectadas con la línea horizontal.*

#### 8.8.1.2. Nombre de referencia

Un nombre de referencia sobre cada componente o bloque importante permite al lector construir una idea de conjunto. Como se ha citado en otros apartados, el proyecto puede pasar de manos: a otro diseñador, al jefe del proyecto, al cliente, etc. En la Figura 16 se muestra cómo se presenta el bloque de la memoria SPI del máster nRF52840 dentro del esquemático.

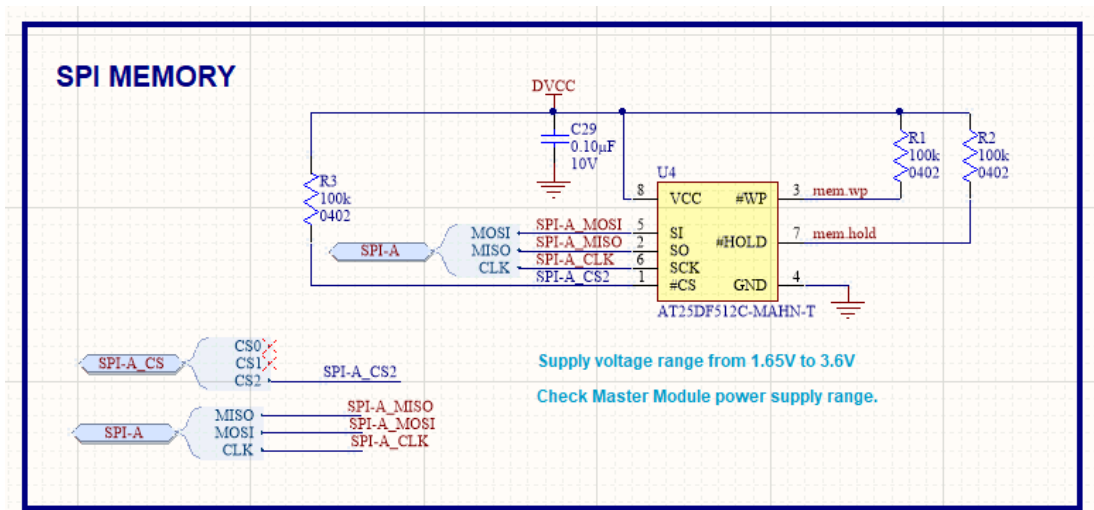


Figura 16. Fragmento del esquema del máster nRF52840 donde se muestra el módulo de memoria SPI. Contiene el título "SPI MEMORY" para ser identificado.

### 8.8.1.3. Notas explicativas

Al inicio de esta guía se comentaba lo importante que es tener un documento que englobe todos los criterios de diseño. Sin embargo, en los esquemáticos las notas sirven para indicar el motivo por el que el circuito está diseñado así. Se busca adelantarse a posibles dudas que puedan surgirle al lector. Por ejemplo, en el caso del máster nRF52840, el chip puede operar con distintas configuraciones de alimentación. Para elegir la más adecuada para el estándar de Rhomb, se han de unir los pines VDD y VHDD. En la Figura 17 se muestra el fragmento del esquemático "Power Supply Input" donde se encuentra la nota explicativa de la configuración de los pines.



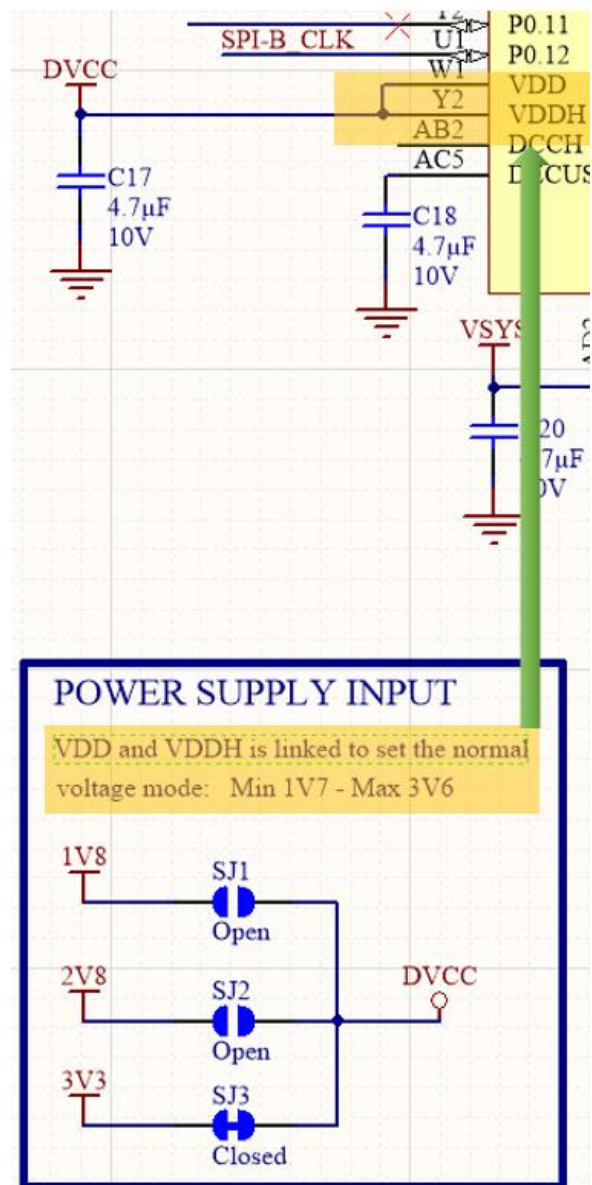


Figura 17. Fragmento del esquemático del máster nRF52840. En el bloque “POWER SUPPLY INPUT” se encuentran las entradas de alimentación. La forma en la que el usuario selecciona el voltaje deseado es mediante un solder jumper. La nota que se encuentra bajo el título indica que es necesario unir los pines VDD y VDDH para que el  $\mu C$  opere en un rango de alimentación de 1V7 a 3V6.

#### 8.8.1.4. Tablas con descripciones

En ocasiones, se puede presentar un diseño en donde se dejen configuraciones abiertas. Éstas se basan en soldar o no un componente para que el diseño tenga una funcionalidad diferente. Por ejemplo, los LEDs. El diseñador puede dejar preparada la PCB para albergar tipos diferentes que requieran resistencias distintas. En esos casos es importante poner una tabla de referencia para que los técnicos de laboratorio no tengan que perder el tiempo buscando en los datasheets de los LEDs.

### 8.8.1.5. Uso de arneses

Un arnés es una forma de agrupar señales de un mismo tipo. Además de una cuestión interna de Altium de correspondencia entre señales, visualmente ayudan mucho a interpretar el esquema. Se deben colocar en todas las páginas del datasheet en donde se empleen esas señales. Puede darse el caso que en alguna de ellas sólo se necesite una parte del arnés. Si es así, habría que deshabilitar las señales que no se usen, pero sólo en dicha página. En la Figura 18 se muestran varios arneses de distintas señales que se emplean en el máster nRF52840.

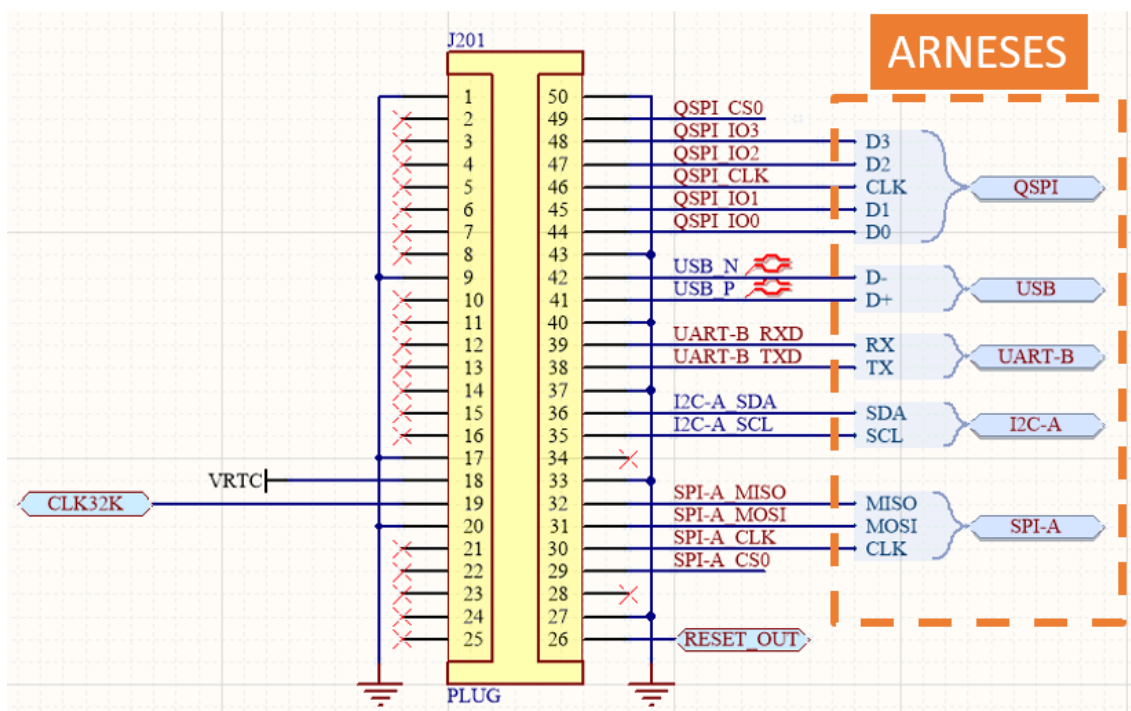


Figura 18. ArneseS definidos para el diseño del máster nRF52840. El conector J201 es uno de los cuatro tramos del conector S200. Los arneses agrupan las señales de un mismo puerto. Los pines QSPI\_CS0 y SPI-A\_CS0 no están incluidos en sus respectivos arneses porque se consideran accesorios para ampliar las funcionalidades del puerto.

### 8.8.1.6. Uso de Net Classes

De manera similar a los arneses, los net classes identifican grupos de señales. Su utilidad está más relacionada con el diseño de la PCB. Altium permite crear reglas específicas para cada net class. Además, en el proceso de rutado las señales asociadas a un net class se pueden visualizar resaltadas todas a la vez o dotarles de un color distinto

a las demás, entre otras cosas. En la Figura 19 se ilustra un ejemplo de Net Class en una página del esquemático.



Figura 19. Net class UART2. El recuadro de líneas discontinuas es empleado por Altium para indicar qué señales forman parte del grupo. El triángulo de la esquina superior izquierda es un botón para desplegar la información relacionada con la net class.

#### 8.8.1.7. Marcadores de página para puertos

Un marcado de página indica en qué hoja de los esquemáticos se encuentra el otro extremo del puerto. Se trata de una referencia textual. Altium no verificará si el valor es correcto con la herramienta design rule check. En la Figura 20 se muestra un ejemplo donde el número “2” indica que el otro extremo está en la página 2 del esquemático.

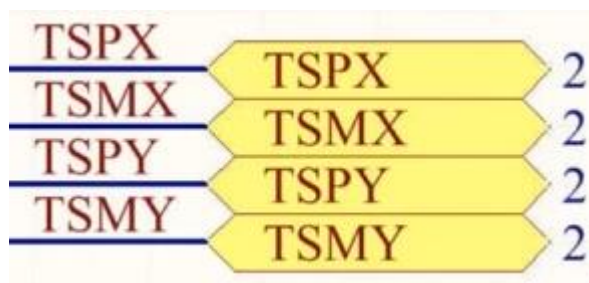


Figura 20. Ejemplo de aplicación de un marcado de página para puertos. Cada icono amarillo representa un puerto diferente. El número “2” situado su derecha es un texto asociado al puerto que se introduce manualmente. Este número indica que el otro extremo del puerto está en la página 2 del esquemático.

### 8.8.1.8. Not Fitted Components (N.F.)

Un componente marcado como Not Fitted significa que no se debe colocar en la orden de fabricación. Se emplea este recurso para poder tener varias configuraciones posibles para una misma PCB. Por ejemplo, hay  $\mu$ Cs que permiten establecer modos de arranque diferentes conectando a ciertos pines unas resistencias a masa. Según qué pines estén con la resistencia, el chip entra en un modo de funcionamiento u otro. En la Figura 21 se muestra cómo sería el circuito para este ejemplo. Así pues, el procedimiento para marcar un componente como N.F. se encuentra en el apartado 5.4.

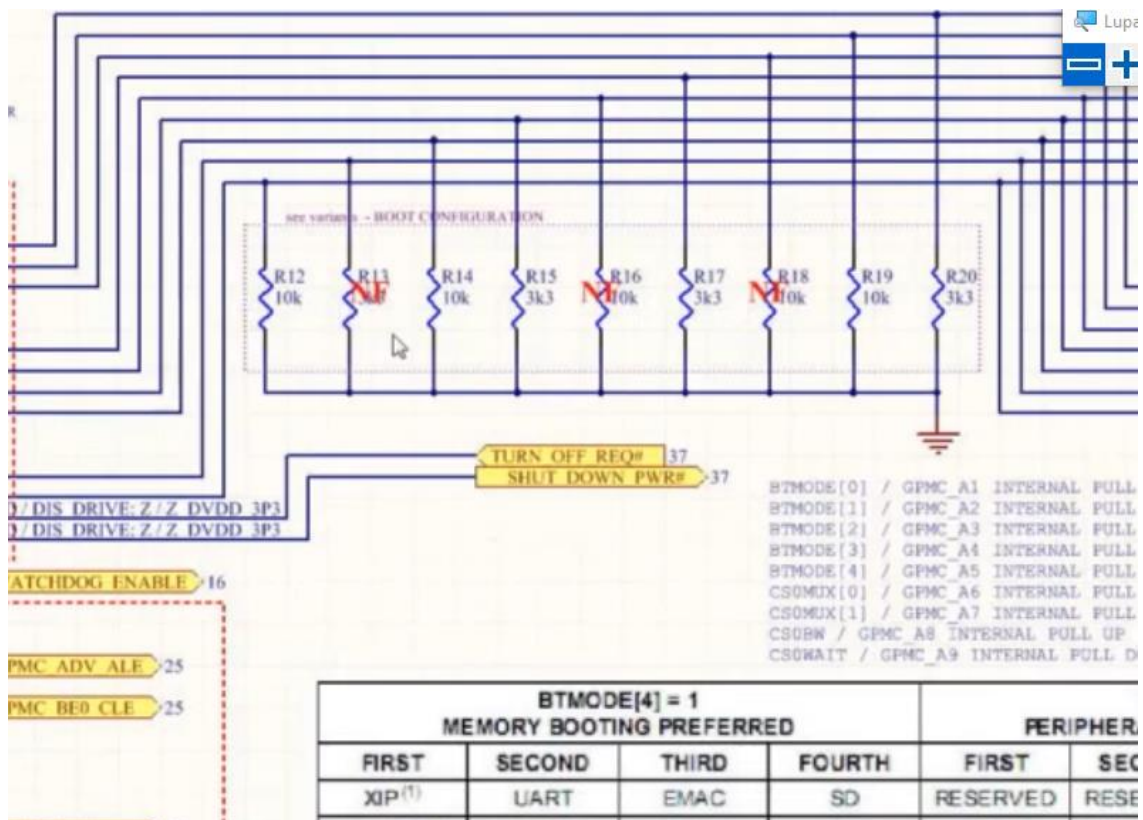


Figura 21. Fragmento de esquema. Se muestra la configuración de arranque de un  $\mu$ C en función de las resistencias conectadas a masa. Las que no se usan tienen la etiqueta N.F. en rojo.

### 8.8.1.9. Definir los test pads o test points

Los test pads o test points son puntos expuestos de una pista de la PCB situados en la cara superior o inferior. Se emplean para comprobar a través de un osciloscopio la

integridad de ciertas señales, como de alimentación o de reloj. En la Figura 22 se muestra un ejemplo de los test pads del máster nRF52840. En el caso de que la empresa no establezca previamente esos puntos de test, lo que debe preguntarse el diseñador es: ¿qué señales son más importantes en el uso del  $\mu\text{C}$ ? Por ejemplo, si el I2C tiene un protagonismo importante, entonces debería tenerlos. También hay que tener en cuenta que el número de test pads está condicionado por el espacio disponible. Se procede a listar algunas señales por orden de importancia para un caso general:

- GND
- Señales de reloj (I2C, SPI, etc.)
- Señales de datos (UART, I2C, SPI, PWM, etc.)
- Tensiones de entrada (1V8, 2V8, 3V3, etc.)
- Tensiones de entrada modificadas (DVCC)

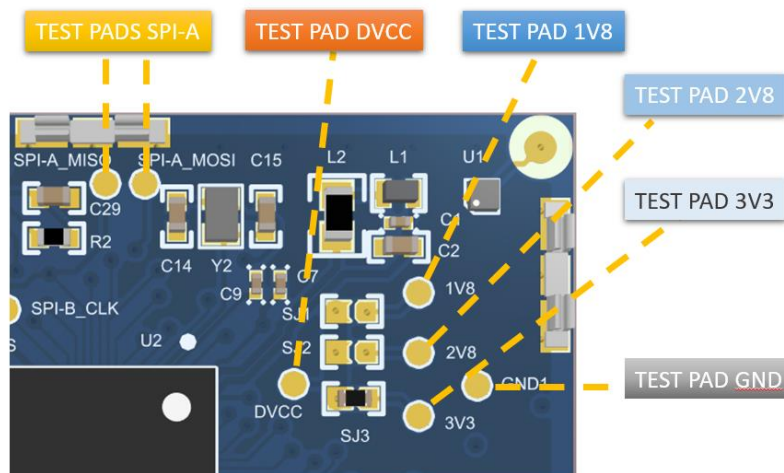


Figura 22. Imagen en 3D de un fragmento de la capa superior de la PCB del máster nRF52840. Los círculos de color amarillo son superficies de cobre expuestas al exterior y que forman parte de la pista. Se utilizan para poder comprobar la integridad de la señal.

#### 8.8.1.10. Criterios para los componentes

Se diseña pensando en todos los departamentos por los que va a pasar el  $\mu\text{C}$ . Un ejemplo muy ilustrativo es la elección del tamaño de los componentes. Puede ocurrir que la máquina de pick and place que se encarga de colocar los componentes sobre la PCB no acepte un tamaño inferior a cierta medida. Se detallan algunos aspectos concretos que debería seguir el ingeniero.

#### 8.8.1.10.1. Tamaño mínimo del componente

Este valor normalmente vendrá impuesto por la empresa. En Rhomb, por ejemplo, no se permite usar componentes inferiores a 0201. Sin embargo, se intenta utilizar de mayor tamaño en la medida de lo posible porque eso facilita a los técnicos de laboratorio hacer tests, reparaciones, etc.

#### 8.8.1.10.2. Precio y disponibilidad

Cuando se trata de elegir un componente, tan importante es que el precio sea lo más económico posible como que haya disponibilidad. Además, es habitual que los precios más bajos sean para pedidos grandes. Por ello, es importante tener en cuenta estas variables al elegir cada componente.

#### 8.8.1.10.3. Unificar componentes

Es habitual encontrar en un diseño de referencia componentes del mismo valor, pero con distinto tamaño o propiedades. Un caso muy ilustrativo es el de los condensadores. La Tabla 3 es una comparativa entre condensadores que se podrían encontrar en un diseño. ¿Cuál es el condensador cerámico más adecuado? La respuesta es el segundo porque también es válido para los puntos del circuito que en donde se use el primero. Al simplificar el diseño se consiguen muchas ventajas: un catálogo de stock más sencillo, precios más económicos al hacer pedidos más grandes, etc.

*Tabla 3: Comparativa entre dos condensadores similares.*

Capacidad (uF)	Tensión de ruptura (V)	Formato	Precio (€)
1	16	0402	0,024
1	25	0402	0,025

## **8.9. Diseñar la PCB en Altium**

La fase de diseño de la PCB se hará más sencilla en función de lo bien que se hayan ejecutado las fases anteriores. Invertir tiempo en ellas es ahorrarlo en esta parte.

### **8.9.1. Capas**

Es probable que este aspecto venga impuesto por la empresa. Sin embargo, se van a dar algunos criterios para el diseñador.

#### *8.9.1.1. Criterio para el número de capas*

Un número mínimo de capas adecuado para un  $\mu\text{C}$  es cuatro. En diseños muy sencillos, especialmente de sensores, dos capas pueden ser suficientes. No obstante, en un  $\mu\text{C}$  existen muchos tipos de señales sensibles a ruidos o interferencias. Con este número de capas se conseguirá que las pistas queden más rectas y mejor distribuidas por la PCB.

#### *8.9.1.2. Criterio para configurar las propiedades de las capas*

Una PCB está definida físicamente por una serie de parámetros. Además, cada proyecto puede tener sus requisitos propios. En el caso particular de un  $\mu\text{C}$  no existe un convenio general. Normalmente vendrá impuesto por la empresa, el cliente, el medio de aplicación, las limitaciones del fabricante de PCB, etc.

### **8.9.2. Definición de reglas**

Las reglas son unos parámetros que el editor del programa respetará mientras el diseñador está desarrollando la PCB. No se puede hablar de reglas universales porque cada proyecto tiene sus características propias. Sin embargo, el ingeniero puede definir las suyas considerando:

- Limitaciones del fabricante de PCB: Es recomendable acceder a su página web para informarse de los valores mínimos para pistas, vías, márgenes de PCB, etc.
- Dimensiones propias de los componentes: Los pines de los chips tienen unas distancias mecánicas que condicionan las reglas. Por ejemplo, en el caso del chip nRF52840, la pista tiene que poder pasar entre dos pines cuya distancia entre centros “e” es de 0.50 mm, (ver Figura 23). Por lo tanto, teniendo en cuenta que el valor de b es 0.25 mm, para dejar un espacio entre la pista y los pines, el ancho de pista debe ser de 0.09 mm, el espacio lateral superior de 0.08 mm y el espacio lateral inferior de 0.08 mm.

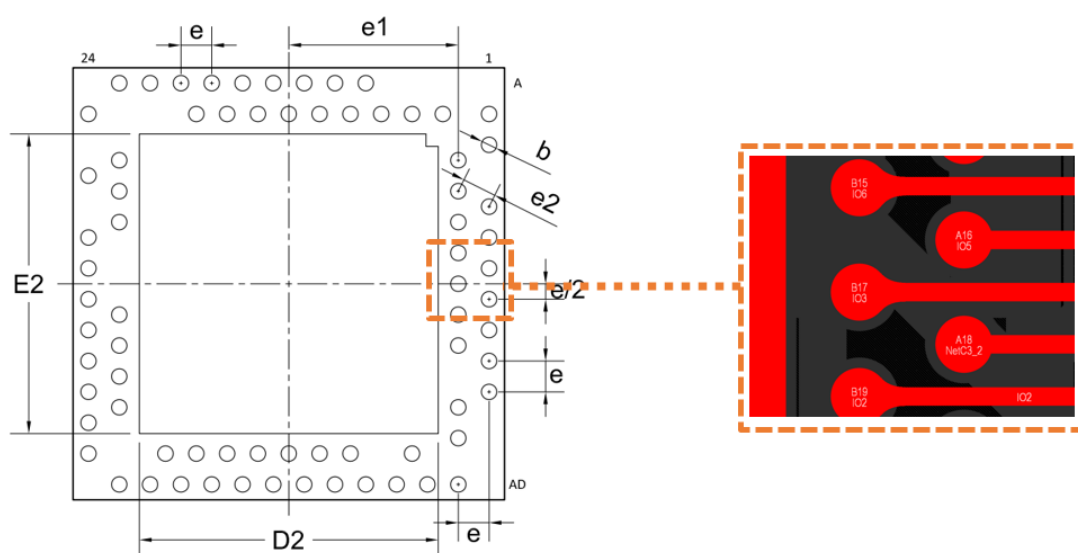


Figura 23. Vista del plano del chip nRF52840 (izquierda) y de un fragmento del resultado del proceso de rutado (derecha). El ancho de pista está limitado por la distancia “e” de 0.50 mm. El espacio entre la pista (de 0.9 mm de anchura) y el siguiente pin del chip es de 0.08 mm por cada lado.

#### 8.9.2.1. Parámetros mínimos para definir

Para poder definir las reglas se debe acceder al menú Design / Rules. Los parámetros mínimos que se recomienda definir son:

- En Electrical, opción Clearance: Es el espacio mínimo que dejará entre un elemento y otro, es decir, entre pista y pista, pista y pad, etc.
  - o Ejemplo máster nRF52840: 0.08 mm
- En Routing, opción Min Width: Es la anchura mínima de la pista. Si al trazar una ruta el programa no puede conseguir ese ancho, entonces no seguirá dibujando la



pista. En la Figura 24 se muestra la ventana con todas las opciones. El ingeniero puede definir reglas diferentes según la capa. Los valores mostrados son los que se emplean en el máster nRF52840.

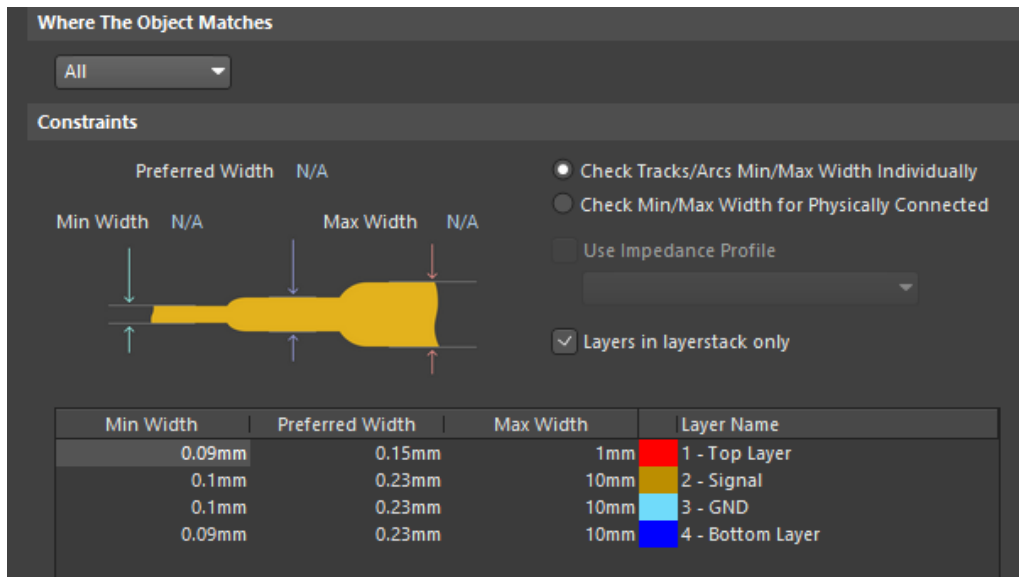


Figura 24. Ventana para establecer las reglas de ancho de pista. Se define un valor mínimo, uno preferido y otro máximo para cada capa. Altium trazará la ruta con el ancho más adecuado para cada punto del recorrido.

- En Routing Via Style opciones:
  - o Via diameter: Se refiere al diámetro del anillo exterior.
  - o Via Hole Size: Es la medida del agujero central.
  - o En la Figura 25 se muestran los valores para el máster nRF52840.

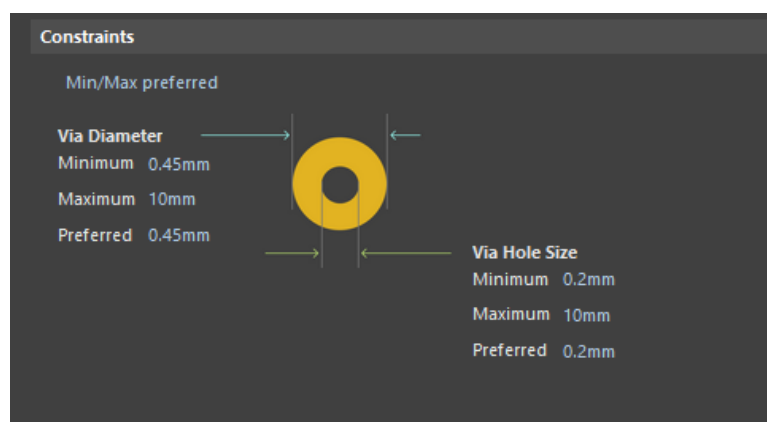


Figura 25. Ventana de configuración de los parámetros de vía. Al situarlas en la PCB, Altium aplicará el tamaño más adecuado. Si no llega a los mínimos, no permitirá situar la vía.

Por último, es importante recordar al lector que las decisiones tomadas para las reglas de diseño también se tienen que plasmar en el documento de “Criterios de diseño”.

### 8.9.3. Distribuir por bloques los componentes en la PCB

Antes de comenzar el proceso de rutado, se deben situar los componentes en su capa correspondiente. Se busca tener una idea visual del espacio físico disponible. Es una buena ocasión para tomar decisiones sobre cambiar, eliminar o añadir algún componente. En la Figura 26 se muestra cómo están agrupados los componentes en el máster nRF52840. Al verificar que el diseño es viable, los bloques se sitúan fuera de la PCB, en su margen más cercano, para facilitar el proceso de rutado.

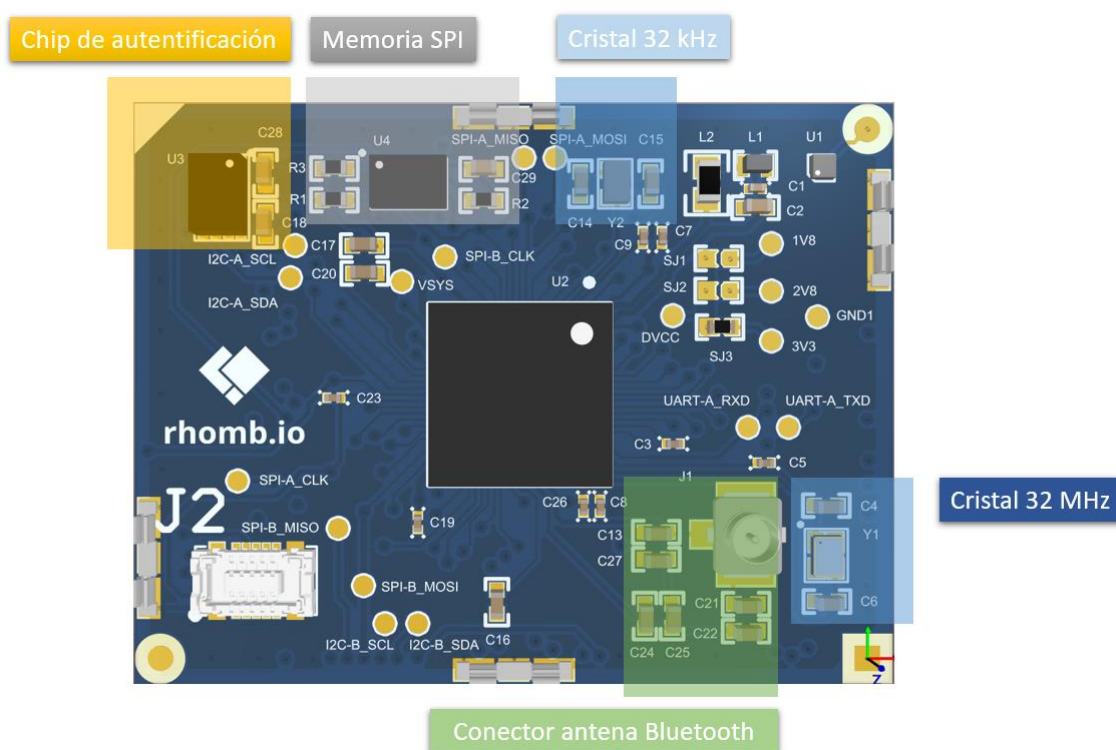


Figura 26. Distribución de los componentes en la capa superior del máster nRF52840. Cada grupo de componentes está resaltado por un color.

### 8.9.3.1. Separación entre componentes

Los layouts son las referencias visuales que se muestran en la capa superior o inferior, (ver Figura 27). Su función es la de reservar un espacio físico para la colocación del componente. Es un buen principio dejar más espacio entre ellos si es posible. El motivo es facilitar revisiones, reparaciones, etc., por otros departamentos.

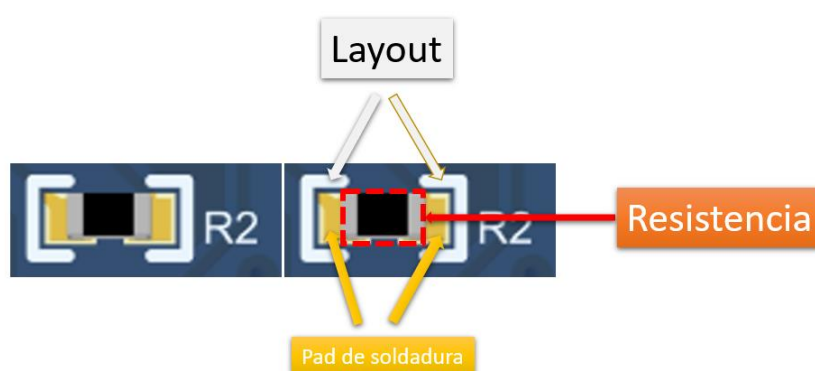


Figura 27. Ejemplo de layout. Se muestra una resistencia de nombre R2 situada en la capa superior de la PCB. Las marcas blancas forman el layout de la resistencia. Los rectángulos amarillos son los pads. Y el elemento gris y negro es la resistencia.

### 8.9.4. Usar correctamente View Configuration

El panel de View Configuration es una herramienta que permite variar la imagen visible de la PCB durante el proceso de diseño. Ofrece la posibilidad de activar o desactivar elementos, capas, etc., e incluso cambiar la intensidad con la que aparecen. A lo largo del diseño, la configuración de este panel debe cambiar. Habrá momentos en los que se precisen unas cosas y no otras. Por ejemplo, el texto de referencia de los componentes se suele mantener desactivado durante gran parte del proceso. Es en la última fase cuando se vuelve a activar para ubicarlos correctamente. En la Figura 28 se muestra la misma vista superior de la PCB cambiando los parámetros de “Marked Objects” o “Polygons”.

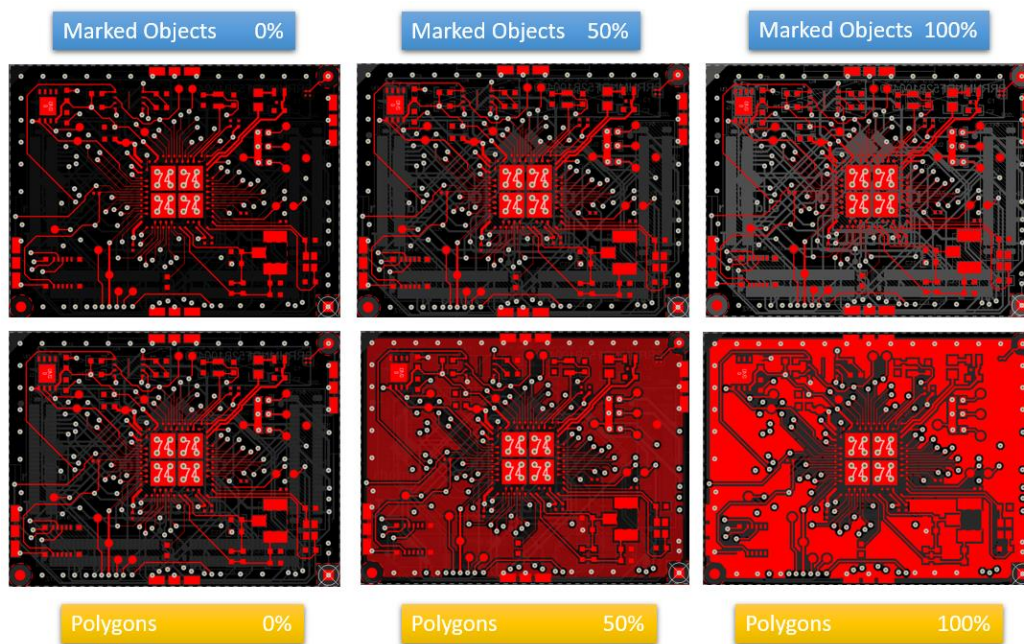


Figura 28. Vistas de la capa superior variando los parámetros “Marked Objects” y “Polygons” del “View Configuration”. En la parte de arriba se van marcando las pistas y componentes situados en otras capas. En la parte de abajo el polígono se vuelve más opaco.

### 8.9.5. Proceso de rutado

En diseños complejos como un  $\mu\text{C}$ , muchas de sus pistas irán pasando de una capa a otra mediante las vías. Sin embargo, esas vías se pueden convertir en una barrera física para otras pistas por no dejar un espacio mínimo entre ellas para poder pasar. Los siguientes apartados están organizados por orden. Llevando a cabo esta metodología, los tiempos de diseño se reducen y los problemas por conflictos (no poder alcanzar el otro punto) se eliminan.

#### 8.9.5.1. Acondicionar el microcontrolador

El  $\mu\text{C}$  es el primer componente que se debe acondicionar. El espacio limitado entre sus pines dificulta el paso de las pistas. Por ello, se procederá a extender sus contactos sobre la PCB como muestra la Figura 29. En el extremo de esas primeras pistas iniciales se pondrá una vía. La distancia de separación entre vías debe ser como mínimo la necesaria para poder pasar una pista entre ellas. En el caso del máster nRF52840 es de 0.25 mm. Si durante el proceso de rutado, la vía no es de utilidad, se elimina. Pero esta operación de vías provisionales hace un efecto de “reserva de espacio” que previene muchos problemas de rutado.

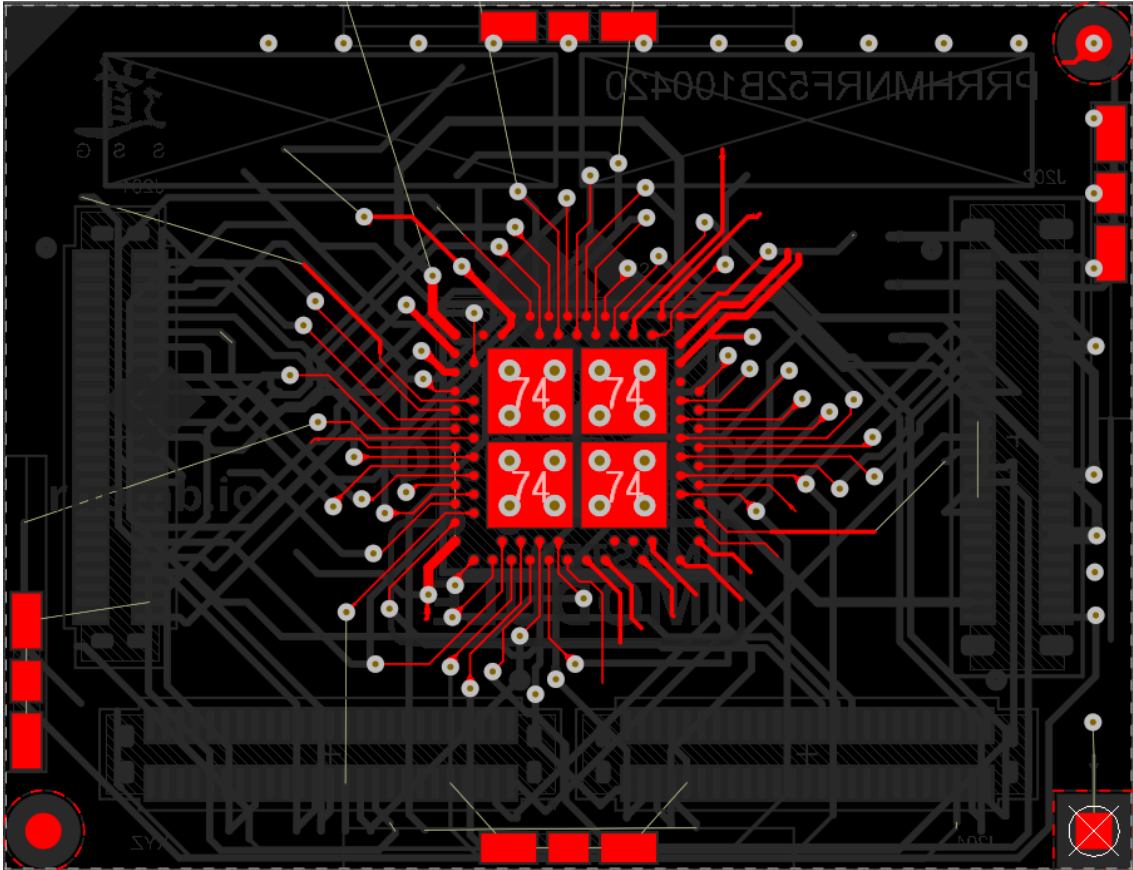


Figura 29. Vista del acondicionamiento del chip nRF52840 para el proceso de rutado. Se extienden las pistas por la PCB y se coloca una vía provisional en su extremo.

#### 8.9.5.2. Orientar el microcontrolador

Este paso consiste en estudiar cómo se cruzan las pistas hacia los componentes y cuál es la mejor orientación del  $\mu\text{C}$ . Al tener todos los componentes en los márgenes (paso 1.9.3) se puede tener una idea aproximada del resultado con distintas orientaciones. Incluso se puede cambiar la posición de los bloques para conseguir una configuración óptima.

#### 8.9.5.3. Rutar desde una cara de la PCB a la otra

Los módulos  $\mu\text{C}$  suelen tener un conector o un pin header macho o hembra para facilitar las conexiones con el exterior. En la Figura 30 se muestran las soluciones de

Arduino Nano, máster nRF52840 de Rhomb y Arduino Uno. El caso del conector S200 empleado por Rhomb tiene una diferencia con respecto a los demás: sus pines no atraviesan las capas de la PCB. Esto quiere decir que siempre es necesario una vía para poder acceder a ellas cuando la pista no esté directamente en la misma capa que el conector.



Figura 30. Comparativa de formatos de conexión. Arduino Nano (izquierda), máster nRF52840 de Rhomb (centro) y Arduino UNO (derecha).

El orden de rutado dependerá de la complejidad del chip, del tamaño de la PCB, del conector y del número de capas. Sin embargo, un buen criterio es elegir la capa superior o inferior como principal. La escogida es la que se intentará rutar primero. Si para alcanzar su destino el diseñador tiene que complicar mucho la pista, entonces pasará a la siguiente capa. Intentará resolverla sólo usando la inicial y la siguiente. Si la segunda capa no permite resolver la pista sin tener que saltar a otra tercera capa, entonces directamente el diseñador pasará de la inicial a la tercera. Consecuentemente la cuarta capa es la que se deja como último recurso siempre.

#### 8.9.5.4. Señales sensibles y/o de impedancia controlada

Rutar las señales sensibles y/o de impedancia controlada es el paso más prioritario en todos los diseños, sean de Rhomb o de cualquier otro. El diseño de la pista marcará la calidad de la señal. Algunas señales sensibles son las diferenciales (USB: Pin “USB\_N” y “USB\_P”), las de comunicaciones (UART, I2C, SPI) o las de antena (WIFI, Bluetooth, etc.). Los pines que necesitan pistas de impedancia controlada vienen definidos en los datasheets de los fabricantes.

#### 8.9.5.5. Alimentación

Las líneas de alimentación suelen ser las pistas de mayor ancho. Incluso se suelen sustituir por planos o polígonos para conseguir disipar mejor el calor y garantizar la integridad de la PCB. Todo dependerá de las especificaciones del diseño.

#### 8.9.5.6. Resto de señales

El resto de señales permiten cierto margen a la hora de trazar sus pistas. Siempre se intentará hacer las rutas lo más rectas posibles. La manera de proceder que se recomienda es trazar las pistas por zonas. Por ejemplo, las del margen izquierdo del chip. Después las del margen superior, el derecho y el inferior. Realmente el sentido horario o antihorario no es muy relevante. Pero lo interesante es hacerlo por bloques. De esa forma se va definiendo el espacio real para las siguientes pistas. Por último, dentro de cada bloque, se dará prioridad a las que sean más sencillas de resolver. Por ejemplo, las que estén más cerca de los pines del chip y supongan un trazo más directo.

#### 8.9.5.7. Masa

La conexión a masa (GND) se ha de preparar de forma especial. Lo que se busca es que tenga la máxima cantidad de contacto con la entrada de alimentación. Esto se consigue mediante planos de masa y un buen número de vías que conecten todos los planos de este tipo con la entrada o entradas de GND de la PCB. En las secciones de “Vías en los bordes y Vías Stitching” y “Planos” se detallan los recursos que ofrece Altium para conseguir este fin.

### 8.9.6. Planos

Los planos son áreas grandes de cobre conectados a una señal, a una entrada de alimentación o de GND. Se extienden en una capa de la PCB. Cada capa puede tener uno o varios planos. Los objetivos de estos planos es facilitar el proceso de rutado y crear conexiones de buena calidad. Cada diseño tiene sus particularidades y es el ingeniero el que debe valorar dónde colocar estos planos. La única precaución que debe tomar es no apurar la extensión del plano con los límites de la PCB. Es recomendable dejar un

pequeño espacio entre el margen exterior y el margen del plano. En la Figura 31 se muestra el margen de 0.250 mm que se ha dejado en el diseño del máster nRF52840.

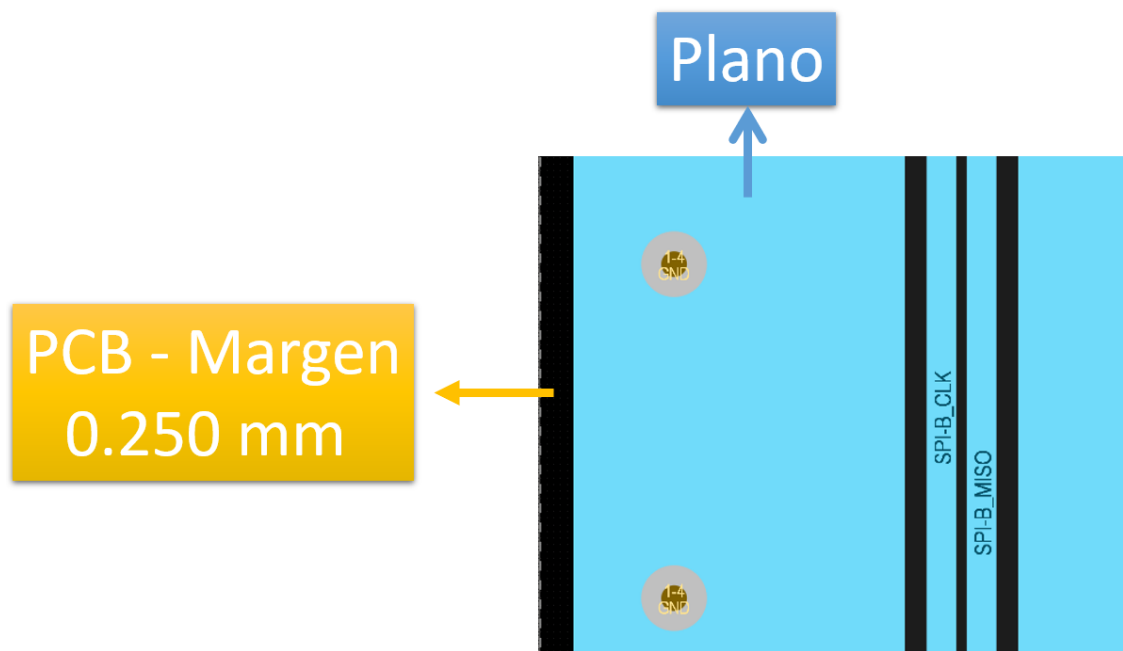


Figura 31. Vista del plano GND del máster nRF52840. Se ha dejado un espacio de 0.250 mm entre el margen del plano y el margen de la PCB.

#### 8.9.6.1. Plano GND

La conexión con GND es de las más importantes. Los planos GND tienen un efecto protector contra interferencias. Es recomendable crear un plano de masa en la mayoría de las capas. En el diseño del máster nRF52840, (ver Figura 32) la capa superior, la tercera y la inferior se conectaron a GND.



### 8.9.6.2. Plano de alimentación

Los planos de alimentación es recomendable que sean más pequeños que los de GND. Esto es debido a que por la entrada de alimentación también se cuela mucho ruido que puede generar interferencias en las otras señales. En la (Figura 32) se muestran las cuatro capas del máster nRF52840: de color rojo, la capa 1 (superior), de amarillo, la capa 2, de azul claro, la capa 3, y de color azul oscuro, capa 4 (inferior).

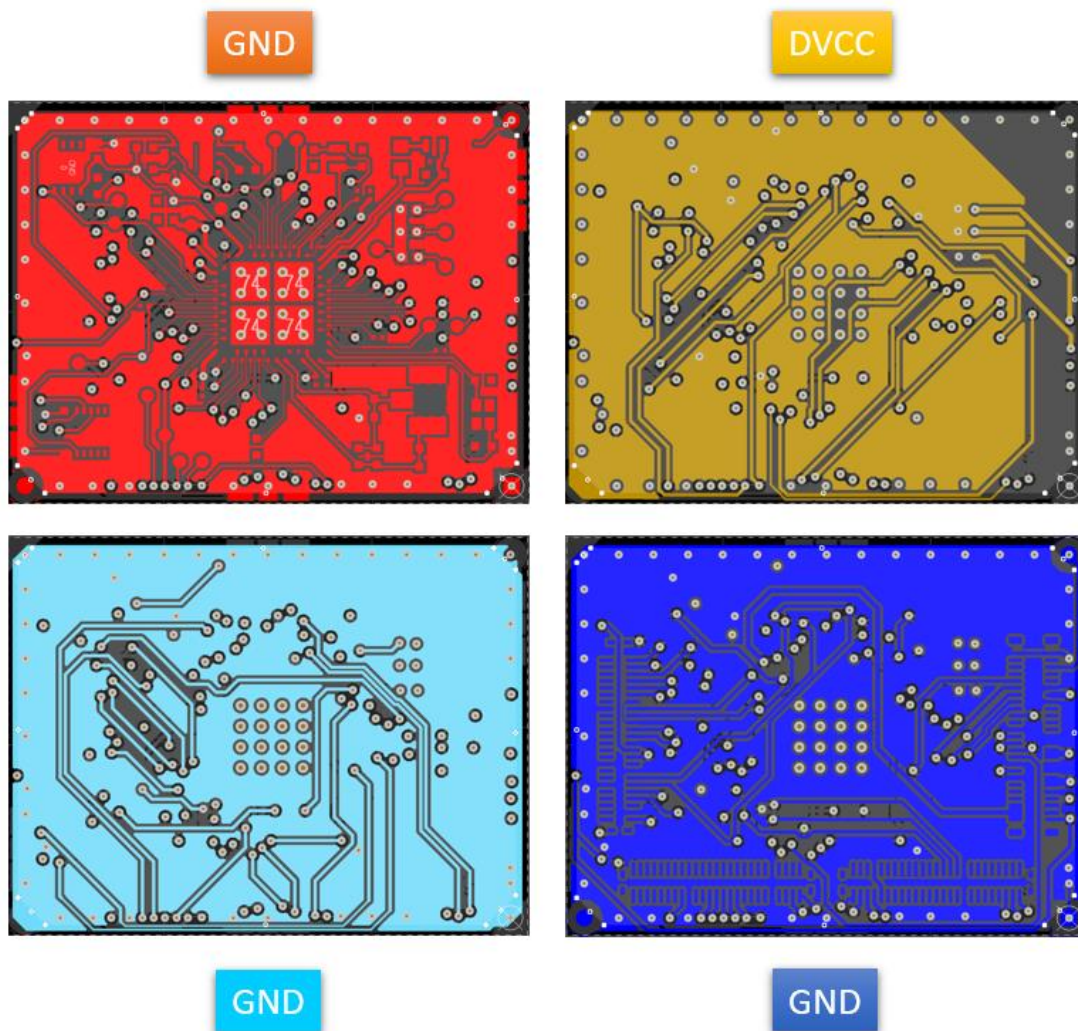


Figura 32. Vista de las cuatro capas del máster nRF52840. La capa de DVCC es la dedicada para la alimentación del circuito. Es más pequeña que las demás para evitar que genere interferencias en el resto de señales.

### 8.9.6.3. Sin esquinas de 90 grados

Los acabados de los planos son importantes. Se deben eliminar todos los vértices cuyas aristas formen 90 grados o sean inferiores a este ángulo. Para ello, mientras se está dibujando el polígono, se pueden pulsar la tecla “Espacio” y la combinación de “Shift + Espacio” para cambiar la forma en la que Altium resuelve el vértice. En la Figura 33 se muestra un ejemplo.

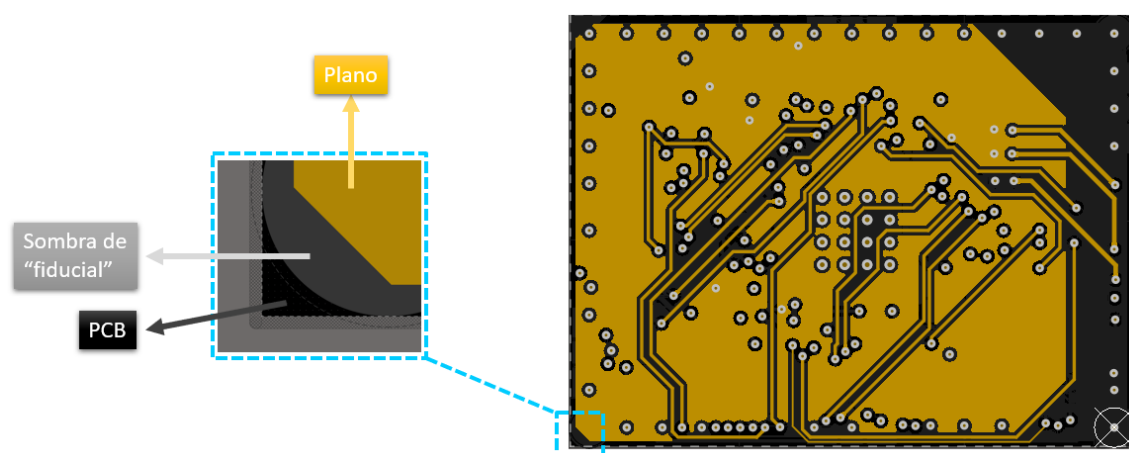


Figura 33. Ejemplo de plano sin vértices de 90 grados o inferiores. En la parte de la izquierda se muestra una ampliación de la esquina para ver los detalles del polígono.

## 8.9.7. Vías en los bordes y Via Stitching

Vía Stitching y vías en los bordes son dos recursos que tienen un objetivo común: mejorar la conexión con GND del circuito. Se procede a describirlos por separado porque el procedimiento para colocar sus vías es diferente.

### 8.9.7.1. Vías en los bordes

Las vías en los bordes tienen doble utilidad: mejorar el plano de masa y función de barrera. Poner componentes muy cerca del límite es peligroso porque se pueden dañar en el proceso de mecanizado de la PCB. Cuando un  $\mu\text{C}$  se manda a fabricación se hace mediante un panel grande que contiene muchas unidades. En la Figura 34 se muestra el panel formado por módulos máster nRF52840. Cuando ese panel se corta para hacer

unidades simples de  $\mu\text{C}$ , los componentes que estén muy cerca del límite se pueden ver dañados.

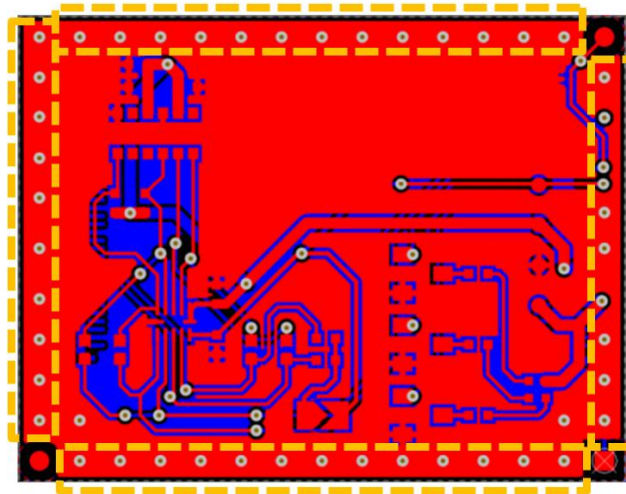


Figura 34. Vista superior de una PCB con vías en los bordes.

#### 8.9.7.2. Via Stitching

La técnica de “Via Stitching” consiste en rellenar con vías el espacio libre de pistas de la PCB. El objetivo es mejorar la masa del diseño. Altium tiene una herramienta que automatiza este proceso. En la Figura 35 se muestra un ejemplo de un diseño de Rhomb diferente al del máster nRF52840. En el máster no se emplea la técnica por limitaciones del diseño.

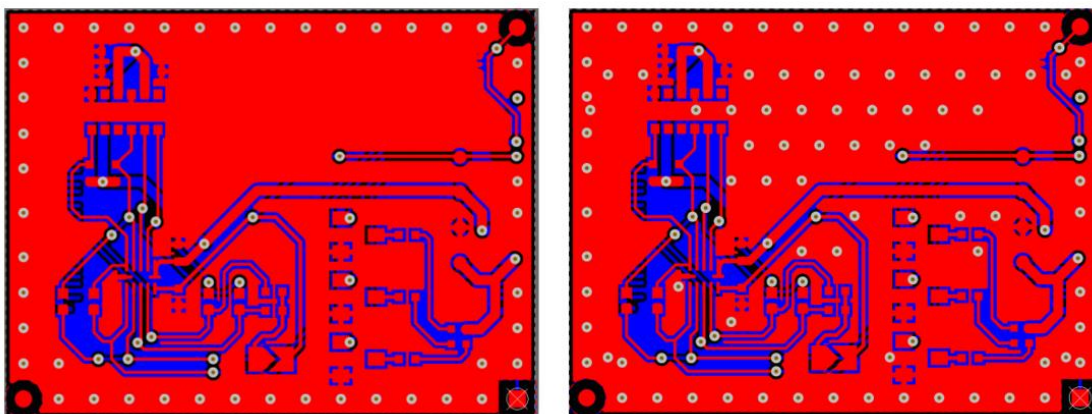


Figura 35. Capa superior de un módulo de Rhomb. A la izquierda se muestra la capa sin aplicar el recurso de via stitching. A la derecha el resultado de aplicarlo. Con ello se mejora la calidad de la conexión con GND.

### 8.9.8. Generar Teardrops

Los teardrops son una forma de mejorar el acabado de las conexiones entre las pistas, las vías, pads y los test pads. En la sección de Altium se detalla el procedimiento. En la Figura 36 se muestra el resultado de aplicar esta herramienta.

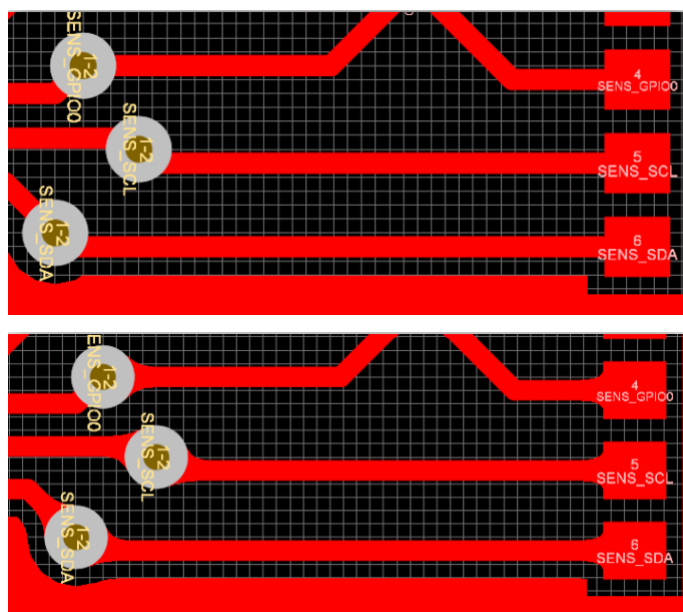


Figura 36. Imagen comparativa entre no aplicar teardrops (superior) y sí hacerlo (inferior). Este recurso permite mejorar la calidad de la unión entre la pista y la vía.

### 8.9.9. Revisión capa a capa de las pistas

Es muy frecuente que Altium adapte automáticamente las pistas de otras capas al mover o añadir algún elemento como vías. En la gran mayoría de los casos el resultado es satisfactorio. Sin embargo, en algunas ocasiones genera algunos desplazamientos pequeños en los que se puede ver comprometida la integridad de la pista. En la Figura 37 se muestra dos ejemplos.

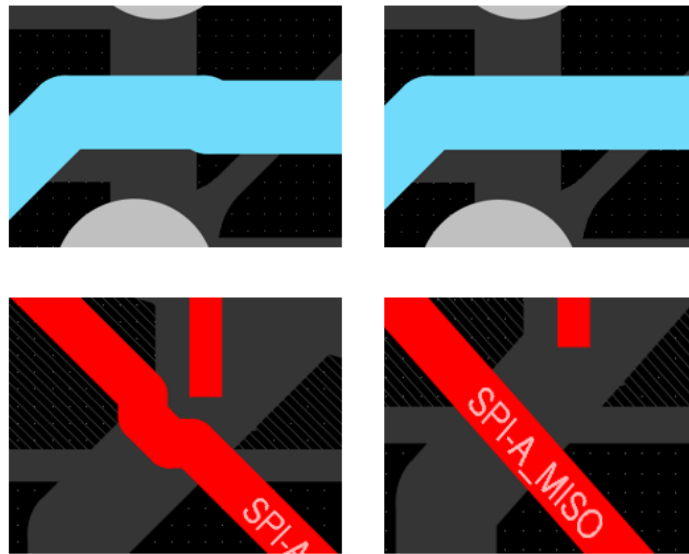


Figura 37. Ejemplo de pistas con integridad comprometida (izquierda) y su corrección (derecha). Las pistas comprometidas suelen darse al emplazar en la PCB algún elemento como vías. También puede darse el caso al mover una vía ya existente.

#### 8.9.10. Design Rule Check (DRC)

Para que el diseño de la PCB se pueda considerar acabado se ha de realizar el Design Rule Check. Se trata de una herramienta que verifica que se han cumplido todas las reglas establecidas en el punto 1.9.2. Sólo cuando el informe no contenga errores ni avisos, se puede pasar a la siguiente fase.

#### 8.9.11. Serigrafía

Se entiende como serigrafía el conjunto de todos los elementos gráficos que serán visibles en la superficie superior o inferior: marcas de ubicación de los componentes, referencias textuales, logos, etc. Cada empresa marca su propia línea de estilo. Sin embargo, en esta guía se va a ofrecer un criterio más o menos estandarizado para los textos que identifican a los componentes, los designators. Se recomienda:

- Usar sólo dos orientaciones para el texto con el fin de no tener que dar varias vueltas a la PCB cada vez que se quiera encontrar un componente. Esto es que la lectura sea “de izquierda a derecha” o “de abajo a arriba”.
- La información ofrecida se debe leer con claridad. Para ello se ajustará el tamaño de fuente y la posición en la PCB. Ver Figura 38.

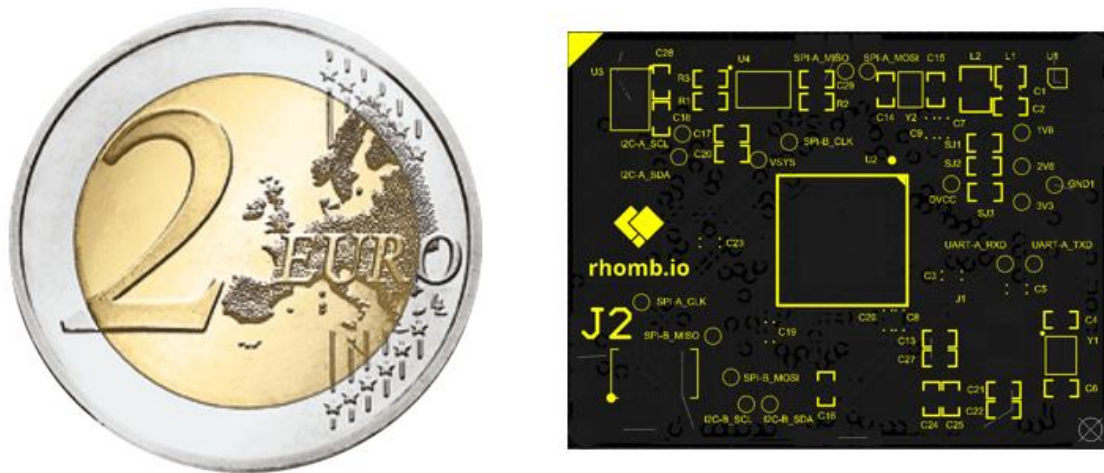


Figura 38. Comparativa de tamaño a escala de una moneda de dos euros y el módulo máster nRF52840.

- Si no se puede poner el Designator junto al componente por no haber espacio físico, se colocará de forma que sea intuitivo identificar sus componentes.

En la Figura 39 se muestra la capa Top Overlay del diseño del máster nRF52840. Esta capa contiene las serigrafías de la capa superior.

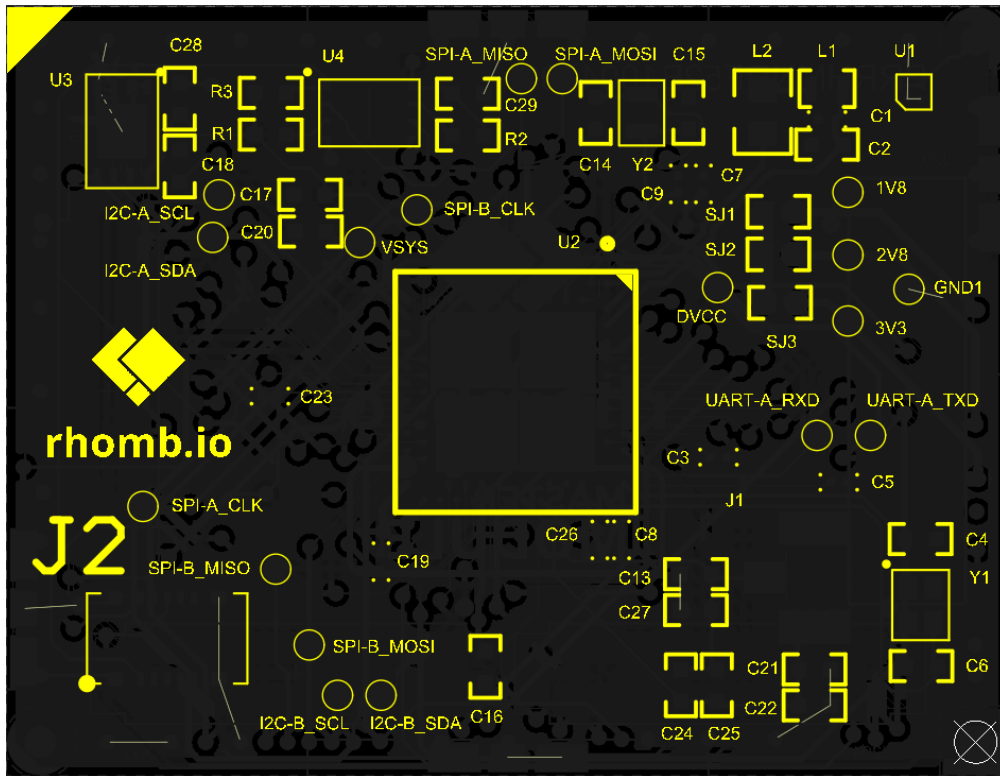


Figura 39. Vista de la capa Top Overlay del diseño del máster nRF52840. Contiene todos los elementos gráficos que se mostrarán en la capa superior de la PCB.

## 9. Panelizado

Consiste en crear un panel de grandes dimensiones donde poder ubicar muchas unidades de la misma PCB. Se utiliza este recurso para abaratar costes de fabricación. En la Figura 40 se muestra el panel para el máster nRF52840.

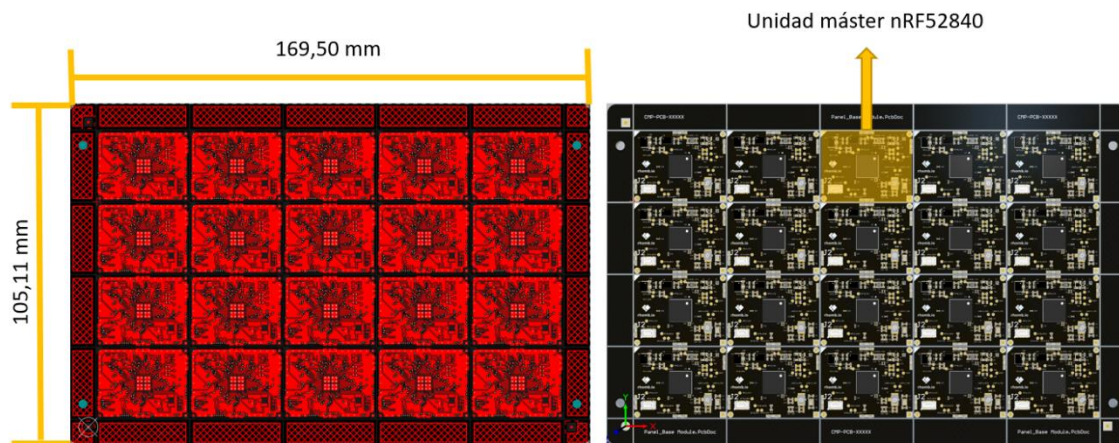


Figura 40. Vista en 2D (izquierda) y 3D (derecha) del panel PCB para la fabricación de 20 unidades del modulo máster nRF52840.

## 10. Fabricación

El fabricante de la PCB necesita unos archivos concretos que contienen información relacionada con las pistas, las vías, la posición de los componentes, serigrafía, etc. Además, existen otros ficheros específicos para la fabricación del stencil. Estos archivos los genera Altium.

### 10.1. Archivos para fabricar la PCB

Los archivos para fabricar la PCB son:

- Gerbers: Contienen toda la información referente a ubicación y dimensiones de las pistas de cobre, posiciones y medidas de los pads para soldar, serigrafía, etc.
- NC Drill Files: Almacena toda la información relacionada con las vías y taladros que existen en la PCB.



## 10.2. Archivos para fabricar el “Stencil” en lámina y con marco

Un stencil es una herramienta para facilitar el proceso de soldadura. Es fabricado por la misma empresa que se encarga de la PCB. Se trata de una plancha que tiene perforaciones del tamaño, forma y posición de los pads de la PCB. Al colocarse en la posición exacta sobre ésta, se deposita el estaño. En la Figura 41 se muestra un stencil sobre un panel y al técnico depositando el material de soldadura. Al retirar la lámina, en la PCB sólo queda la cantidad justa gracias a que sólo se deposita material sobre la PCB en aquellos lugares donde hay perforaciones en el stencil.

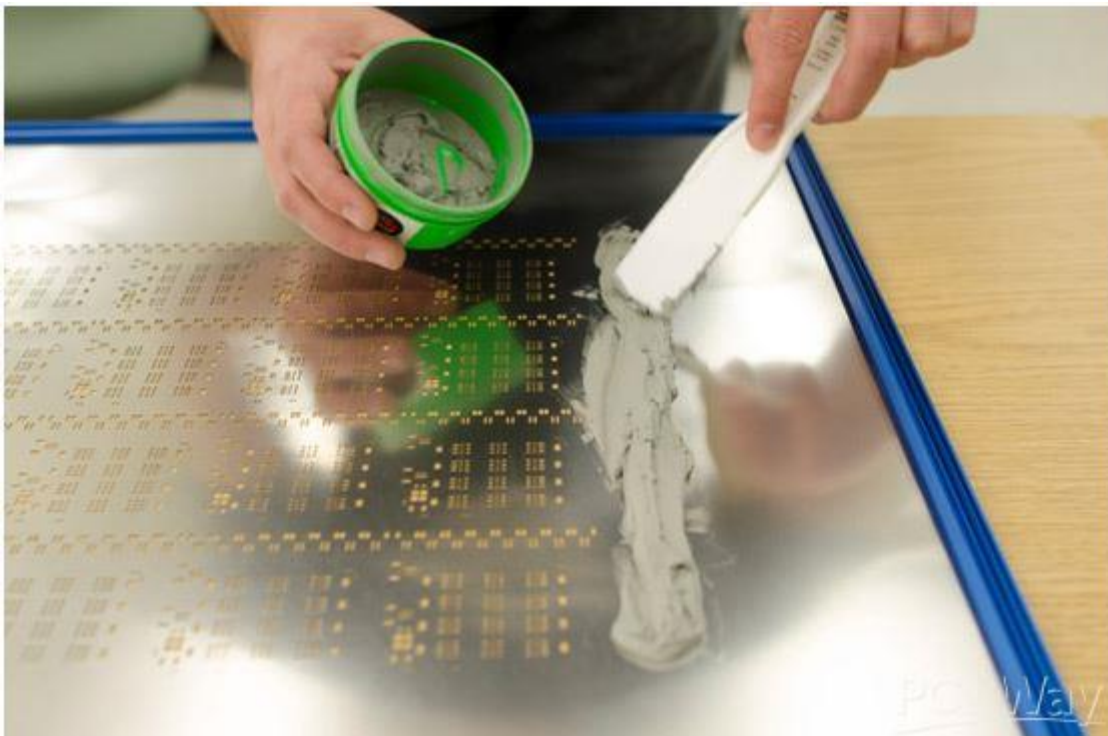


Figura 41. Representación del proceso de estañado para un panel PCB con un stencil con marco. Imagen de PCBWay.com

## 10.3. Archivos de ensamblado

El proceso de ensamblado consiste en colocar los componentes sobre la PCB a la que ya se ha añadido el estaño mediante el stencil. Esta tarea la realiza una máquina pick and place. Cuando ya está todo en su posición, se introduce en un horno durante un cierto

tiempo. Dependiendo de la tecnología de PCB, los componentes y el tipo de estaño, la temperatura y tiempo serán diferentes.

Así pues, para poder llevar a cabo este proceso, Altium genera dos tipos de archivos:

- Assembly Outputs:
  - Assembly Drawings: documento con formato PDF en el que se indica de forma gráfica la posición de todos los componentes. Figura 42.
  - Pick & Place: Formado por una estructura de carpetas con ficheros de texto que contienen información de la posición de cada componente y fiduciales (referencias de orientación en la PCB).
  
- Report Outputs
  - BOM Wiki: Formado por una estructura de carpetas. Contienen archivos Excel denominados BOM, Bill of Materials. Es la información sobre los componentes, unidades, precios y distribuidores. Se podría describir como la orden de compra.
  - BOM ERP: Formado por una estructura de carpetas. Contienen archivos Excel tipo BOM pero enfocado hacia el control administrativo interno.

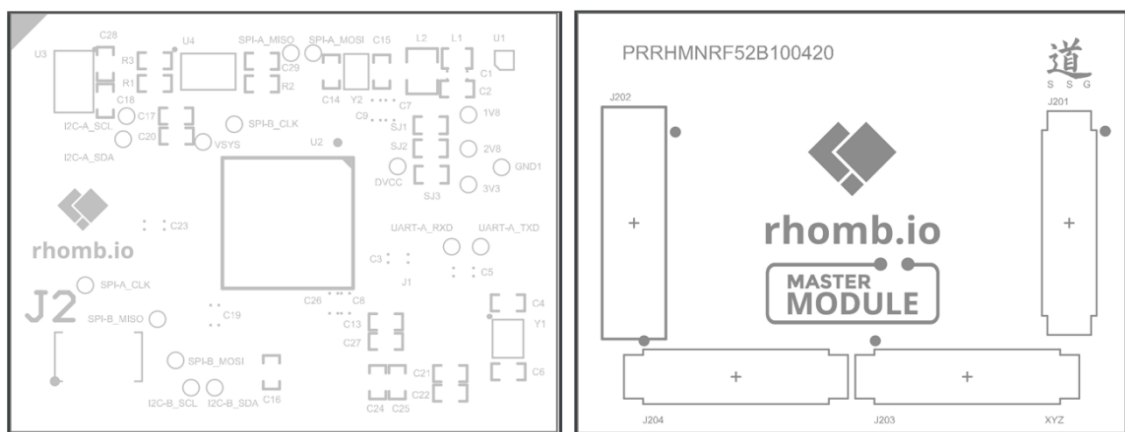


Figura 42. Assembly drawing. Documento en formato en PDF que se utiliza como referencia visual para tests y controles de calidad.

## 11. Altium

En esta sección se describen los procedimientos para aplicar algunos recursos mencionados en esta guía.

## 11.1. Arnés

El procedimiento para crear un arnés es:

- En el menú Place / Harness, botón Harness Connector.
- Dibujar el arnés en el esquemático junto a las señales que se quieran asociar.
- Hacer doble clic con el botón izquierdo para entrar en Propiedades.
- Rellenar el campo Harness Type y desactivar visibilidad.
- Añadir las referencias de señal en el apartado Entries pulsando el botón Add.

En la Figura 43 se muestra la ventana de configuración para el arnés de ejemplo QSPI y el símbolo resultante.

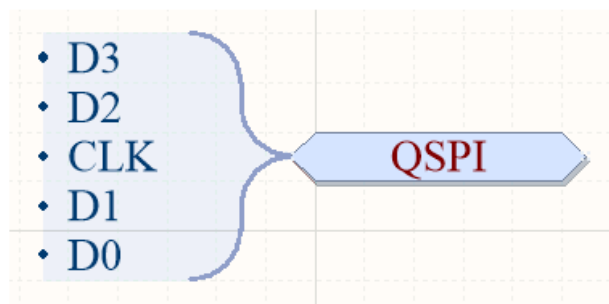
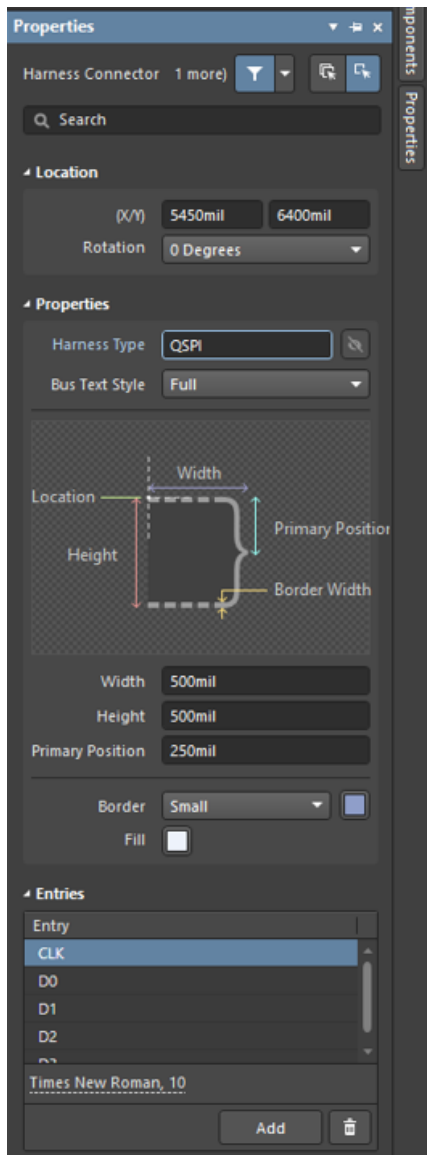


Figura 43 Ventana Propierities para el arnés QSPI. En el apartado de Entries se añaden las señales que forman parte del arnés.

## 11.2. Marcadores de página para puertos

El marcador es un parámetro que se añade manualmente en las propiedades del puerto. Para poder añadirlo y modificarlo es necesario seguir los siguientes pasos:

- Doble clic con el botón izquierdo sobre el puerto para entrar en Propierities.
- En la pestaña Parameters pulsar sobre el botón Add.

- Escribir nombre y valor de la página del esquemático donde esté el extremo opuesto del puerto.

En el caso de que el número de página no se mostrara en la ubicación correcta, se puede arrastrar hasta la posición deseada. En la Figura 44 se muestra el puerto QSPI\_I03 y las distintas posiciones que puede tener el marcador de página.

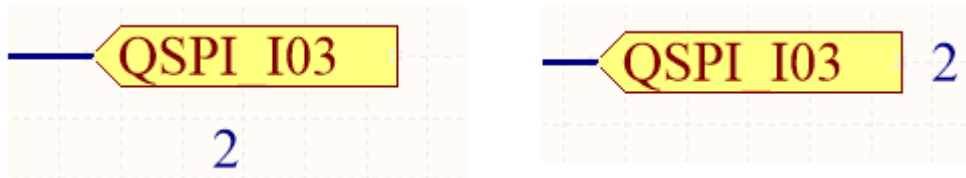


Figura 44. Ejemplo de un puerto (QSPI\_I03) y el marcador de página (2). El marcador se puede cambiar de posición arrastrándolo de un punto a otro.

## 11.3 Net Classes

Para crear una Net Class se debe seguir el siguiente procedimiento:

- Acceder al menú Place / Directives y pulsar el botón Blanket.
- Dibujar el recuadro para las señales de interés.
- Acceder al menú Place / Directives y pulsar el botón Parameter Set.
- Situar el Parameter Set junto al recuadro.
- Hacer doble clic con el botón izquierdo sobre Parameter Set para entrar en Propierties.
- Cambiar nombre y añadir Class.

En la Figura 45 se muestra la ventana Propierties y el resultado de la Net Class.

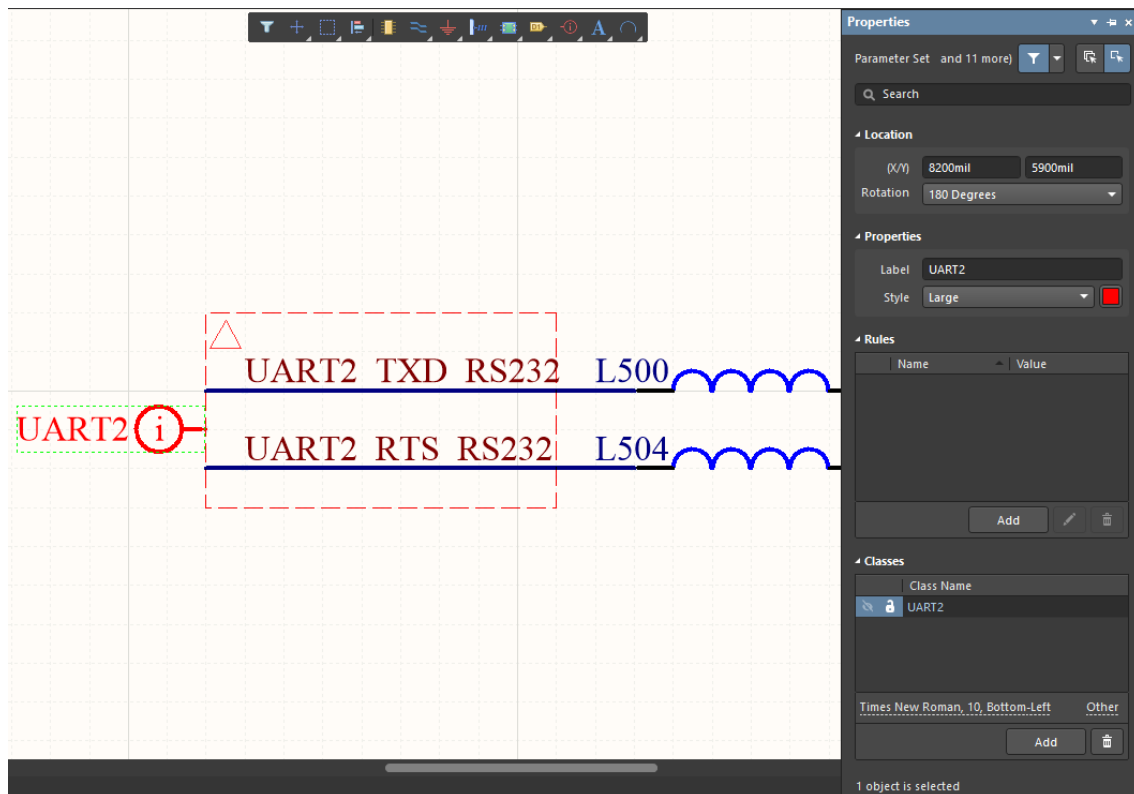


Figura 45. Vista de una parte del esquemático donde se encuentra el net class UART2 (izquierda) y la ventana Propiedades (derecha).

## 11.4. Variants y Not Fitted Components

El procedimiento para crear un variant es:

- Entrar en el menú Project y pulsar el botón Variants.
- Dentro de la nueva ventana pulsar el botón Add Variant.
- En la nueva ventana escribir un nombre de referencia y pulsar el botón de OK.
- En la ventana Variant Management pulsar el botón derecho del ratón en la línea del componente que se desee. Acceder al menú Set Selected As y marcar como Not Fitted.

En la Figura 46 se muestra un ejemplo de cómo marcar como Not Fitted el componente C4 del diseño del máster nRF52840.

Components					PRT-MDM-00038	Variant of S200 Master - nRF52840 - AQ...
Logical	Name	Designator	Document	Original Library Link	Component Variation	Component Variation
A_PCB1	CMP-PCB-001\$ A_PCB1		08, Production.Sch	PCB.SchLib/CMP-PCB-00		
C1	CMP-CAP-000\$ C1		05, S200c Master - I	CAP.SchLib/CMP-CAP-00		
C2	CMP-CAP-000\$ C2		05, S200c Master - I	CAP.SchLib/CMP-CAP-00		
C3	CMP-CAP-000\$ C3		05, S200c Master - I	CAP.SchLib/CMP-CAP-00		
C4	CMP-CAP-001\$ C4		05, S200c Master - I	CAP.SchLib/CMP-CAP-00		
C5	CMP-CAP-000\$ C5		05, S200c Master - I	CAP.SchLib/CMP-CAP-00		
C6	CMP-CAP-001\$ C6		05, S200c Master - I	CAP.SchLib/CMP-CAP-00		
C7	CMP-CAP-000\$ C7		05, S200c Master - I	CAP.SchLib/CMP-CAP-00		
C8	CMP-CAP-000\$ C8		05, S200c Master - I	CAP.SchLib/CMP-CAP-00		
C9	CMP-CAP-000\$ C9		05, S200c Master - I	CAP.SchLib/CMP-CAP-00		
C10	CMP-CAP-001\$ C10		05, S200c Master - I	CAP.SchLib/CMP-CAP-00		
C11	CMP-CAP-001\$ C11		05, S200c Master - I	CAP.SchLib/CMP-CAP-00		
C12	CMP-CAP-001\$ C12		05, S200c Master - I	CAP.SchLib/CMP-CAP-00		
C13	CMP-CAP-000\$ C13		05, S200c Master - I	CAP.SchLib/CMP-CAP-00		

Fitted

**Not Fitted**

Alternate

Columns

Edit Selected

**Set Selected As**

Only Show Varied Components

Filter

Cut

Copy

Report

Figura 46. Ventana de configuración de variantes. En la columna Component Variation se obtiene la opción de marcar el componente como N.F. tras pulsar el botón derecho.

## 11.5. Via Stitching

El procedimiento para aplicar Via Stitching es acceder al menú Tools / Via Stitching - Shielding y pulsar el botón Add Stitching to Net. Las opciones se deben ajustar a cada proyecto. Por lo general, en “Net” se elegirá “GND”. En la Figura 47 se muestra la ventana de configuración.

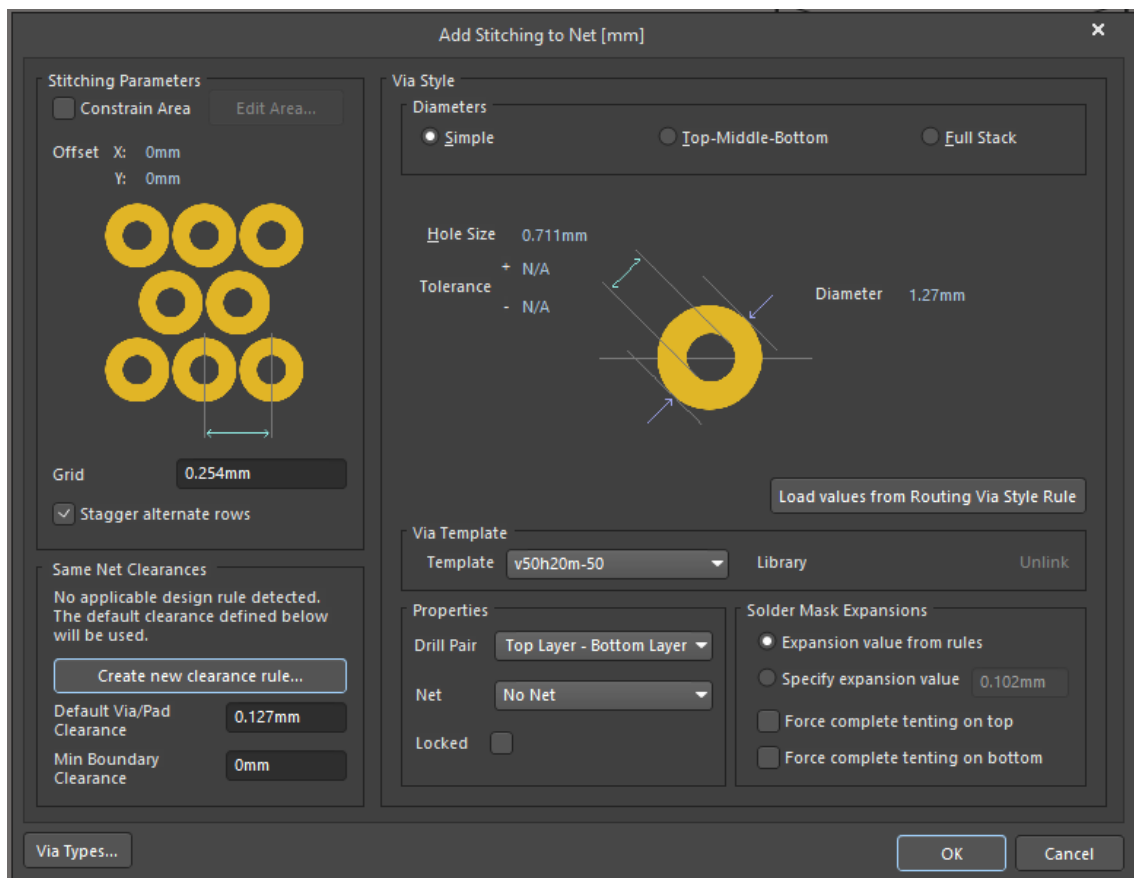


Figura 47. Ventana de configuración para Via Stitching. Cada proyecto tendrá sus propios parámetros. Sin embargo, los que se muestran en esta figura pueden ser usados como referencia.

## 11.6. Teardrops

Para poder aplicar el recurso de teardrops es necesario ocultar los polígonos (planos) de las capas. Para ello, se ha de usar el botón Shelve XX Polygon(s) del menú Tools / Polygon Pours. El siguiente paso es ir al menú Tools y pulsar el botón Teardrops. En la ventana de configuración se pueden refinar los distintos parámetros. Sin embargo, los valores por defecto son válidos para la mayoría de proyectos. Por último, es necesario regenerar los polígonos mediante “Tools / Polygon Pour / Repaur All” para que se adapten a los teardrops incorporados.







UNIVERSITAT  
POLITÈCNICA  
DE VALÈNCIA



Trabajo Fin de Grado

**Guía de diseño de placas de circuito  
impreso para integrar un  
microcontrolador**

*Autor: Shiris Sestayo Gil*

*Director: Francisco Rodríguez Ballester*



UNIVERSITAT  
POLITÈCNICA  
DE VALÈNCIA



Escuela Técnica Superior de Ingeniería del Diseño

Trabajo Fin de Grado

### **III. Anexos**

*Autor: Shiris Sestayo Gil*

*Director: Francisco Rodríguez Ballester*

## **12. Anexo 1**

El siguiente anexo es el conjunto de esquemáticos que constituyen el diseño del módulo máster nRF52840.

# S200 Master - nRF52840 - AQFN.PrjPcb

## v1.0

### [No Variations]

Page	Title
1	Index
2	Block Diagram
3	S200a Master - Plug
4	S200b Master - Plug
5	
6	
7	
8	
9	
xx	Production

Title: 01. Index.SchDoc

Engineer: Shiris Sestayo GJ Date: 09/06/2020

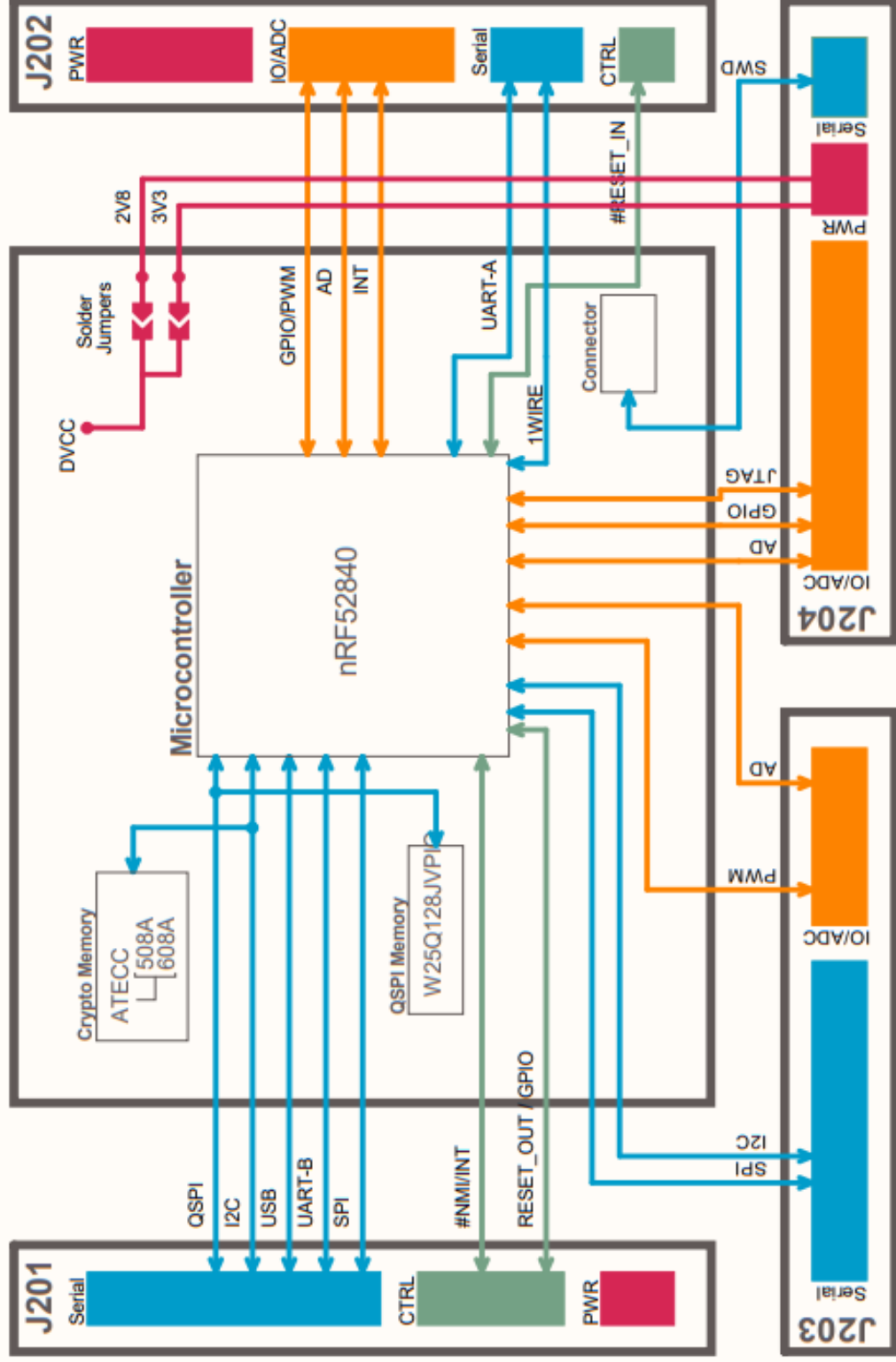
Project: S200 Master - nRF52840 - AQFN.PrjPcb

Revision: v1.0 Sheet: 1 of 8

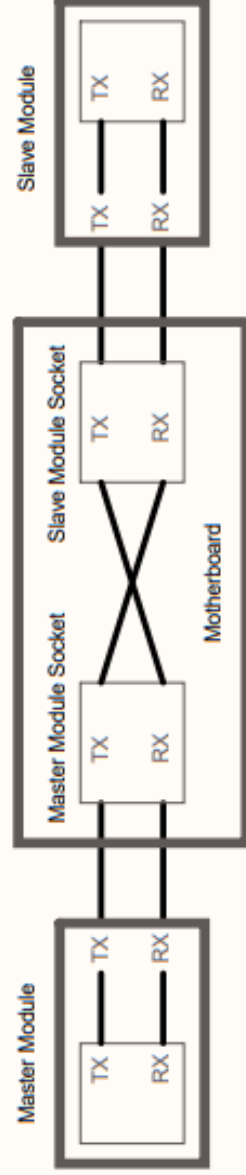


rhomb.io  
Free to Create

# S200 Master - nRF52840



## UART CONNECTIONS



Title: 02. Block Diagram.SchDoc

Engineer: Shiris Sestayo GJ Date: 09/06/2020

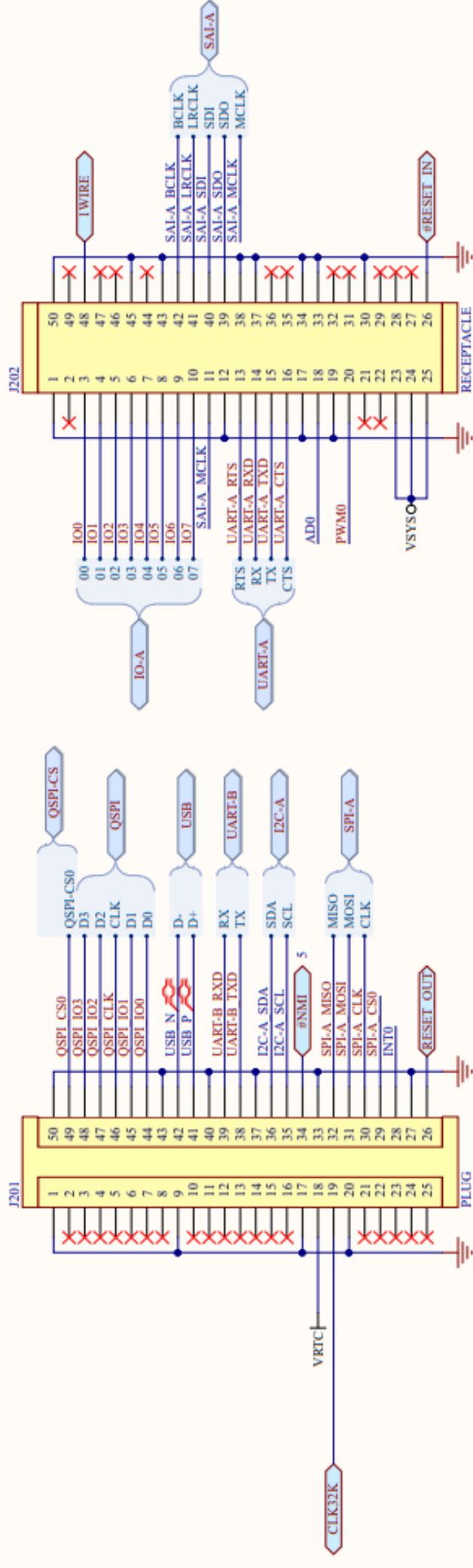
Project: S200 Master - nRF52840 - AQFN.PrjPcb

Revision: v1.0 Sheet: 2 of 8



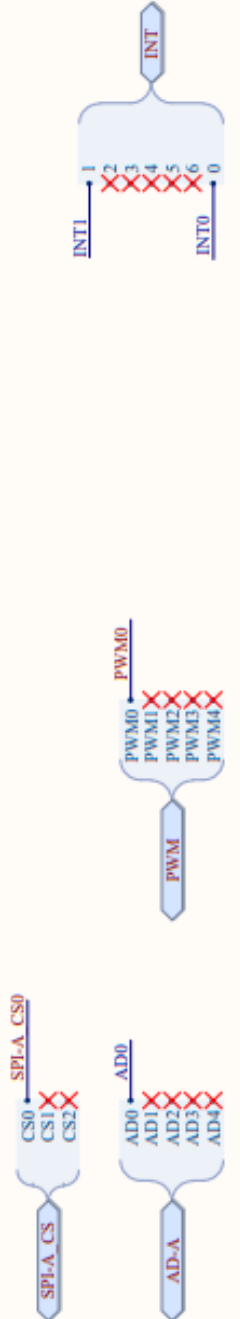
# S200a MASTER - PLUG

# Transparent TOP VIEW



**DESIGN NOTE:**

- I2C pull-up resistors are placed on the motherboard, not on the module.
- UART, CAN & SAI lines are crossed on the motherboard, not on the module.
- The text of the unused nets have been deleted.
- VIO\_IN provides a voltage reference for the module.

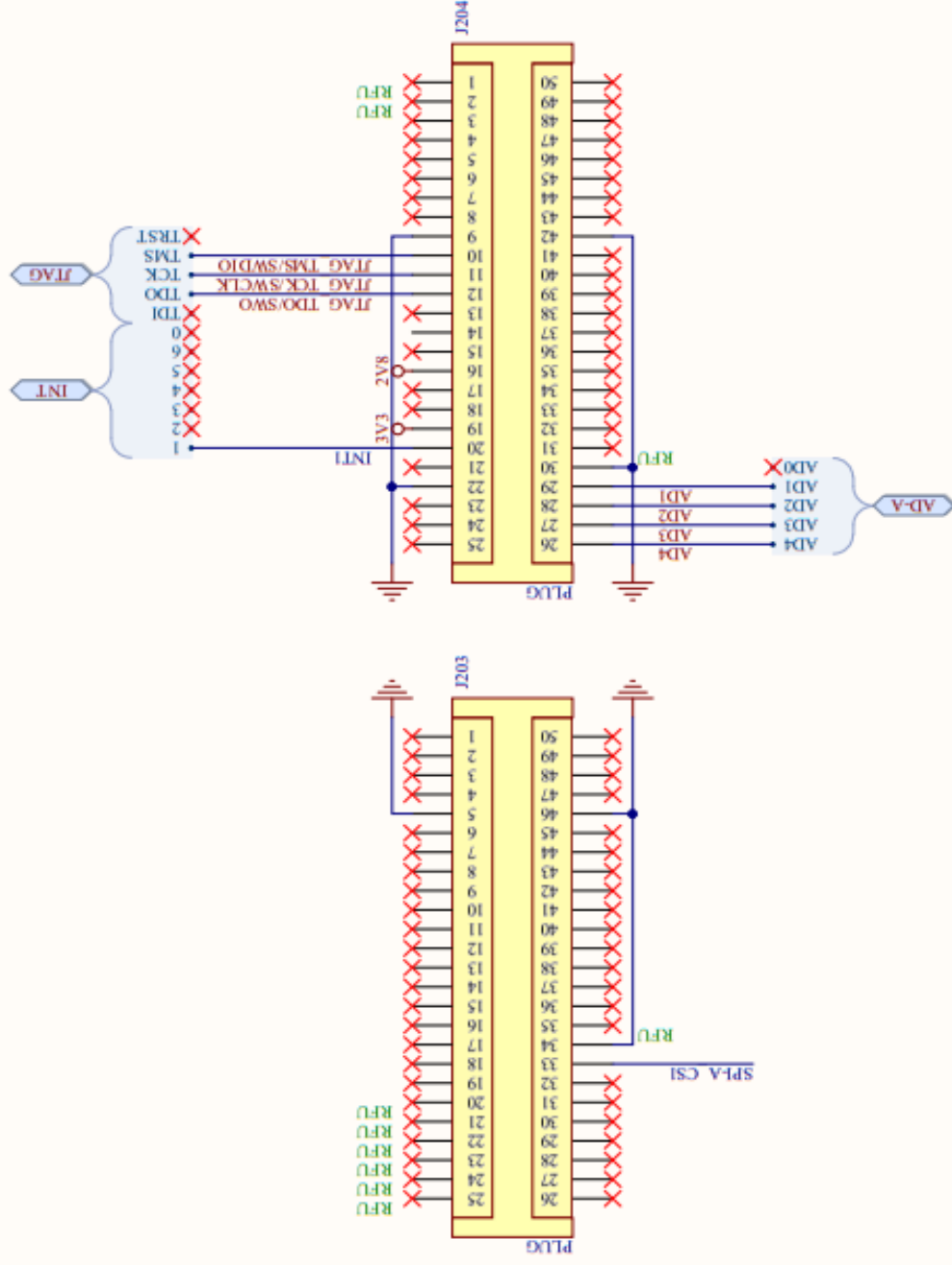


<b>Title:</b> 03. S200a Master - Plug.SchDoc
<b>Engineer:</b> Shiris Sestayo GI
<b>Date:</b> 09/06/2020
<b>Project:</b> S200 Master - nRF52840 - AQFN.PrjPcb
<b>Revision:</b> v1.0



# S200b MASTER - PLUG

## Transparent TOP VIEW



Title: 04. S200b Master - Plug.SchDoc

Engineer: Shiris Sestayo GJ Date: 09/06/2020

Project: S200 Master - nRF52840 - AQFN.PjPcb

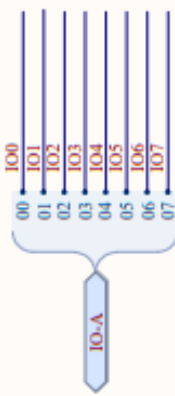
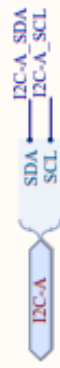
Revision: v1.0

Sheet: 4 of 8

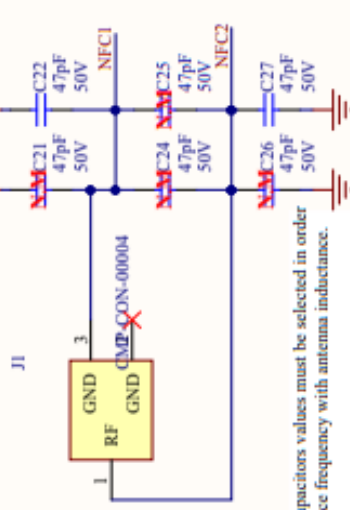


rhomb.io  
Free to Create





### ANTENNA MATCHING

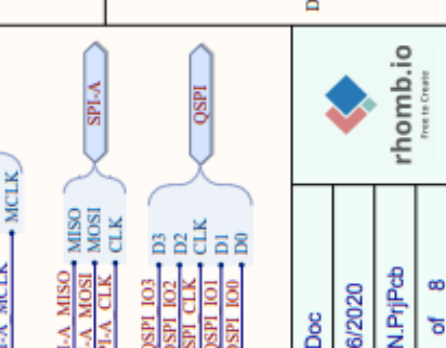
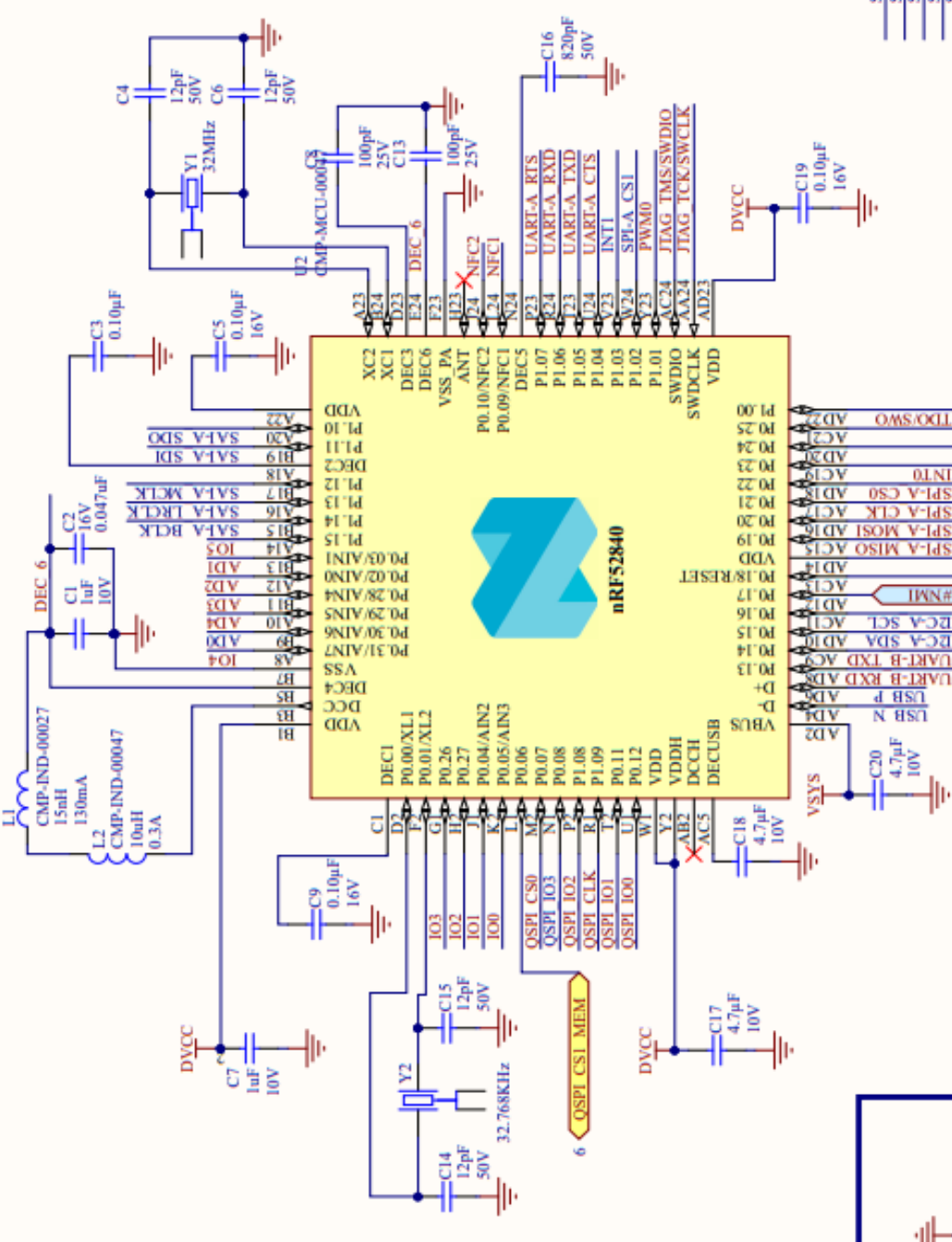


- Matching capacitors values must be selected in order to keep resonance frequency with antenna inductance.  
 -  $f_{res} = 1/2\pi\sqrt{LC}^{1/2}$   
 -  $f_{res} = 13.56 \text{ MHz} \implies LC = 0.10834$

### POWER SUPPLY INPUT

**nRF52840 Chip**  
 VDD and VDDH is linked to able the normal voltage mode: Min 1V7 - Max 3V6

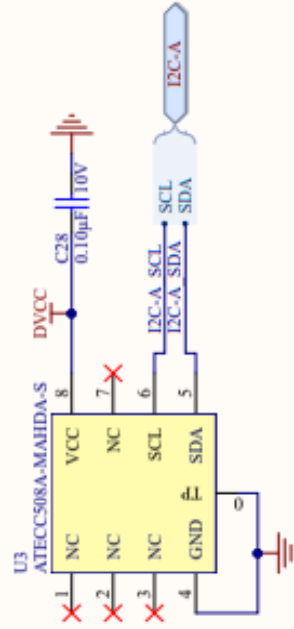
**QSPI Memory voltage range: 2V7 to 3V6**



**Title:** 05. S200c Master - nRF52840\_SchDoc  
**Engineer:** Shiris Sestayo Gil **Date:** 09/06/2020  
**Project:** S200 Master - nRF52840 - AQFN.PjPcb  
**Revision:** v1.0

**rhomb.io**  
Free to Create

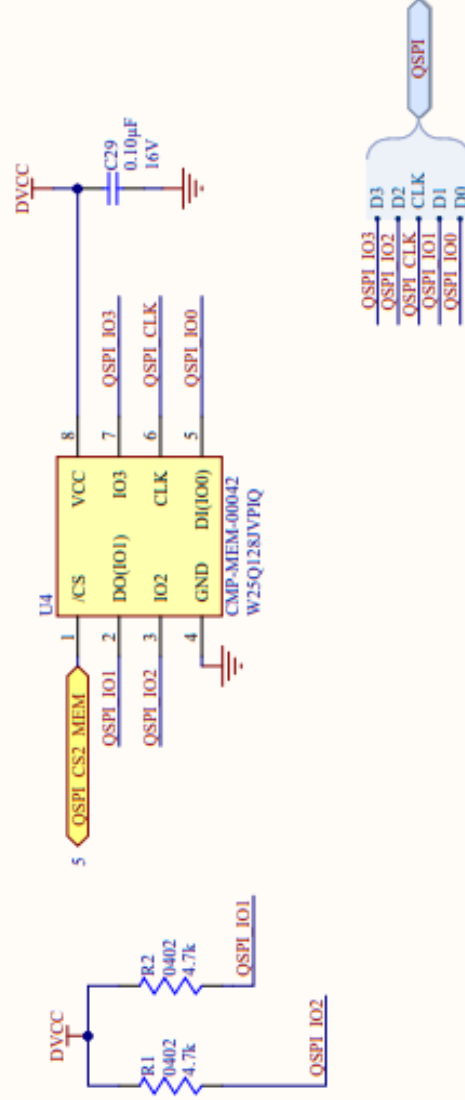
## SECURITY



Supply IO levels from 1.8V to 5.5V

## QSPI MEMORY

Supply voltage range from 2.7 V to 3.6 V



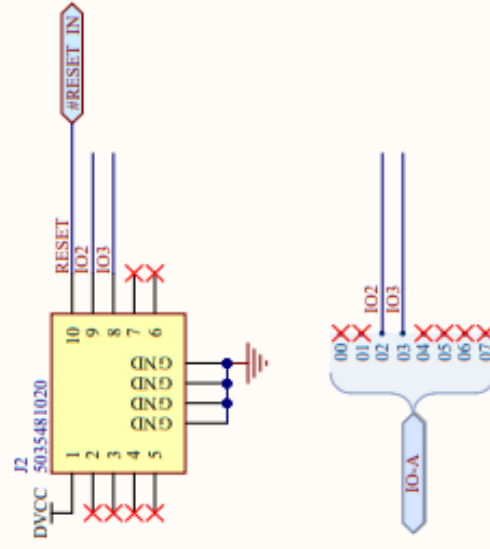
## 3.3 Pin Description SOIC 208-mil, WSON 6x5-mm / 8x6-mm

PAD NO.	PAD NAME	I/O	FUNCTION
1	/CS	I	Chip Select Input
2	DO (IO1)	I/O	Data Output (Data Input Output 1) <sup>(1)</sup>
3	/WP (IO2)	I/O	Write Protect Input ( Data Input Output 2) <sup>(2)</sup>
4	GND		Ground
5	DI (IO0)	I/O	Data Input (Data Input Output 0) <sup>(1)</sup>
6	CLK	I	Serial Clock Input
7	/HOLD or /RESET (IO3)	I/O	Hold or Reset Input (Data Input Output 3) <sup>(2)</sup>
8	VCC		Power Supply

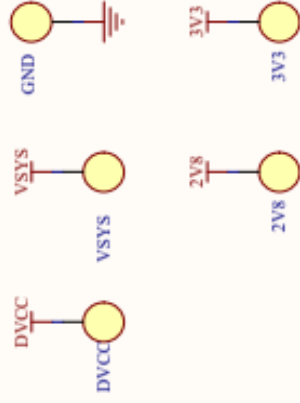
### Notes:

- IO0 and IO1 are used for Standard and Dual SPI instructions
- IO0 - IO3 are used for Quad SPI instructions, /HOLD (or /RESET) function is only available for Standard/Dual SPI.

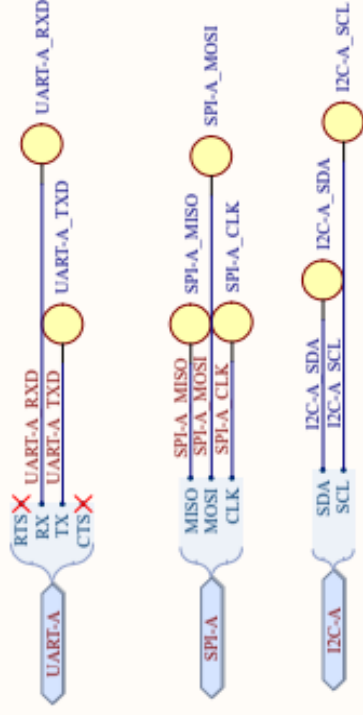
## CONNECTOR



### POWER TEST PADS



### SIGNAL TEST PADS



Title: 07\_S200c Master - test pads.SchDoc

Engineer: Shiris Sestayo GJ Date: 09/06/2020

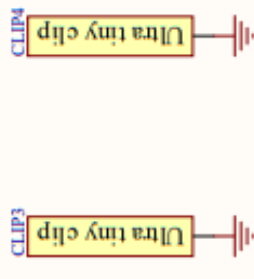
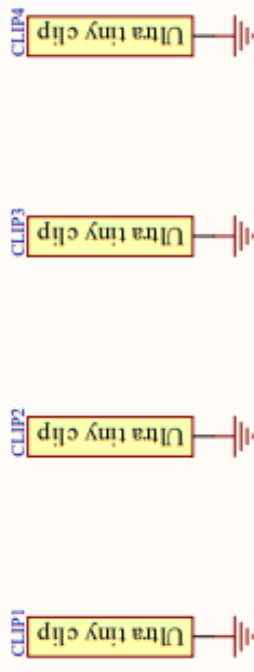
Project: S200 Master - nRF52840 - AQFN.PrijPcb

Revision: v1.0 Sheet: 7 of 8

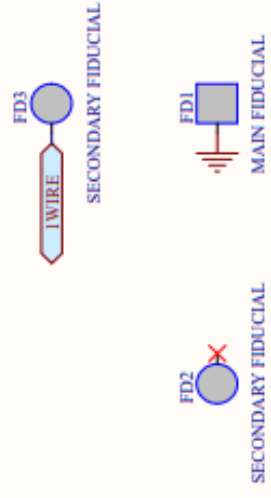
# PCB

A\_PCB1  
S200 Master  
NAME  
v1.0  
PRRHMRF52B100420

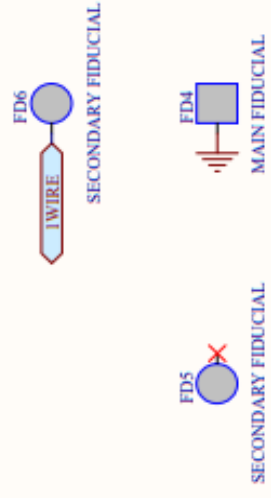
# SHIELD CLIPS



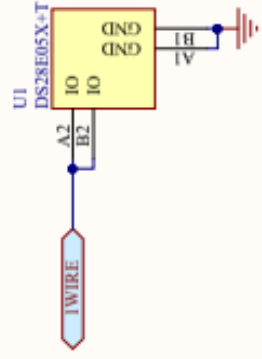
# TOP LAYER FIDUCIALS



# BOTTOM LAYER FIDUCIALS



# ID EEPROM



Title: 08. Production.SchDoc

Engineer: Shiris Sestayo GJI Date: 09/06/2020

Project: S200 Master - nRF52840 - AQFN.PrfPcb

Revision: v1.0 Sheet: 8 of 8

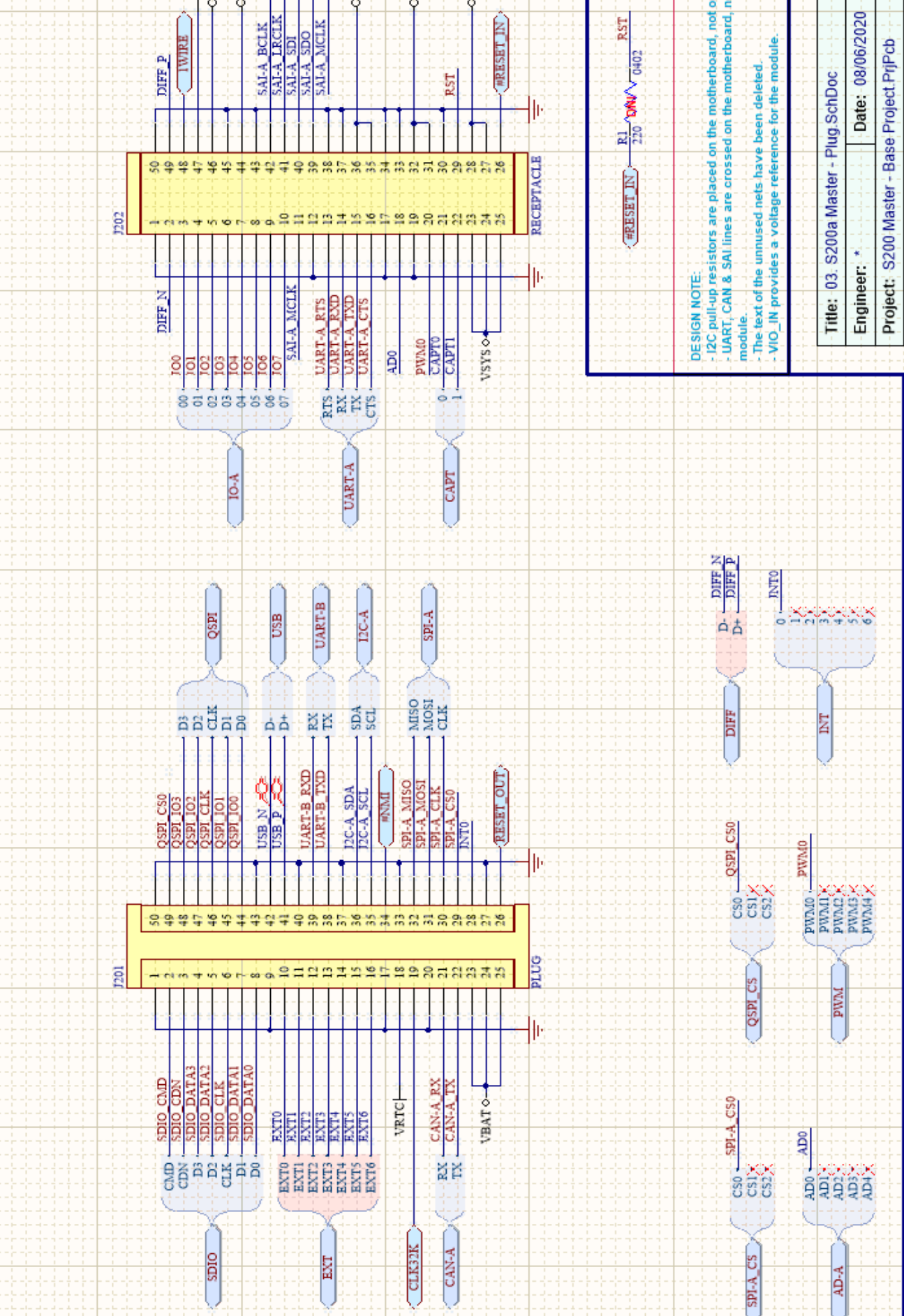


## **13. Anexo 2**

En el siguiente anexo se presenta la configuración de pines establecida por el estándar de Rhomb para los conectores de los módulos S200.

# S200a MASTER - PLUG

# Transparent TOP VIEW

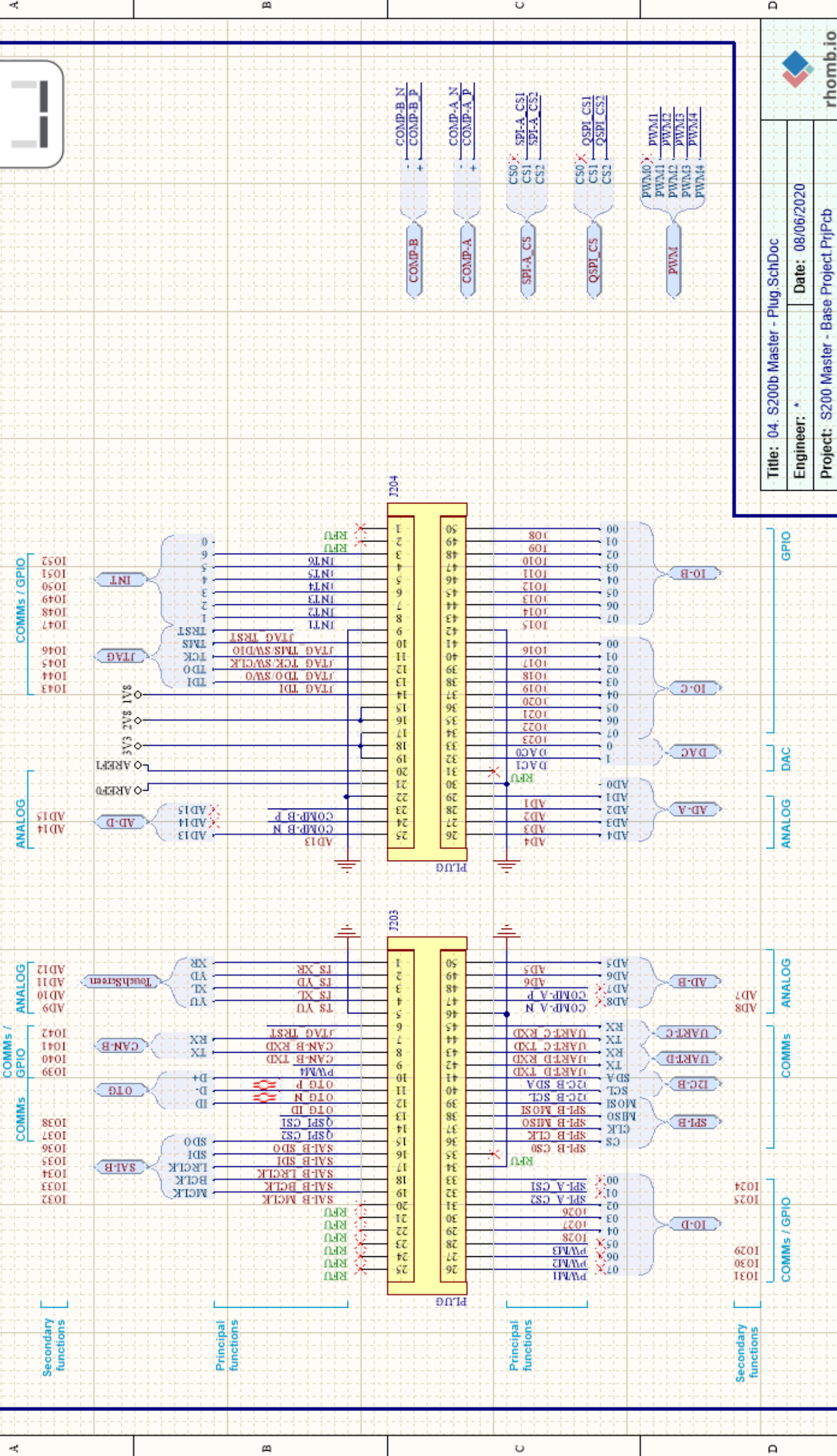


**DESIGN NOTE:**  
 - I2C pull-up resistors are placed on the motherboard, not on the module.  
 - UART, CAN & SAI lines are crossed on the motherboard, not on the module.  
 - The text of the unused nets have been deleted.  
 - VIO\_IN provides a voltage reference for the module.

<b>Title:</b> 03_S200a Master - Plug SchDoc	<b>Revision:</b> v1.0
<b>Engineer:</b> *	<b>Date:</b> 08/06/2020
<b>Project:</b> S200 Master - Base Project.PrjPcb	
<b>Sheet:</b> 3 of *	

# S200b MASTER - PLUG

# Transparent TOP VIEW



Secondary functions

Principal functions

Secondary functions

Principal functions

**Title:** 04. S200b Master - Plug.SchDoc  
**Engineer:** \*  
**Date:** 08/06/2020  
**Project:** S200 Master - Base Project.PriPcb  
**Revision:** v1.0  
**Sheet:** 4 of \*



UNIVERSITAT  
POLITÈCNICA  
DE VALÈNCIA



Trabajo Fin de Grado

## **IV. Bibliografía**

*Autor: Shiris Sestayo Gil*

*Director: Francisco Rodríguez Ballester*



## 14. Bibliografía

- [1] Fedevel Academy, «<https://academy.fedevel.com>,» 21 Mayo 2020. [En línea]. Available: <https://academy.fedevel.com>.
- [2] Nordic Semiconductor, «<https://www.nordicsemi.com/Products/Low-power-short-range-wireless/nRF52840>,» 21 Mayo 2020. [En línea]. Available: <https://www.nordicsemi.com/Products/Low-power-short-range-wireless/nRF52840>.
- [3] Altium Design , «<https://www.altium.com/documentation/altium-designer/>,» 21 Mayo 2020. [En línea]. Available: <https://www.altium.com/documentation/altium-designer/>.