

Índice general

1. Introducción	1
1.1. Introducción	1
1.2. Motivación	2
1.3. Objetivos	4
1.4. Metodología	4
1.5. Esquema de la tesis	7
2. Física del PET	9
2.1. Tomografía por emisión de positrones	9
2.2. Generación de radiofármacos	11
2.2.1. Radioisótopos	13
2.2.2. Radiofármacos	13
2.3. Aplicaciones de PET en medicina	17
2.4. Introducción a la física del PET	18
2.4.1. Decaimiento β^+	18
2.4.2. Rango del positrón y aniquilación positrón-electrón .	19
2.4.2.1. Rango del positrón	20
2.4.2.2. Aniquilación Positrón-Electrón	20
2.4.3. Interacción de los rayos gamma con la materia	24
2.4.3.1. Efecto Compton	24
2.4.3.2. Efecto fotoeléctrico	25
2.5. Parámetros importantes en PET	25
2.6. Aportaciones del capítulo	32

3. Estructura del tomógrafo PET utilizado	33
3.1. Introducción	33
3.2. Cristales centelladores	35
3.3. Fotomultiplicadores sensibles a posición	39
3.4. Front-end analógico	40
3.4.1. Front-end analógico - etapa integrada	40
3.4.2. Cálculo de la DOI	44
3.4.3. Front-end analógico - etapa discreta	45
3.5. Sistema de Adquisición	50
3.6. Aportaciones del capítulo	55
4. Resolución temporal en sistemas PET	57
4.1. Introducción	57
4.1.1. Definición	57
4.1.2. Efectos de la mejora de la resolución temporal en los sistemas PET	61
4.1.3. “Time of Flight” PET	63
4.2. Factores que afectan a la resolución temporal	65
4.2.1. Resolución temporal del cristal centellador σ_{tXTAL} .	68
4.2.2. Resolución temporal del fotomultiplicador σ_{tPMT} . .	75
4.2.3. Resolución temporal de la electrónica σ_{tELE}	78
4.2.3.1. Fuentes de error para la determinación del tiempo por la electrónica	80
4.2.3.2. Métodos analógicos para la extracción de tiempos	86
4.2.3.3. Métodos digitales para la extracción de tiem- pos	94
4.3. Aportaciones del presente estudio a los métodos digitales para extracción de tiempos	98
4.4. Aportaciones del capítulo	98
5. Algoritmos digitales propuestos para la extracción de tiem- pos	101
5.1. Algoritmos de extracción de tiempos programados en la FPGA	101
5.1.1. Estimación de la carga	102

5.1.2.	Interpolación mediante filtro paso bajo	106
5.1.2.1.	Muestreo de una señal analógica	107
5.1.2.2.	Fundamento teórico de la interpolación mediante filtro paso bajo	109
5.1.2.3.	Implementación del algoritmo sobre FPGA	112
5.1.3.	“Constant fraction digital” mediante la generación de pulsos bipolares (BCFD)	121
5.1.4.	Resumen de los algoritmos propuestos	125
5.1.5.	Implementación hardware	125
5.2.	Aportaciones del capítulo	127
6.	Simulación de los algoritmos propuestos	131
6.1.	Introducción	131
6.1.1.	Propuesta de simulación.	131
6.2.	Descripción de la simulación usada	134
6.2.1.	Generación de las ondas	136
6.2.2.	Simulación del front-end analógico	138
6.2.3.	Simulación del ADC	142
6.2.3.1.	Consideraciones sobre el reloj de muestreo	145
6.2.4.	Simulación digital	146
6.2.5.	Grupo de medidas realizadas con la simulación . . .	148
6.3.	Estudio del jitter del reloj de muestreo sobre la resolución temporal en coincidencia	148
6.3.1.	Conclusiones de la simulación de jitter de reloj. . . .	152
6.4.	Estudio del efecto del ruido sobre la resolución temporal en coincidencia	156
6.4.1.	Resultados de la simulación de ruido.	157
6.4.2.	Conclusiones de la simulación de Ruido.	160
6.5.	Conclusiones globales de la simulación	161
6.6.	Aportaciones del capítulo	165
7.	Medidas y Resultados	167
7.1.	Introducción	167
7.2.	Banco de pruebas experimental	168
7.3.	Medida de la resolución temporal en coincidencia	171

7.3.1. Análisis de resultados	174
7.4. Comparación de los resultados con la simulación	178
7.5. Medida de la variación en z de los discriminadores	182
7.5.1. Análisis de resultados	189
7.6. Aportaciones del capítulo	189
8. Conclusiones y Líneas Futuras	191
8.1. Conclusiones	191
8.2. Resumen de Aportaciones	194
8.2.1. Publicaciones en revista	195
8.2.2. Participaciones en congresos	196
8.2.3. Premios	197
8.2.4. Otras aportaciones	197
8.3. Líneas Futuras	198
A. Lista de Acrónimos	201
B. Conformador de onda $CR - RC^2$	205
B.1. Etapa CR	205
B.2. Etapa RC^2	209
C. Sistema de adquisición	213
C.1. Tarjeta de adquisición	213
C.1.1. Estructura interna de la lógica de la FPGA	215
C.1.2. Interfaz con la tarjeta de coincidencia.	217
C.1.3. Bloque de control	218
C.1.4. Etapa de recepción de datos de los ADCs	218
C.1.5. Bloque de procesado de las señales	219
C.1.6. Bloque de procesado - Modo osciloscopio	221
C.1.7. Bloque de procesado - Modo adquisición continua	222
C.1.8. Bloque de procesado - Procesador del Detector	225
C.1.9. Bloque de procesado - Ventana de coincidencia gruesa	233
C.2. Tarjeta de coincidencia	234
C.2.1. Bloques de interfaz con las tarjetas de adquisición	236
C.2.2. Interfaz con el módulo USB	236
C.2.3. Bloque de control	237

C.2.4. Algoritmo de Coincidencia	237
C.3. Sistema de reconstrucción o PC	241

