



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA



UNIVERSITAT POLITÈCNICA DE VALÈNCIA

Escuela Técnica Superior de Ingeniería del Diseño

Estudio comparativo de las tecnologías de
semiconductores basadas en Si, SiC y GaN para su
empleo en los convertidores de tracción en vehículos
eléctricos.

Trabajo Fin de Grado

Grado en Ingeniería Electrónica Industrial y Automática

AUTOR/A: Melgar Beltrán, Tomás

Tutor/a: Orts Grau, Salvador

Cotutor/a: Gómez Hernández, Víctor Jesús

CURSO ACADÉMICO: 2021/2022

Resumen

En este trabajo se examina el estado de las tecnologías de transistores de potencia fabricados a partir de silicio (Si), carburo de silicio (SiC) y nitruro de galio (GaN), desde el punto de vista de su aplicación en inversores de tracción para vehículos eléctricos. Para comenzar, se determinan las características deseadas en los semiconductores para este uso. Seguidamente, se estudian las tres tecnologías y su implantación actual en el ámbito de aplicación. De cada una se contemplan los tipos más destacados: de Si, los IGBT; de SiC, los JFET y MOSFET; de GaN, especialmente los HEMT, pero también los CAVET, MOSFET, GIT y JFET. Los IGBT de Si gozan de robustez y bajas pérdidas de conducción. La reducida resistencia de encendido de los transistores de SiC y GaN les permite competir en eficiencia, e incluso sobrepasar los límites del Si, pero aún tienen problemas que resolver, especialmente los de GaN, que ya se han afianzado en las bajas tensiones, pero todavía presentan inconvenientes en las altas.

Finalmente, se estudia el mercado de fabricantes de semiconductores en busca de modelos, de los cuales se seleccionan tres, un IGBT de Si, un MOSFET de SiC y un HEMT de GaN. Se utilizan sus modelos SPICE en varias simulaciones de inversores trifásicos con modulación vectorial en *LTSpice*. El IGBT es el que tiene mayores pérdidas, y el MOSFET de SiC es el más eficiente. Los nuevos materiales permiten obtener transistores con mejores características, pero con un coste considerablemente mayor.

Palabras clave: Semiconductores de Potencia, Nitruro de Galio, Carburo de Silicio, Inversores de Tracción, Vehículos Eléctricos, LTSpice.

Resum

En aquest treball s'examina l'estat de les tecnologies de transistors de potència fabricats a partir de silici (Si), carbur de silici (SiC) i nitru de gal·li (GaN), des del punt de vista de la seva aplicació en inversors de tracció per a vehicles elèctrics. Per a començar, es determinen les característiques desitjades en els semiconductors per a aquest ús. Seguidament, s'estudien les tres tecnologies i la seua implantació actual en l'àmbit d'aplicació. De cadascuna es contempen els tipus més destacats: de Si, els IGBT; de SiC, els JFET i MOSFET; de GaN, especialment els HEMT, però també els CAVET, MOSFET, GIT i JFET. Els IGBT de Si gaudeixen de robustesa i baixes pèrdues de conducció. La reduïda resistència d'encesa dels transistors de SiC i GaN els permet competir en eficiència, i fins i tot sobrepasar els límits del Si, però encara tenen problemes que resoldre, especialment els de GaN, que ja s'han afermat en les baixes tensions, però encara presenten inconvenients en les altes.

Finalment, s'estudia el mercat de fabricants de semiconductors a la recerca de models, dels quals se seleccionen tres, un IGBT de Si, un MOSFET de SiC i un HEMT de GaN. S'utilitzen els seus models SPICE en diverses simulacions d'inversors trifàsics amb modulació vectorial en *LTSpice*. L'IGBT és el que té majors pèrdues, i el MOSFET de SiC és el més eficient. Els nous materials permeten obtindre transistors amb millors característiques, però amb un cost considerablement major.

Paraules clau: Semiconductors de Potència, Nitru de Gal·li, Carbur de Silici, Inversors de Tracció, Vehicles Elèctrics, LTSpice.

Abstract

This paper examines the state of power transistor technologies made from silicon (Si), silicon carbide (SiC) and gallium nitride (GaN), from the point of view of their application in traction inverters for electric vehicles. To begin with, the desired characteristics of semiconductors for this use are determined. Then, the three technologies and their current implementation in the field of application are studied. The most outstanding types of each are contemplated: for Si, the IGBTs; for SiC, the JFETs and MOSFETs; for GaN, especially the HEMTs, but also the CAVETs, MOSFETs, GITs and JFETs. Si IGBTs present robustness and low conduction losses. The low on-resistance of SiC and GaN transistors allows them to compete in efficiency, and even surpass the limits of Si, however, they still exhibit problems to solve, especially the GaN transistors, which have already established themselves at low voltages, but are still hampered at high voltages.

Finally, the market of semiconductor manufacturers is studied in search of models, of which three are selected, a Si IGBT, SiC MOSFET and GaN HEMT. Their SPICE models are used in several simulations of three-phase inverters with space vector modulation in *LTSpice*. The IGBT has the highest losses, and the SiC MOSFET is the most efficient. New materials allow to obtain transistors with better characteristics, but at a considerably higher cost.

Keywords: Power Semiconductors, Gallium Nitride, Silicon Carbide, Traction Inverters, Electric Vehicles, LTSpice.

Contenidos

Glosario	6
Lista de figuras.....	8
Lista de tablas.....	10
Capítulo 1. Introducción.....	11
1.1 Contextualización	11
1.2 Justificación	12
1.2.1 Planteamiento del problema.....	12
1.2.2 Motivación.....	12
1.2.3 Objetivos.....	13
1.3 Estructura	13
Capítulo 2. Marco teórico.....	14
2.1 Semiconductores de potencia.....	14
2.2 Inversores de tracción en vehículos eléctricos.....	16
2.2.1 Tipos de modulación en un inversor y modulación vectorial	17
2.2.2 Requerimientos para el inversor de tracción en EV	20
2.3 Semiconductores de silicio	23
2.4 Semiconductores de carburo de silicio	23
2.4.1 JFET de SiC	24
2.4.2 MOSFET de SiC.....	26
2.5 Semiconductores de nitruro de galio	27
2.5.1 HEMT de GaN	28
2.5.2 CAVET de GaN	30
2.5.3 MOSFET de GaN	31
2.5.4 GIT de GaN.....	31
2.5.5 JFET de GaN.....	32
2.6 Resumen de la comparativa teórica.....	33
Capítulo 3. Desarrollo.....	34
3.1 Modelos comerciales.....	34
3.2 Elección de modelos para la simulación.....	35
3.3 Simulación en LTSpice	38
3.3.1 Simulaciones de potencia y calentamiento en un solo transistor del inversor	39

3.3.2 Simulación del calentamiento y eficiencia del inversor completo.....	43
3.3.3 Pruebas térmicas	44
3.4 Comparación económica.....	45
Capítulo 4. Conclusiones	47
Capítulo 5. Planos.....	49
Capítulo 6. Pliego de condiciones.....	55
6.1 Objeto.....	55
6.2 Condiciones de simulación	55
6.2.1 Modelos utilizados	55
6.2.2 Parámetros de simulación.....	55
6.3 Condiciones de ejecución	56
6.4 Pruebas y ajustes finales	56
Capítulo 7. Presupuesto	57
Capítulo 8. Bibliografía	59
Anexo.....	62

Glosario

EV	Vehículos eléctricos
AC	Corriente alterna
DC	Corriente continua
Si	Silicio
SiC	Carburo de silicio
GaN	Nitruro de galio
FET	Transistor de efecto de campo
MOSFET	Transistor de efecto de campo metal-óxido-semiconductor
IGBT	Transistor bipolar de puerta aislada
BJT	Transistor de unión bipolar
V_{TH}	Tensión umbral o barrera de potencial eléctrico
<i>normally-off</i>	Normalmente apagado
<i>normally-on</i>	Normalmente encendido
f_{sw}	Frecuencia de conmutación
VSI	Inversor de fuente de voltaje
CSI	Inversor de fuente de corriente
PWM	Modulación por ancho de pulso
SPWM	Modulación por ancho de pulso senoidal
SVPWM	Modulación por ancho de pulso de espacio vectorial
V_{DSS}	Tensión de separación drenador-fuente máxima
I_D	Corriente de drenaje continua del transistor
I_C	Corriente del colector continua del IGBT
T_J	Temperatura en la unión del transistor
$R_{DS(on)}$	Resistencia entre el drenador y la fuente durante la conducción
R_θ	Resistencia térmica
$R_{\theta JC}$	Resistencia térmica de la unión del transistor a su encapsulado
$R_{\theta JA}$	Resistencia térmica de la unión del transistor al ambiente
Q_G	Carga en la puerta del transistor
SiO_2	Óxido de silicio
AlGaN	Nitruro de aluminio y galio

JFET	Transistor de efecto de campo de unión
HEMT	Transistor de alta movilidad de electrones
CAVET	Transistor vertical de apertura de corriente de electrones
GIT	Transistor de inyección en la puerta
2DEG	Capa de gas bidimensional de electrones
P_D	Potencia disipada en el transistor
V_{DC}	Tensión DC de entrada en el inversor.
R_m	Resistencia de la carga de una fase del inversor.
L_m	Inductancia de la carga de una fase del inversor.
R_G	Resistencia en la puerta del transistor (externa o interna)
T_c	Temperatura en el encapsulado del transistor
f_o	Frecuencia de la señal de salida del inversor
V_{DS}	Tensión instantánea entre el drenador y la fuente del transistor
V_{CE}	Tensión instantánea entre el colector y el emisor del IGBT
V_{GS}	Tensión instantánea entre la puerta y la fuente del transistor
V_{GE}	Tensión instantánea entre la puerta y el emisor del IGBT
i_G	Corriente instantánea en la puerta del transistor
i_D	Corriente de drenaje instantánea del transistor
i_c	Corriente instantánea en el colector del IGBT
V_{diodo}	Tensión instantánea entre los dos terminales del diodo
i_{diodo}	Corriente instantánea en el diodo

Lista de figuras

- Figura 1.1. Gráfico de una onda cuadrada de 1 Hz y 1 de amplitud formada por sus seis primeros armónicos.
- Figura 2.1. Vista transversal de la estructura de un MOSFET de silicio.
- Figura 2.2. Vista transversal de la estructura de un IGBT de silicio.
- Figura 2.3. Esquema general de un inversor trifásico típico para el motor de un EV.
- Figura 2.4. Gráficos del aspecto típico de las señales en tres sectores del control de campo orientado: a) al ser medidas en el motor, b) tras la transformada de Clarke, y c) tras la transformada de Park.
- Figura 2.5. Diagrama de bloques del control de campo orientado con modulación SVPWM.
- Figura 2.6. Diagrama estrellado formado por los vectores de conmutación del inversor y un ejemplo de vector de referencia.
- Figura 2.7. Gráficos de las tensiones de las señales SVPWM en *LTSpice*. Arriba las senoidales de referencia, abajo las señales modificadas y offset que las provoca.
- Figura 2.8. Operación básica del JFET.
- Figura 2.9. Configuración típica de un JFET en cascodo con un MOSFET de Si.
- Figura 2.10. Vista transversal de la estructura básica de un HEMT de GaN.
- Figura 2.11. Vista transversal de la estructura de un CAJET de GaN.
- Figura 2.12. Vista transversal de la operación de un HD-GIT. La inyección de huecos desde el p-GaN adicional junto al drenador compensa la captura de electrones en la epicapa en estado apagado.
- Figura 2.13. Vista transversal de JFET de GaN. (A) *normally-off* VC-JFET, (B) LC-JFET.
- Figura 3.1. Circuito en *LTSpice* controlador de un inversor trifásico usando la modulación SVPWM.
- Figura 3.2. Inversor trifásico en *LTSpice*, en este caso usando el GS-065-060-5-B-A.
- Figura 3.3. Gráfico en *LTSpice* de la salida del inversor, usando el GS-065-060-5-B-A, y con modulación SVPWM. Arriba la tensión entre la primera fase y el neutro (V_{an}) (tensión en la carga de la primera fase), en el centro la tensión entre la primera y la segunda fase (V_{ab}), abajo las corrientes en cada una de las tres fases.
- Figura 3.4. Gráficos en *LTSpice* de T_j de S_1 durante la quinta prueba. El inversor del gráfico de arriba es el de MOSFET de SiC, y el de abajo el de HEMT de GaN.
- Figura 3.5. Gráficos en *LTSpice* en cada uno de los tres inversores de una conmutación en S_1 , siendo la traza verde la tensión en la puerta de S_1 , la azul la de la puerta de S_2 (el transistor de abajo), y la roja la corriente por el drenador o colector. Arriba el inversor de Si, en el centro el de SiC, y abajo el de GaN.

- Figura 3.6. Gráfico en LTSpice de T_J en cada transistor del inversor basado en GaN. S_1 en verde, S_2 en azul oscuro, S_3 en rojo, S_4 en azul claro, S_5 en rosa, S_6 en gris.
- Figura 3.7. Prueba térmica en *LTSpice*, cada transistor con su circuito propio, y 25 °C en los encapsulados.
- Figura 3.8. Gráficos en *LTSpice* de T_J los primeros 20 ms en el IGBT de Si (verde), el MOSFET de SiC (azul) y el HEMT de GaN (rojo).

Lista de tablas

- Tabla 2.1. Vectores de conmutación del inversor con modulación SVPWM.
- Tabla 2.2. Resumen de los requisitos principales de los transistores en inversores de tracción.
- Tabla 2.3. Comparación de las propiedades físicas del Si, GaN y SiC.
- Tabla 2.4. Resumen de las ventajas y desventajas de cada tecnología.
- Tabla 3.1. Lista de modelos comerciales junto con algunas propiedades importantes.
- Tabla 3.2. Transistores escogidos y características obtenidas de sus respectivas *datasheet*.
- Tabla 3.3. Valores de la simulación realizada en *LTSpice* del inversor trifásico.
- Tabla 3.4. Potencia disipada y T_J máxima alcanzada por S_1 en siete simulaciones para cada uno de los tres inversores.
- Tabla 3.5. Resultados del inversor de cada tecnología, eficiencia del inversor y T_J máxima alcanzada en algún transistor.
- Tabla 7.1. Coste de la mano de obra.
- Tabla 7.2. Coste de amortización de los materiales.
- Tabla 7.3. Coste de amortización del software.
- Tabla 7.4. Presupuesto total.

Capítulo 1. Introducción

1.1 Contextualización

En la actualidad, el uso de vehículos eléctricos (*electric vehicles, EV*) es cada vez mayor. Lo que define a estos aparatos es el uso de motores eléctricos, los cuales generalmente son motores de tracción. De estos hay varios tipos, pero lo que tienen la mayoría de los usados en automóviles en común es que funcionan con corriente alterna (*alternate current, AC*), normalmente trifásica [1].

Por otra parte, puesto que estos motores son eléctricos, necesitan una batería, las que usan los EV son llamadas baterías de tracción. Puesto que las baterías producen corriente continua (*direct current, DC*), para ser aplicada a los motores, la corriente debe convertirse de DC a AC. Para ello, se emplea un convertidor electrónico de potencia conocido en los EV como el inversor de tracción.

El funcionamiento del inversor está basado en la conexión y desconexión (conmutación) a alta frecuencia de semiconductores de potencia, de tal forma que, con el control electrónico adecuado, es posible generar una señal alterna de tensión, corriente y frecuencia controlables. En función de la técnica de control empleada, la onda alterna de salida puede ser cuadrada, o formada por pulsos de anchura variable. Con el adecuado filtrado se puede lograr obtener señales de salida alternas senoidales.

La obtención mediante filtrado de una señal alterna senoidal se basa en el teorema de Fourier. Cualquier señal periódica puede descomponerse en una suma infinita de componentes senoidales de frecuencias múltiplo de la frecuencia original de la señal. Conociendo las componentes de la señal se puede diseñar el/los filtros adecuados para eliminar las componentes no deseadas. La figura 1.1 muestra las principales componentes de una onda cuadrada y cómo su suma recompone la onda cuadrada original. Cuantas más componentes se incluyan más perfecta será la onda cuadrada obtenida.

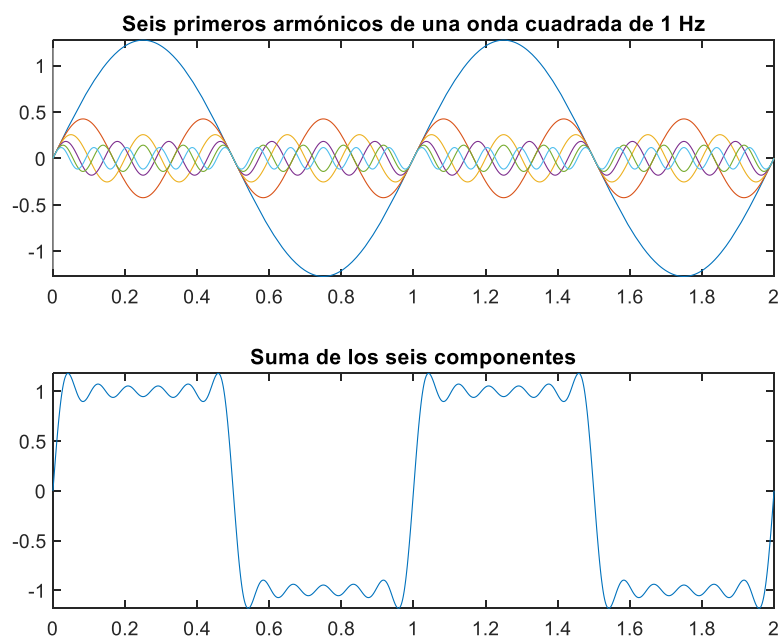


Figura 1.1. Gráfico de una onda cuadrada de 1 Hz y 1 unidad de amplitud formada por sus seis primeros armónicos.

Los interruptores empleados en los inversores de potencia, normalmente transistores, son fabricados con distintos materiales semiconductores. El semiconductor más usado es el silicio (Si), el cual tiene las ventajas de ser muy abundante y tener cuatro electrones en la capa de valencia, lo que le permite perder o ganar electrones con la misma facilidad, por lo que es sencillo de dopar tanto a semiconductor tipo N como a tipo P. El silicio ha sido el material más usado por la industria durante mucho tiempo. Sin embargo, hay otras alternativas, como el germanio, arseniuro de galio, nitruro de galio y carburo de silicio, que pueden superar al silicio en según qué aplicaciones.

1.2 Justificación

1.2.1 Planteamiento del problema

Los inversores de tracción para EV requieren semiconductores de potencia capaces de soportar altas tensiones y corrientes, y conmutar a frecuencias razonables. Todos los transistores sufren pérdidas en forma de potencia disipada al operar, y esto afecta a la eficiencia del inversor. En la actualidad, un factor crítico en los EV es lograr el mayor aprovechamiento posible de la energía disponible en las baterías. Para ello, se trata de maximizar el ahorro energético, y esto conlleva llevar la energía al motor con las mínimas pérdidas posibles.

Para esto, hacen falta transistores con la máxima eficiencia posible, además de la fiabilidad que exige una aplicación como la automoción. Tras ser usado durante mucho tiempo, el silicio está cerca ya de los límites físicos de eficiencia que puede ofrecer. Además, como se explicará en el marco teórico, una tecnología que permitiera mayor frecuencia de conmutación no solo disminuiría las pérdidas, también el tamaño del inversor.

Dos tecnologías de semiconductores de banda ancha relativamente novedosas, el carburo de silicio (SiC) y el nitruro de galio (GaN) presentan algunas características beneficiosas para este tipo de aplicaciones. Sin embargo, mientras que los transistores de silicio más aptos para esta aplicación son los IGBT, en el caso de estas nuevas tecnologías aún se están probando distintos tipos de transistores, sin tener un consenso sobre qué arquitectura de semiconductor es la más adecuada para los materiales, ni si son mejores que los de silicio para este uso.

1.2.2 Motivación

A la hora de realizar este TFG, ha habido dos motivaciones distintas. En primer lugar, se deseaba hacer una síntesis de aspectos teóricos u otras comparativas ya realizadas sobre el tema, especialmente de unificar los avances de las dos nuevas tecnologías en un solo trabajo. En segundo lugar, se deseaba comprobar de forma práctica la viabilidad de los transistores fabricados con los nuevos materiales, mediante una simulación que permitiera modificar las condiciones de operación y ver los efectos en estos.

Este TFG se ha realizado también por interés académico, puesto que el tema es actual y práctico. El trabajo desarrollado podría resultar de interés por ser una síntesis del estado en que se encuentran las tecnologías de semiconductores de nitruro de galio y carburo de silicio, y de si son hoy en día una alternativa factible a los de silicio.

1.2.3 Objetivos

El objetivo principal de este TFG es identificar las principales ventajas y desventajas de las tecnologías más novedosas (SiC y GaN) frente a los tradicionales semiconductores de silicio, para su uso en inversores de tracción de EV. Para alcanzarlo, se han propuesto los siguientes objetivos:

- Examinar los requerimientos de los semiconductores de potencia para su empleo en inversores de tracción eléctrica.
- Detallar el estado de las tres tecnologías de semiconductores en esta aplicación.
- Estudiar el mercado actual para encontrar fabricantes y modelos de semiconductores de las tres tecnologías, adecuados a las especificaciones requeridas.
- Obtener de los fabricantes modelos de simulación SPICE de diferentes componentes para implementar la simulación de un inversor de potencia con cada una de las tres tecnologías.
- Analizar los resultados de simulación obtenidos comparando características de eficiencia, pérdidas y calentamiento de cada tecnología.

1.3 Estructura

En este apartado se explica la estructura del TFG y la metodología que se ha llevado a cabo. El trabajo es en su mayoría de tipo teórico, pero al tratar un tema práctico, se le ha dado un enfoque experimental, especialmente en el capítulo del desarrollo. Está constituido por cinco capítulos. El primero es la introducción del TFG, siendo este su apartado final. En él se explica el entorno en que se sitúa el TFG, se plantea la cuestión, y la causa y finalidad de este estudio.

Lo sigue el capítulo 2, que hace de revisión bibliográfica, engloba todo el análisis sobre los requerimientos de los inversores de tracción, las tres tecnologías, y en qué estado se encuentra cada una de ellas. De cada tecnología, se examinan los tipos de arquitectura de transistor más utilizados y prometedores.

Después, se procede al desarrollo. En él, inicialmente, se realiza una búsqueda de modelos comerciales según las características deseadas. Se incluye este apartado porque se considera interesante, a la hora de estudiar el estado de la cuestión, ver qué semiconductores se están vendiendo *de facto* de cada tecnología. En segundo lugar, se seleccionan tres modelos, uno de cada material, que dispongan de modelo SPICE funcional. Se llevan a término una serie de pruebas, y se comparan los resultados. Se acaba este capítulo con una comparativa de tipo económico.

Finalmente, en el cuarto capítulo se concluye el trabajo, con una síntesis tanto de la parte teórica como práctica. Tras esto, el quinto capítulo incluye los planos de los circuitos utilizados en la simulación, el sexto el pliego de condiciones y el séptimo el presupuesto del TFG. El tipo de trabajo realizado hace que estos tres apartados sean relativamente breves, aun así, se han trabajado de forma exhaustiva y se han incluido. El octavo y último capítulo recoge todas las referencias bibliográficas, y el anexo las *datasheet* de los transistores utilizados, primero la del AFGHL50T65SQD, luego la del C3M0025065K y después la del GS-065-060-5-B-A.

Capítulo 2. Marco teórico

2.1 Semiconductores de potencia

Los semiconductores son elementos que se comportan, o bien como conductor, o bien como aislante, dependiendo de las circunstancias. Las formas más comunes de controlar la conductividad son a través de la temperatura y el dopaje. De forma ideal, funcionan como un interruptor abierto o cerrado, controlado por una situación externa, como un campo magnético o eléctrico.

Hay muchos tipos de semiconductores, no solo según la forma en que se activan, sino también según sus propiedades, que cambian dependiendo del material que los constituye. La característica primordial es que los semiconductores son usados para amplificar o conmutar señales eléctricas.

En general, para permitir que ciertos materiales semiconductores puedan controlar la conducción de la corriente a temperatura ambiente, se les introducen átomos de otros elementos, llamados impurezas. Este proceso se denomina dopaje, y permite cambiar las propiedades eléctricas de estos materiales. Si se agrega una cantidad minúscula de átomos dopantes (en el orden de uno cada cien millones de átomos) se le llama dopaje bajo o ligero. Si se agregan muchos más átomos (uno cada diez mil átomos) entonces el dopaje es alto o pesado. Cuando se introducen como impurezas materiales con exceso de electrones en la capa de valencia, se obtiene un semiconductor tipo N. En cambio, si se introducen materiales con exceso de cargas positivas (falta de electrones), se obtiene un semiconductor tipo P. Cuando el dopaje es pesado, se usa la nomenclatura N+ para material tipo N, y P+ para material tipo P [2].

A partir de estos semiconductores se fabrican transistores, que son dispositivos que entregan una señal de salida en respuesta de una señal de entrada. Los transistores pueden ser unipolares o bipolares. El unipolar, llamado *field-effect transistor* (FET) es controlado aplicando tensión entre los terminales de puerta y fuente. El bipolar, por otro lado, es regulado por la corriente inyectada en su base.

En el caso de los transistores MOSFET (*Metal Oxide Semiconductor field-effect transistor*), se aplica tensión en la puerta para permitir o no el paso de corriente entre el drenador y la fuente. Si la tensión en la entrada es menor que la tensión umbral, V_{TH} , están apagados, y funcionan como un interruptor abierto. Si es mayor que la tensión umbral, actúan como un interruptor cerrado. La estructura de los MOSFET se puede ver en la figura 2.1.

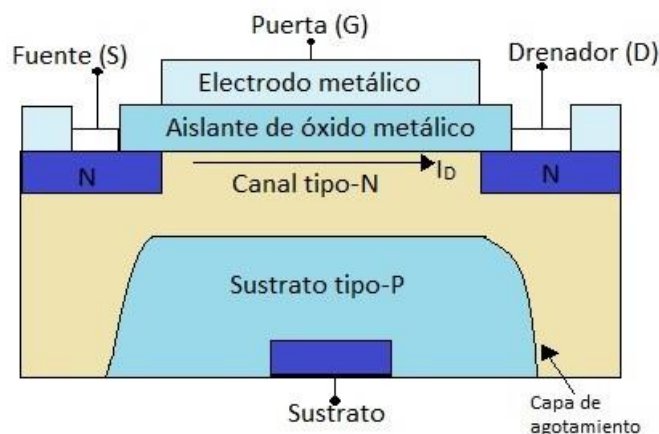


Figura 2.1. Vista transversal de la estructura de un MOSFET de silicio.

Los MOSFET tienen un cuarto terminal, que está conectado al sustrato. El sustrato o cuerpo (*body*, B) es un sólido semiconductor sobre el que se construye el transistor, y puede ser también tipo N o tipo P, las propiedades del dispositivo cambian en cada caso.

Los transistores de potencia, usados en los inversores de tracción para EV, difieren de los normales en poder soportar mayor densidad de potencia, o sea, mayores tensiones y corrientes. Los MOSFET presentan bajas pérdidas de conmutación, por lo que pueden soportar altas frecuencias de conmutación, sin embargo, sus pérdidas de conducción son mayores. Esto hace que sean más adecuados en aplicaciones de baja potencia; usando silicio, en alta potencia son más convenientes los *Insulated Gate Bipolar Transistor* (IGBT).

Estos son muy parecidos a los MOSFET, tienen un circuito de excitación similar, pero sus características de conducción son como las de un transistor de unión bipolar (*bipolar junction transistor*, BJT). Tienen menores pérdidas de conducción, pero más de conmutación. Esto hace que sean adecuados para altas tensiones y corrientes, pero a frecuencias relativamente bajas. En la figura 2.2 se puede apreciar la estructura del IGBT.

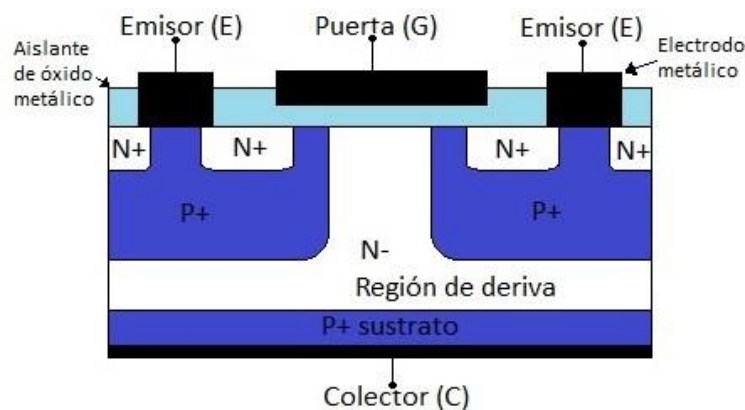


Figura 2.2. Vista transversal de la estructura de un IGBT de silicio.

Los IGBT tienen una capa adicional p+, la cual, mientras estos conducen, inyecta huecos a la capa n-, lo que reduce la caída de tensión durante la conducción, y de esta forma las pérdidas de conducción. Esta capa les impide conducir la corriente de modo inverso, por lo que no tienen un diodo intrínseco [3].

En aplicaciones como inversores de tracción, los transistores requieren un camino para la corriente de retorno. Para esto, se usa un diodo en antiparalelo, conectado entre el drenador y la fuente o el colector y el emisor. En el caso de los MOSFET, tienen un diodo intrínseco en su estructura, lo que se llama diodo de cuerpo. El problema es que pese a ser externo, el diodo antiparalelo que usan los IGBT suele tener mejores prestaciones, así que a menudo se añade al MOSFET un diodo mejor que el suyo intrínseco.

Cabe mencionar otra clasificación de los transistores, según su modo de funcionamiento: el tipo *enhancement mode* y el *depletion mode*. Los de tipo *enhancement mode*, o *normally-off*, no conducen si hay 0 V en la puerta, y para conducir necesitan que se aplique una tensión positiva. En cambio, los *depletion mode*, o *normally-on*, conducen con 0 V, y necesitan una tensión negativa en la puerta para dejar de conducir. El tipo *normally-off* es preferido normalmente, debido a que es un tipo más a prueba de fallos.

Para ser usados en inversores u otros convertidores, ciertas propiedades de los transistores pueden jugar un papel clave, como la frecuencia de conmutación (f_{sw}) máxima, que es la velocidad máxima a la que pueden encenderse o apagarse, o V_{TH} , que debe ser mínimamente alto para que haya margen contra el ruido, en el apartado 2.2.2 se exponen estas características.

2.2 Inversores de tracción en vehículos eléctricos

Los inversores de tracción presentes en los EV son los encargados de convertir la corriente continua proporcionada por la batería de alto voltaje en corriente alterna, normalmente en tres fases (trifásica), requerida por el motor eléctrico para producir el par necesario para mover el vehículo. El rendimiento eléctrico del inversor tiene un impacto significativo en la aceleración del vehículo y la autonomía.

La topología del circuito del inversor de tracción se decide en base del tipo de devanado del motor de tracción. Para devanados abiertos con seis terminales fuera, se prefiere la topología del doble inversor. En caso de motores de reluctancia conmutados, se utiliza inversores de tipo puente asimétrico. Para motores de tracción de AC, el inversor de tracción trifásico clásico de tres ramas y tres hilos (3B3W) es adecuado [1].

En este proyecto se opta para las simulaciones por el último nombrado, el tipo más típico, por ser el más popular y versátil. Por otro lado, los inversores también se pueden diferenciar según el tipo de alimentación; pueden ser VSI (*Voltage Supply Inverter*) o CSI (*Current Supply Inverter*). En este caso, se trabaja con el tipo VSI, ya que permite diseños más eficientes, puesto que los CSI usan tiristores IGCT (*Integrated Gate-Commutated Thyristor*) y GTO (*Gate Turn-Off Thyristor*), mientras que los VSI usan IGBT (y MOSFET con las nuevas tecnologías), que son más eficientes que los tiristores.

Los inversores de tracción actuales funcionan con sistemas de baterías de 400 V, y más recientemente, con diseños de 800 V. Con corrientes de 300 A o mayores, un dispositivo alimentado por un sistema de baterías de 800 V es capaz de entregar más de 200 kW de potencia. Al mismo tiempo que la potencia ha aumentado, el tamaño de los inversores ha disminuido, lo que ha incrementado de forma importante la densidad de potencia.

Los EV con sistemas de baterías de 400 V requieren inversores de tracción con semiconductores clasificados en el rango de 600 a 750 V, y los EV de 800 V requieren semiconductores clasificados en el rango de 900 a 1200 V. Además, deben ser capaces de manejar picos de corriente de más de 500 A durante 30 s y un máximo de 1600 A durante 1 ms. Los transistores tienen que ser capaces de manejar estas cargas mientras mantienen la alta eficiencia del inversor de tracción [4].

Un inversor de tracción normalmente consta de tres semipuentes o semiramas (con interruptores del lado alto y del bajo), una rama para cada fase del motor, con circuitos de disparo que controlan la conmutación de cada transistor (figura 2.3). Todo el conjunto debe estar aislado galvánicamente de los circuitos de baja tensión que alimentan el resto de los sistemas del EV.

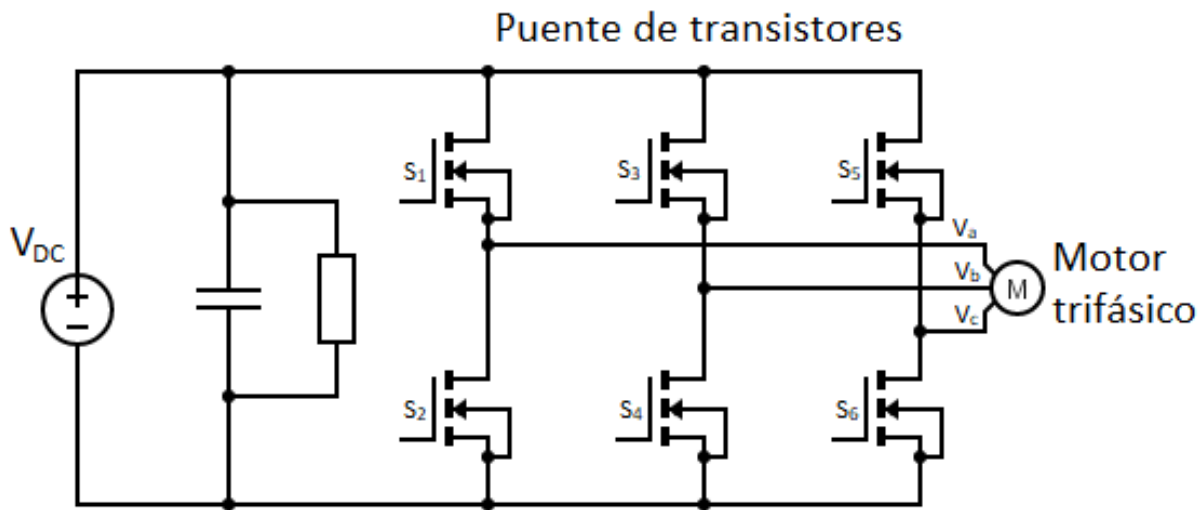


Figura 2.3. Esquema general de un inversor trifásico típico para el motor de un EV.

2.2.1 Tipos de modulación en un inversor y modulación vectorial

Los transistores del inversor pueden ser sometidos a distintos tipos de modulación. En este trabajo se usa modulación PWM (*Pulse Width Modulation*) de frecuencia fija, de la que hay varios tipos. Esta modulación es la más usada en inversores [5], puesto que permite conseguir la salida deseada, y mantenerla, incluso si hay cambios en la carga, gracias al control sobre la anchura de las señales rectangulares que genera el inversor al conmutar la tensión de entrada.

La modulación PWM senoidal (SPWM) resulta de dos señales de control. La señal moduladora, que es una señal senoidal de magnitud y fase variables, y la señal portadora, que es una onda triangular invariable. Al compararlas se obtiene la señal de control para una rama del inversor.

De la SPWM se pueden obtener el resto de las modulaciones. Si se le inyecta otra onda senoidal con una sexta parte de la amplitud, pero el triple de frecuencia que la señal moduladora se tiene modulación THIPWM (*Third Armonic Injection PWM*). En la modulación vectorial, llamada SVPWM (*Space Vector PWM*), se le inyecta una onda triangular de un cuarto de amplitud, pero el triple de frecuencia que la moduladora. Por último, en la DPWM (*Discontinuous PWM*) se inyectan dos señales en la moduladora, una senoidal y una cuadrada, las dos con una décima parte de la amplitud, pero el triple de frecuencia que la moduladora.

En general, las modulaciones THI y SVPWM permiten alcanzar mayores voltajes en la salida del inversor, mientras que la DPWM reduce las pérdidas por conmutación [3]. En el campo de los motores AC trifásicos, que son los que conciernen a este TFG, la modulación más usada es la vectorial (SVPWM), así que está es la que se explica a continuación.

Esta modulación es una técnica usada en la etapa final del control de campo orientado (*Field Oriented Control*, FOC), se basa en el hecho de que solo hay dos variables independientes en un sistema de tensión trifásico. La tensión trifásica puede ser representada por un vector de referencia que rota a una velocidad angular concreta.

Para ello, primero se miden dos de las tres corrientes de fase del motor y se introducen en una transformada de Clarke para convertir las de un sistema trifásico (i_a, i_b, i_c) a un sistema bidimensional ortogonal y estacionario (i_α, i_β), pasando a tener la forma de la figura 2.4. No es necesario medir las tres, ya que la suma de las dos primeras da el negativo de la tercera. Seguidamente, se aplica una

transformada de Park para convertirlo un sistema rotatorio de dos ejes (i_q, i_d), como se ve también en la figura.

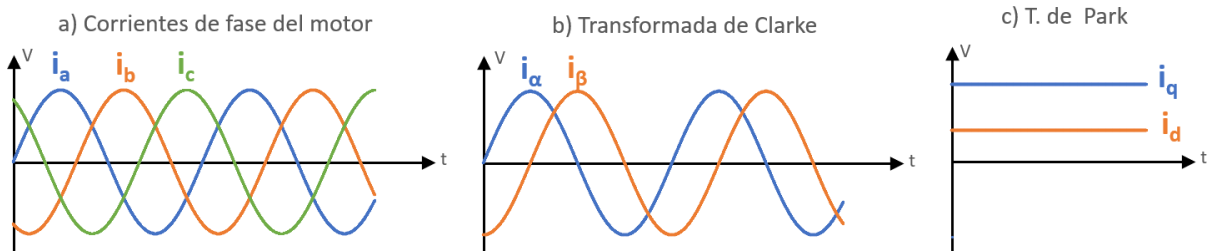


Figura 2.4. Gráficos del aspecto típico de las señales en tres sectores del control de campo orientado: a) al ser medidas en el motor, b) tras la transformada de Clarke, y c) tras la transformada de Park.

Después el par y el flujo de corriente del estator se controlan de forma independiente, normalmente con controladores proporcional e integral (PI). Se determinan los voltajes V_d y V_q con los controladores PI. A continuación, una transformada inversa de Park convierte el sistema rotatorio de dos ejes (V_{sqref}, V_{sdref}), de vuelta al sistema de dos ejes estacionario ($V_{sαref}, V_{sβref}$). Esto se puede apreciar en la figura 2.5 [6].

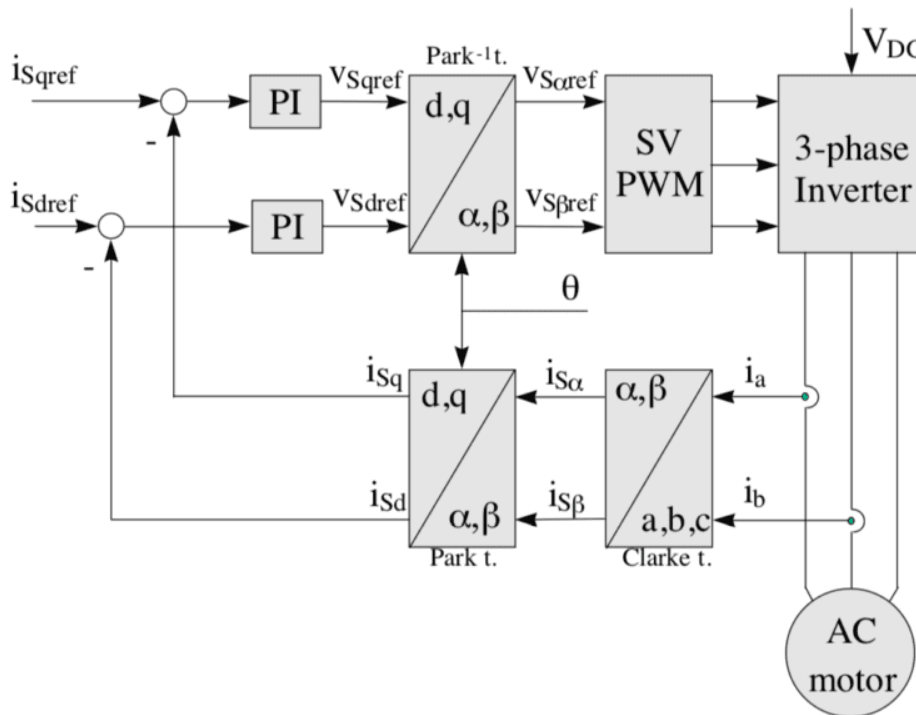


Figura 2.5. Diagrama de bloques del control de campo orientado con modulación SVPWM. Fuente: [6]

Estos componentes, que son los componentes del vector de voltaje de referencia (V_{ref}), son la entrada de la SPWM, la cual genera la salida trifásica del motor. El uso de esta modulación elimina la necesidad de usar la transformada inversa de Clarke para obtener los voltajes de salida trifásicos.

Este tipo de modulación usa las combinaciones de los estados de conmutación de los transistores para aproximar el vector de referencia a uno los ocho posibles estados de conmutación en que puede estar el inversor. Estos estados son representados por 2 vectores nulos (su valor es 0, son V_0 y V_7) y 6 vectores activos, son los mostrados en la tabla 2.1.

Vector	Estado	Transistores encendidos	$V_{ab} (V_{an} - V_{bn})$	$V_{bc} (V_{bn} - V_{cn})$	$V_{ca} (V_{cn} - V_{an})$
V_0	000	2, 4 y 6	0	0	0
V_1	100	1, 4 y 6	$+V_{DC}$	0	$-V_{DC}$
V_2	110	1, 3 y 6	0	$+V_{DC}$	$-V_{DC}$
V_3	010	2, 3 y 6	$-V_{DC}$	$+V_{DC}$	0
V_4	011	2, 3 y 5	$-V_{DC}$	0	$+V_{DC}$
V_5	001	2, 4 y 5	0	$-V_{DC}$	$+V_{DC}$
V_6	101	1, 4 y 5	$+V_{DC}$	$-V_{DC}$	0
V_7	111	1, 3 y 5	0	0	0

Tabla 2.1. Vectores de conmutación del inversor con modulación SVPWM.

Puesto que la fuente de continua nunca se debe cortocircuitar y nunca se deben dejar las inductancias abiertas en el lado del circuito del motor, en cada rama siempre debe haber un transistor encendido y otro apagado. Es por eso que solo hay tres dígitos en la columna de estado, los cuales se refieren a los transistores de arriba de cada rama (S_1 , S_3 y S_5), los de abajo siempre estarán en el estado contrario, por ejemplo, si S_1 está encendido, su estado es 1, y S_2 tiene que estar apagado.

En la figura 2.6 se pueden observar los vectores de conmutación y un vector de voltaje de referencia cualquiera. Los vectores nulos (V_0 y V_7) están situados en el centro del diagrama estrellado. El objetivo del SVPWM es generar un vector promedio durante el periodo PWM que sea igual al vector de voltaje de referencia deseado. Dependiendo de la posición del vector de referencia en el diagrama, los vectores activos que lo limitan, junto con los vectores nulos, son usados para sintetizar el voltaje deseado. Esto se hace aplicando V_1 durante un tiempo concreto (T_1), V_6 durante otro (T_6) y el vector nulo durante el tiempo necesario (T_0) para proporcionar un vector resultante igual a V_{ref} [6].

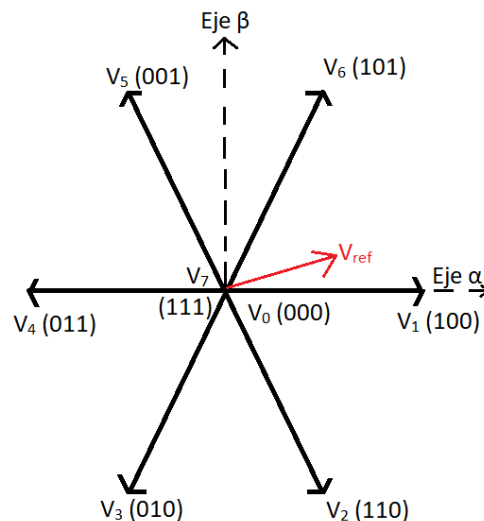


Figura 2.6. Diagrama estrellado formado por los vectores de conmutación del inversor y un ejemplo de vector de referencia.

Este método tiene otra ventaja, y es que, entre cada vector activo colindante, solo cambia un dígito, es decir, que entre dos vectores activos que encierran un vector de referencia solo hay que cambiar el estado en una rama, lo que disminuye las pérdidas de conmutación. Esta es la razón por la que se usan ambos estados nulos (111 y 000), para conmutar siempre solo un transistor de estado a estado.

La principal diferencia entre la SPWM y la SVPWM es la forma de onda que se compara con la señal triangular para la modulación. La SVPWM, en vez de comparar la señal triangular fija con una senoidal

pura, la compara con una señal modificada, la cual surge de lo siguiente: se toman los valores de las tres senoidales de referencia, y se suma el máximo de estos tres con el mínimo, y se divide entre dos. Este valor a lo largo del tiempo forma una onda triangular, que llamaremos *offset*, la cual se resta a cada senoidal de referencia, formando las tres señales modificadas que se comparan después con la triangular para modular cada una de las tres ramas del inversor. Se puede ver un ejemplo en la figura 2.7.

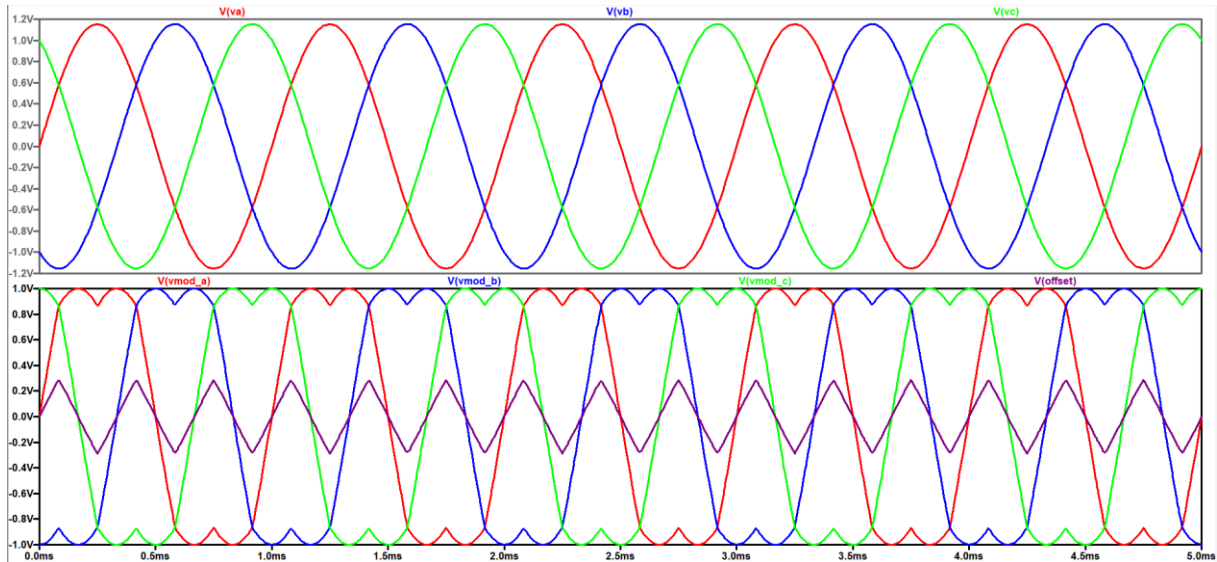


Figura 2.7. Gráficos de las tensiones de las señales SVPWM en LTSpice. Arriba las senoidales de referencia, abajo las señales modificadas y *offset* que las provoca.

La razón por la que se genera esta onda modificada es que esta aprovecha mejor la fuente de tensión DC. En cada momento, la diferencia de tensión entre rama y rama es lo verdaderamente importante en el motor. Si se aumenta la amplitud de las senoidales, la diferencia de tensión aumenta, pero las ondas se salen de los límites de tensión en sus picos. Sin embargo, si se resta la parte de cada señal que se sale de los límites en cada momento y se suma a las otras dos ondas, se logra tenerlas dentro de los límites permitidos, a la vez que se sigue manteniendo esa mayor tensión de salida.

2.2.2 Requerimientos para el inversor de tracción en EV

En este apartado se estudian los parámetros típicos que requieren los semiconductores usados en inversores de tracción actualmente, puesto que esa es la aplicación para la que se desea estudiar las tres tecnologías. Muchos factores se pueden tener en cuenta, pero sean los que sean, el objetivo principal es que con el transistor se pueda crear un inversor con la máxima eficiencia posible, al mismo tiempo que sea capaz de operar de forma segura y confiable.

Para empezar, los transistores se pueden clasificar según su tensión de separación drenador-fuente máxima (V_{DSS}), también llamada voltaje o tensión de ruptura. Este valor es el máximo voltaje que se puede aplicar entre los terminales de drenaje y de fuente del transistor mientras la puerta y la fuente están en cortocircuito (estando por lo tanto el transistor apagado).

La corriente de drenaje continua (I_D) es otro parámetro indispensable, el cual define la corriente de conducción a la que puede trabajar el transistor normalmente. En cambio, otros parámetros como la corriente de drenaje pulsada (I_{DM}) o la corriente drenaje máxima definen la cantidad de corriente que puede recibir el transistor durante un periodo breve sin que sus parámetros sufran cambios.

La f_{sw} máxima suele ser bastante mayor que la que usan los inversores de tracción, así que no suele ser un parámetro decisivo a la hora de elegir transistor. Sin embargo, el hecho de que pueda trabajar a una f_{sw} mayor implica que sus pérdidas de conmutación serán menores, aspecto que sí es importante. Debe ser capaz de cambiar rápidamente de bloquear altos voltajes a conducir altas corrientes y viceversa, una y otra vez. El departamento de energía de los EEUU puso como especificaciones objetivo de la f_{sw} para EV entre 30 y 50 kHz [1].

El objetivo de cualquier transistor es conseguir la máxima eficiencia, sean cual sean los parámetros en los que opera. Para conseguir esto, el transistor debe disipar el mínimo de potencia posible, no solo para mejorar su rendimiento y ahorrar energía, sino porque, además, la potencia disipada calienta el dispositivo, pudiendo llegar a calentarlo a una temperatura en la unión (T_J) por encima de la máxima especificada por el fabricante, otra variable importante, ya que si el dispositivo la supera puede resultar dañado. Para disipar el mínimo de potencia posible, el transistor necesita la menor resistencia entre el drenador y la fuente durante la conducción ($R_{DS(on)}$) posible. Esta es una de las propiedades más competitivas, pues de ella depende directamente el rendimiento del inversor.

Como se ha mencionado anteriormente, es preferible que el transistor opere *normally-off*. Además, debe tener un V_{TH} suficientemente alto, para poseer inmunidad al ruido. Otro factor es su robustez, como puede ser su resiliencia a sobreimpulsos de voltaje, o su tolerancia a sobrecorrientes que se encuentran al producirse un cortocircuito. También debe tener bajas corrientes de fuga, para minimizar las pérdidas de potencia. Obviamente, factores como su volumen, su peso y su coste de fabricación son igualmente decisivos.

En el ámbito de robustez, una característica típica en los transistores para automoción es la calificación AEC-Q101. Este es un estándar global que define los requisitos mínimos de la prueba de esfuerzo para componentes electrónicos (discretos y activos, como diodos y transistores) usados en aplicaciones automotrices. Esta especificación determina que el dispositivo es capaz de pasar unas pruebas de estrés específicas, y operar en un rango de temperatura mínimo de -40 a 125 °C (en los transistores) y que, por lo tanto, se puede esperar cierta fiabilidad al usarlo en un automóvil.

A nivel térmico, la T_J máxima no es el único parámetro para tener en cuenta. El fabricante suele dar un rango de temperatura operativa, el cual suele ser más que suficiente en la mayoría de las aplicaciones; el problema es el calentamiento del transistor a causa de la potencia disipada que se ha comentado antes. Para evitar que el transistor se caliente por encima de su temperatura operativa máxima, además de tener la menor $R_{DS(on)}$ posible, el transistor requiere la menor resistencia térmica posible.

La resistencia térmica (R_θ), medida en °C/W, es la capacidad de un material de oponerse al flujo de temperatura. El calor se transmite por conducción, convección o radiación. El fabricante suele dar dos parámetros del transistor, la resistencia térmica de la unión al encapsulado ($R_{\theta JC}$) y la resistencia térmica de la unión al ambiente ($R_{\theta JA}$). Como $R_{\theta JC}$ es mucho menor que $R_{\theta JA}$, la mayoría de calor se disipa por allí. En otras palabras, los transistores, que generan calor al sufrir pérdidas, disipan la inmensa mayoría del calor por conducción, al estar adheridos por pasta térmica a un refrigerador. La convección y la radiación son despreciables en comparación.

La carga de recuperación inversa (*reverse recovery charge*, Q_{RR}) y la carga de la puerta (*gate charge*, Q_G) significan mayor eficiencia del transistor cuanto menores son. Q_{RR} , está asociada al diodo de cuerpo del MOSFET, y genera picos de corriente y pérdidas de eficiencia al conmutar el transistor. Q_G es la cantidad de carga que debe inyectarse en el electrodo de la puerta para encender el transistor. Si es

grande, llevará más tiempo cargar la cantidad necesaria para encender el transistor, aumentando las pérdidas de conmutación.

Los componentes pasivos (transformadores, bobinas, condensadores) y los disipadores de calor son la causa del tamaño y peso de los inversores de corriente. Si se aumenta la f_{sw} del inversor, los componentes pasivos requeridos son más pequeños. Sin embargo, a mayor f_{sw} , mayor disipación de potencia en los elementos de conmutación, sean MOSFET, IGBT, o cualquier otro tipo [7]. La tabla 2.2 es un resumen de los requisitos explicados en este apartado, teniendo en cuenta que se busca eficiencia y fiabilidad.

Valor debe ser mínimo	Valor debe ser suficientemente alto	Otras cualidades
Resistencia de conducción ($R_{DS(on)}$)	Tensión de ruptura (V_{DSS})	<i>Normally-off</i>
Resistencia térmica (R_{θ})	Corriente de drenaje (I_D, I_{DM})	Robustez
Carga de recuperación inversa (Q_{RR})	Frecuencia de conmutación (f_{sw})	AEC-Q101
Carga de la puerta (Q_G)	Temperatura máxima en la unión (T_J)	Control sencillo
Coste económico	Tensión umbral (V_{TH})	

Tabla 2.2. Resumen de los requisitos principales de los transistores en inversores de tracción.

Reducir el tamaño del inversor requiere, por lo tanto, reducir las pérdidas de potencia, si se quiere mantener los componentes a la misma temperatura, y además ahora se tiene menor área de superficie para extraer el calor. Al haber mayor densidad de potencia, se necesita aumentar no solo la f_{sw} , sino también la eficiencia.

Este desafío resulta dificultoso para los dispositivos de potencia de silicio, pero los semiconductores de potencia de banda ancha, como son el SiC y el GaN, son una alternativa viable. Tienen una capacitancia mucho menor, para una $R_{DS(on)}$ y un V_{DSS} comparables. Esto se debe a campos eléctricos de ruptura más altos (10 veces mayor para el GaN y el SiC comparado con el Si) y una mayor movilidad de electrones en el caso del GaN (33 % mayor comparado con el Si), lo que permite una reducción en el grosor de los dispositivos para un voltaje dado, y provoca una $R_{DS(on)}$ y una capacitancia más bajas al mismo tiempo. Esto es lo que les posibilita operar a f_{sw} más altas con menores pérdidas que el silicio.

La tabla 2.3 es una comparación de algunas propiedades importantes del Si, GaN y SiC. Se puede ver que la conductividad térmica del GaN es inferior, aspecto en el que destaca el SiC, pero en general se pueden apreciar características superiores con los nuevos materiales respecto al silicio.

	Si	SiC	GaN
Banda prohibida (eV)	1.12	3.26	3.45
Punto de fusión (°C)	150	760	800
Conductividad térmica (W/m·K)	1.5	4.9	1.3
Campo eléctrico crítico (MV/cm)	0.3	3.2	3.5
Velocidad de saturación de electrones (10^7 cm/s)	1	2	2.5
Movilidad de electrones (cm^2/Vs)	1400	900	1800

Tabla 2.3. Comparación de las propiedades físicas del Si, GaN y SiC. Fuente: [8]

Un claro problema de los transistores de SiC y de GaN parece ser la robustez, menor que con los IGBT de Si. En caso de cortocircuito, el interruptor puede experimentar un aumento de 300-500 °C en unos μs , y se debe poder apagar de forma segura, debiendo poder ocurrir esto de 100 a 1000 veces sin

afectar a los parámetros del dispositivo. Los de SiC son más robustos en estas pruebas normalmente, ya que, al ser dispositivos verticales, absorben el calor en su volumen, en cambio, los de GaN, son dispositivos laterales, y se calienta su capa ultrafina donde está confinado el gas de electrones 2D (2DEG). Otro problema de los de GaN es el colapso de corriente de drenado: al aplicar un pulso en la puerta, la corriente de drenado, en vez de ser rectangular, tiene una subida exponencial (*current collapse*). Estos y otros problemas se desarrollan a continuación.

2.3 Semiconductores de silicio

Puesto que la industria de semiconductores de silicio está ya muy avanzada, sus transistores están ya cerca de sus límites teóricos. Por lo tanto, los MOSFET de silicio no pueden reducir mucho más su $R_{DS(on)}$, así que sus ventajas en conmutación no pueden equiparar sus pérdidas en conducción a estos niveles de potencia.

En la actualidad, los IGBT de silicio son los transistores más usados para los inversores de tracción de EV. Como se ha explicado antes, sus pérdidas de conmutación son mayores, y no pueden alcanzar f_{sw} tan altas, pero pueden operar a voltajes más altos y sus pérdidas de conducción son menores.

No solo son capaces de manejar altos voltajes y corrientes, también tienden a ser menos costosos que las alternativas con los otros materiales, razones por las que son la opción más popular en los inversores de tracción de EV. La desventaja de los IGBT respecto a los MOSFET, su limitación de f_{sw} máxima, ocurre debido a su corriente de cola (*tail current*) y a su apagado más lento.

Las altas f_{sw} de las últimas tecnologías de semiconductores permiten un elemento magnético más pequeño en otras aplicaciones de conversión de energía, compensado por algunas pérdidas de conmutación adicionales. Sin embargo, en los inversores de tracción el componente magnético es el motor, que está dimensionado para un par y una potencia determinada. En consecuencia, los IGBT conmutados a partir de 10 kHz son ampliamente utilizados, con su ventajosa robustez, bajas pérdidas por conducción y pérdidas dinámicas medianamente bajas [9].

En los EV de carretera, los IGBT se usan con mucha frecuencia en forma de módulos de alimentación de plástico, el cual puede ser una rama monofásica (con dos transistores) o un puente inversor completo (los seis). Estos módulos son preparados para resistir severos estreses ambientales asociados con esta aplicación. Por ejemplo, Ford requiere que los módulos IGBT sobrevivan más de 500,000 ciclos térmicos con una variación de temperatura de 40 °C, y 1,000 ciclos térmicos extremos de -40 °C a 125 °C [10].

La gran ventaja del silicio respecto a los otros dos materiales es el coste. En [11], por ejemplo, se comparan un inversor basado en SiC con uno basado en IGBT de Si. Pese a que el inversor de SiC es más eficiente, especialmente a cargas bajas, y por lo tanto su coste operativo es más bajo, su precio es considerablemente más alto.

2.4 Semiconductores de carburo de silicio

El carburo de silicio es un semiconductor compuesto formado por silicio y carbono. Ocurre en la naturaleza como un mineral raro llamado moissanita, pero se ha producido en masa desde el siglo XIX como abrasivo.

La tecnología de semiconductores de banda ancha basada en este material es más madura, aunque todavía está en una fase temprana de producción en masa. Esta tecnología puede ofrecer altos voltajes nominales, bajas caídas de tensión, altas temperaturas máximas y altas conductividades térmicas.

La mejora de calidad del material, junto con los esfuerzos de investigación y desarrollo en el diseño y la fabricación de dispositivos basados en SiC, por parte de varios grupos de investigación, es lo que ha provocado la comercialización de estos a gran escala. De todas formas, el mercado de los transistores de SiC aún se encuentra en una etapa inicial [12].

Por otro lado, el mercado de silicio está mucho más avanzado, y eso hace que los precios de componentes de SiC sean más caros que sus equivalentes de Si. Además, los valores nominales de tensión y corriente de los de SiC actuales los hacen inadecuados para potencias de cientos de kilovatios [12].

Actualmente, los transistores SiC disponibles suelen tener un voltaje nominal de 1200 V, o algunos hasta 1800 V, pero soportan solo varias decenas de amperios de forma continua. Esto hace que, para aplicaciones de alta potencia, a menudo se deban conectar varios en paralelo, se eleva así el coste respecto a los de silicio.

Una gran ventaja de los de SiC es su alta conductividad térmica, como se ha mostrado en la tabla 2.3, esto equivale a una T_J menor para una potencia disipada concreta. Esta propiedad se suma al hecho de que pueden soportar T_J máximas mayores que el silicio.

Con IGBT se ha conseguido hasta un 98 % de eficiencia, pero números aún mejores son posibles. Las pérdidas de conmutación residuales se pueden reducir con los MOSFET, pero típicamente, estos han tenido mayores pérdidas por conducción en niveles de potencia altos. Esto ocurre por su $R_{DS(on)}$, que disipa potencia que escala con el cuadrado de la corriente. Pero en el caso de los de SiC, al ser semiconductores de banda ancha y como se ha mencionado anteriormente, tener una tensión de ruptura mayor, por medio de reducir el grosor del dispositivo pueden tener una $R_{DS(on)}$ menor [9].

Los transistores de SiC más utilizados hoy en día son los MOSFET y los JFET. Aunque los JFET tienen una confiabilidad relativamente alta, por lo general muestran un funcionamiento *normally-on*. Por otro lado, aunque los MOSFET exhiben una operación *normally-off*, es fundamental mejorar la interfaz SiO₂/SiC [13].

Es por estos mismos problemas de interfaz, y por otros como la interferencia electromagnética y la capacidad de resistencia a cortocircuitos que, pese a que se están desarrollando también IGBT de SiC, todavía no es posible su utilización práctica [14].

También se han diseñado BJT de SiC, dispositivos *normally-off* que combinan baja caída de tensión durante la conducción y una conmutación bastante rápida. Estos dispositivos son controlados por corriente, por lo que se requiere una corriente en la base sustancial cuando el transistor conduce corriente del colector. Otro de sus problemas es que la ganancia de corriente es muy dependiente de la temperatura. Estos transistores tampoco se están usando de forma práctica, por lo que no se profundiza más sobre ellos en este trabajo.

2.4.1 JFET de SiC

Los *junction FET* (JFET) son similares a los MOSFET, pero presentan alguna diferencia. La primera de ellas es que siempre tienen tres terminales, al no tener terminal para el sustrato. La segunda es que operan *normally-on*, cuando los MOSFET pueden funcionar de los dos modos. Otra diferencia destacable es que su fabricación es algo más barata y sencilla, por ejemplo, a diferencia de los MOSFET, los JFET no tienen óxido metálico en su terminal de compuerta.

Como se puede apreciar en la figura 2.8, los JFET tienen dos uniones P-N entre las dos conexiones de la puerta y el canal drenador-fuente. Cuando no hay voltaje en la puerta, la conducción por el canal es

posible en ambas direcciones. Los JFET son dispositivos unipolares, lo cual significa que la corriente fluye debido a los portadores mayoritarios, que en el caso del semiconductor tipo-N, son los electrones libres. Las uniones P-N forman naturalmente una zona de vaciado de carga, es decir, sin portadores libres, y por lo tanto aislante. Si se aplica un voltaje negativo en las puertas mayor que cierto valor, la zona de vaciado se ensancha hasta el punto de que el canal deja de conducir (ocurre el *pinch-off*, las dos zonas de vaciado se tocan) [15].

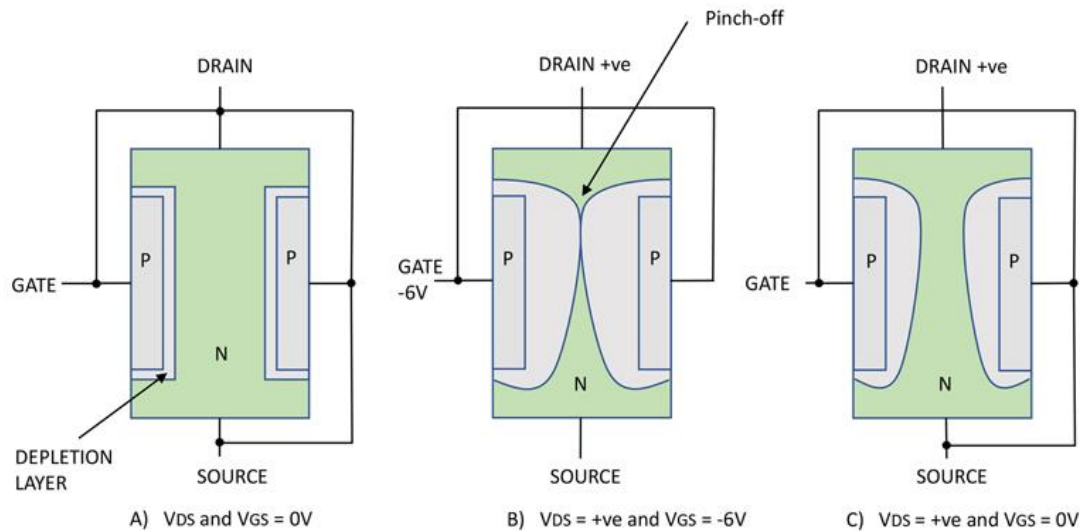


Figura 2.8. Operación básica del JFET. Fuente: [15]

Antes se han mencionado los problemas de robustez de los semiconductores de banda ancha. Cabe destacar pues, que los JFET de SiC son especialmente capaces de manejar de forma segura los cortocircuitos repetitivos con una compensación mínima en el tamaño del chip o en la $R_{DS(on)}$. Esto se debe a sus características intrínsecas, ya que, al ser un dispositivo de conducción por el sustrato, no tiene óxido en la puerta que se degrade, además, puede soportar picos de temperatura y campo eléctrico mayores que los MOSFET de SiC. Asimismo, la disminución de la conductancia del canal debido al autocalentamiento reduce la corriente del dispositivo, lo que ralentiza la velocidad de calentamiento y permite al dispositivo durar más antes de fallar [16].

El JFET de SiC tiene una limitación de corriente natural debido al efecto de *pinch-off*. Cuando la tensión entre el drenador y la fuente (V_{DS}) aumenta, las zonas de vaciado se ensanchan, y estrechan el canal de conducción. Llega un punto (*pinch-off*) en el que el canal se estrecha lo suficiente para cancelar el efecto de aumento de corriente por el aumento de V_{DS} , por encima de este punto, la corriente en el drenador prácticamente no aumenta, se dice que el transistor está en la "región de saturación".

Para conseguir las menores pérdidas de conducción posibles los JFET de SiC en cascodo pueden ser una alternativa viable. Son una combinación de cascodo de un JFET de SiC y un MOSFET de Si, se muestra un ejemplo en la figura 2.9. La baja energía de recuperación inversa del diodo intrínseco elimina la necesidad de un diodo antiparalelo externo, con lo que se ahorran costos [9].

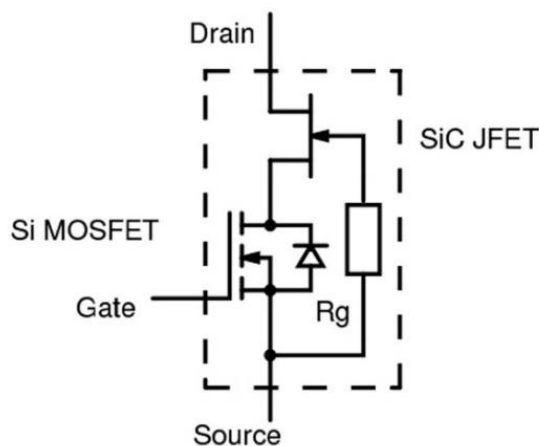


Figura 2.9. Configuración típica de un JFET en cascodo con un MOSFET de Si. Fuente: [15]

La razón por la que se usan los JFET en cascodo, en vez de usar simplemente JFET, es que combinarlos con un MOSFET de Si hace que el conjunto funcione *normally-off*, que es un modo preferible, ya que ofrece más condiciones de operación a prueba de fallas y simplicidad en los circuitos del controlador de compuerta [17].

El funcionamiento del dispositivo mostrado en la figura anterior es el siguiente. Con un voltaje en la puerta positivo, el MOSFET está encendido, y lleva la fuente del JFET a 0 V y enciende su puerta, que está a 0 V. En cambio, con 0 V en la puerta del MOSFET, la tensión en su drenador aumenta, y polariza inversamente la fuente-puerta del JFET, lo que lo apaga. La tensión del drenador del MOSFET solo sube hasta unos 10 V, por lo que puede ser un MOSFET de bajo voltaje y una $R_{DS(on)}$ mínima, despreciable si se compara con la del JFET, que sí será de alto voltaje. Se tiene como resultado un dispositivo *normally-off* con un control de puerta sencillo, alto voltaje y temperatura. Además, la capacitancia “Miller”, que ralentiza otros transistores como los MOSFET, está ausente aquí [15].

Una posible ventaja podría ser usar *normally-on* directamente en el lado bajo del puente, para que en caso de fallo los devanados del motor queden cortocircuitados, y se quede así la máquina en una condición segura.

2.4.2 MOSFET de SiC

En el caso del silicio, los MOSFET son inferiores a los IGBT para aplicaciones de alta tensión. Sin embargo, las propiedades superiores de los dispositivos de SiC, mencionadas anteriormente, como mayores tensiones de ruptura, temperaturas y frecuencias de conmutación, combinadas con menores $R_{DS(on)}$, hacen de los MOSFET de SiC una opción muy viable.

Pese a estas cualidades, se han comprobado nuevos desafíos para estos dispositivos. Según [18], se pueden hablar de modos de falla a nivel de chip y de paquete. Los modos de falla a nivel de chip están relacionados principalmente con el óxido en el terminal de la puerta y el diodo de cuerpo. El óxido de la puerta de los MOSFET de SiC tiene mayor probabilidad de ruptura dieléctrica dependiente del tiempo, de acuerdo con tres aspectos.

Primeramente, para lograr una resistencia de canal más baja normalmente se usa un campo eléctrico más alto. En segundo lugar, para encoger los sistemas de refrigeración, se prefiere el funcionamiento a temperaturas más altas. Por último, existe una corriente de túnel de *Fowler-Nordheim* más alta, debido a una compensación más pequeña de la banda de conducción entre el SiC y el SiO₂. Por otro lado, la falla del diodo de cuerpo se debe generalmente a errores de apilamiento.

Respecto a los modos de falla a nivel de paquete, la mayoría aparecen en los cables de unión y las capas de soldadura. Los cables de unión entre la matriz de SiC y la unión directa de cobre son menos fiables en comparación con los de los dispositivos de Si debido a una peor flexibilidad, provocada por una dureza diez veces mayor en el material de SiC. Además, tanto los cables de unión como las capas de soldadura en los dispositivos de SiC están más sujetos a la degradación termomecánica, causada por el desajuste del coeficiente de expansión térmica durante el funcionamiento a altas temperaturas. Todos estos fallos son esenciales para desarrollar modelos de vida útil de los componentes.

Comparado con los MOSFET de Si, los de SiC exhiben menor transconductancia, mayor resistencia interna, y el umbral de tensión en la puerta puede ser menor a 2 V. Esto hace que a veces la puerta deba estar a menos tensión que la tierra (unos -5 V) durante el estado apagado para asegurar una conmutación correcta. Además, una tensión en la puerta alta (hasta 20 V) debe ser aplicada para asegurar una $R_{DS(on)}$ baja [4]. Todo esto provoca que el control en la puerta sea muchas veces más complejo.

Aun cuando existen estos y otros problemas, los últimos años se han desarrollado e incluso comercializado MOSFET de SiC con muy buenas prestaciones. Aunque sean el tipo de transistores de SiC más nuevo, son el tipo que más está creciendo, habiendo ya empresas que los producen en masa. Además, recientemente los costes de estos han bajado [4].

Algunas de las razones de este crecimiento son las siguientes. Para comenzar, su funcionamiento *normally-off*. Seguidamente, sus similares características con los IGBT de Si, por ejemplo, tienen una carga en la puerta muy parecida, y se pueden utilizar con ellos los mismos controladores de puerta, lo que simplifica mucho la migración de Si a semiconductores de banda ancha. Por último, soportan f_{sw} muy altas, tienen un coeficiente de temperatura positivo (útil para poner dispositivos en paralelo) y una resistencia térmica muy baja [19].

2.5 Semiconductores de nitruro de galio

El nitruro de galio es un material usado para semiconductores de banda ancha, que ha demostrado tener unas características y rendimiento muy favorables. Esto incluye alta eficiencia, alta frecuencia de conmutación, excelente gestión térmica y pequeños tamaños.

Una de las propiedades más importantes de los transistores de GaN es su alta intensidad de campo eléctrico crítico, lo que le da un voltaje de ruptura mucho mayor que el de un transistor de silicio de tamaño similar. Esto permite que los semiconductores de GaN de un rango operativo de voltaje concreto se fabriquen usando estructuras mucho más pequeñas. Estas estructuras más pequeñas dan como resultado dispositivos con mucha menos capacitancia distribuida que pueden operar a f_{sw} más altas.

Otra de sus ventajas es la menor carga en la puerta y en la salida comparado con los dispositivos de Si (los de GaN tienen 5 nC-Ω en la salida, mientras que los de silicio 25 nC-Ω [7]). Esto les permite alcanzar tiempos de encendido y velocidades de respuesta mucho más rápidos, a la vez que reducen las pérdidas. En consecuencia, los inversores basados en GaN reducen tanto sus pérdidas de conmutación como las de conducción en aplicaciones de alta potencia.

En el campo de los EV, los inversores son solo típicamente tan bajos como 10 kHz, pero durante el 95 % del tiempo, el inversor de tracción está operando por debajo del 30 % de su carga completa nominal. A bajas cargas, las pérdidas de conmutación del inversor son más importantes que las de conducción [20].

Otra ventaja es que, a diferencia de los MOSFET de silicio y SiC, un transistor de GaN no tiene un diodo de cuerpo (*body diode*) intrínseco en su estructura, por lo que no tiene pérdidas de recuperación inversa (*reverse recovery losses*). Gracias a esto, nuevas arquitecturas de alta eficiencia, como la corrección del factor de potencia sin puente de tótem (*totem-pole bridgeless power-factor correction*), son ahora prácticas a varios kilovatios [7].

Una de las aplicaciones más grandes actualmente para los semiconductores GaN son los USB Power Delivery charger (USB-PD), donde se usan para fabricar cargadores con un 50 % más de eficiencia energética que los de silicio.

En el campo de los automóviles se trabaja especialmente para usar los transistores de GaN en convertidores de alto voltaje DC/DC (650 V/950 V), convertidores DC/DC 48 V/12 V, cargadores a bordo y LiDAR [21]. Las tecnologías basadas en GaN y SiC están demostrando ser bastante complementarias, con dispositivos GaN usados en aplicaciones de decenas a cientos de voltios, y los de SiC son más útiles en aplicaciones de más de un kilovoltio. A los 650 V, las pérdidas de conmutación de los de GaN son al menos tres veces menores que las de los de SiC [20].

2.5.1 HEMT de GaN

Así como los transistores de SiC son en su mayoría dispositivos verticales, los de GaN suelen ser laterales, aunque también se ha fabricado modelos verticales, pero suelen ser muy caros al usar sustratos como zafiro o GaN, en vez de silicio. Los *high electron mobility transistors* (HEMT) son dispositivos laterales formados por una capa de AlGaN y una de GaN, entre las que se forma una capa de gas bidimensional de electrones (2DEG) a causa de la polaridad del cristal. Esto es lo que provoca su alta movilidad de electrones [22].

Los HEMT, también conocidos como *Heterostructure FET* (HFET) de GaN presentan la estructura básica mostrada en la figura 2.10. Normalmente, hay ya un canal formado entre las dos capas, es por eso que este dispositivo es *normally-on*. Para apagarlo, es necesario aplicar una tensión negativa en la puerta.

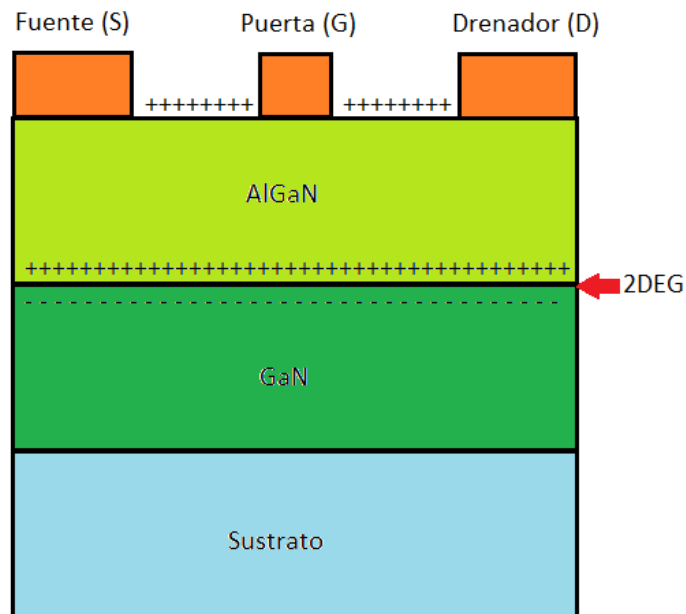


Figura 2.10. Vista transversal de la estructura básica de un HEMT de GaN.

El sustrato puede ser SiC, zafiro o silicio. Para depositar la capa de GaN sobre el sustrato, se debe depositar una capa amortiguadora que proporcione alivio de tensión entre el GaN y el sustrato. Esta capa amortiguadora (*buffer layer*) a menudo incluye varias capas delgadas de GaN, AlGaN y AlN.

El hecho de que sean dispositivos *normally-on* no es deseable, así que se han usado varios métodos para hacer HEMT de GaN *normally-off*. Uno de los más populares es usar la estructura cascodo, la cual combina un HEMT *normally-on* con un MOSFET de Si *normally-off* de bajo voltaje. Están conectados de tal manera que el voltaje de salida (drenador-fuente) del MOSFET determina el voltaje de entrada (puerta-fuente) del HEMT. Ambos comparten la misma corriente de canal cuando están encendidos y el voltaje de bloqueo se distribuye entre ellos cuando están apagados.

El rendimiento de conmutación del dispositivo cascodo depende especialmente de las inductancias parásitas en el paquete en el que están conectados los dos dispositivos, mediante enlaces por cable o en una arquitectura plana. También depende de lo bien que coinciden las capacitancias de unión de los dos. Si las inductancias son muy altas o las capacitancias no coinciden lo suficiente, las pérdidas de conmutación pueden aumentar considerablemente [22].

Otra forma para usar el HEMT como *normally-off* es modificar la puerta para cambiar la V_{TH} positivamente y convertir el dispositivo en *normally-off* directamente. Se intenta esto con varios métodos. Uno de ellos consiste en realizar un ataque húmedo y definir el área a eliminar mediante técnicas de litografía con el objetivo eliminar de forma selectiva la capa de AlGaN. Si se ataca demasiado tiempo, se elimina por completo, quitando así el canal 2DEG, lo cual elimina la alta movilidad de electrones. Pero si se elimina un tiempo insuficiente, se obtienen V_{TH} demasiado bajos [23]. Uno de estos dispositivos es el llamado MIS-FET (*metal insulator semiconductor FET*), donde se reemplaza la capa suprimida con una capa dieléctrica aislante. Este proceso en general suele ser muy complejo.

Aun así, recientemente se han conseguido MOS-HEMT híbridos que funcionan *normally-off*. En [24] se fabricó uno aplicando una técnica de crecimiento epitaxial de área selectiva (SAG) al canal del MOS-HFET híbrido AlGaN/GaN en Si para disminuir la resistencia del canal, consiguiendo un V_{TH} de 3.7 V y una $R_{DS(on)}$ de $7.6 \text{ m}\Omega\cdot\text{cm}^2$, con un voltaje de ruptura mayor que 800 V.

Un problema que presentan los HEMT *normally-on* es la $R_{DS(on)}$ dinámica o problema de colapso de corriente. Este es un fenómeno que incrementa la $R_{DS(on)}$ dinámica del canal temporalmente, al disminuir la corriente de drenaje de salida cuando se aplica una polarización de alto voltaje, durante un proceso de conmutación de alta velocidad. El colapso de corriente se debe a los electrones atrapados en los defectos de la superficie durante el estado apagado, que se “desatrapan” lentamente en el estado encendido [25].

Para mitigar este problema, se usan técnicas como la pasivación superficial, para modificar los defectos superficiales, o placas de campo, para moderar el campo eléctrico en la región drenaje-puerta. Además, se puede suprimir este efecto mediante iluminación ligera que manipule los defectos de la superficie, y mediante recocido con vapor de agua a alta presión. Por otro lado, también se está trabajando en el rediseño de la estructura epitaxial piezoeléctrica de AlGaN/GaN para resolver esto, puesto que las trampas superficiales se originan a partir de esta [25].

Estos defectos en la superficie también impiden a los transistores de GaN alcanzar la V_{DSS} que deberían poder obtener según los límites de sus propiedades intrínsecas. Esto es debido a que son dispositivos laterales, así que la tensión de bloqueo entre el drenador y la fuente debe soportarse en el área del dispositivo, y no en el volumen del semiconductor, como ocurre con los dispositivos verticales [19].

Para los dispositivos de potencia que manejan altos voltajes, la corriente de fuga de la puerta debe minimizarse, preferiblemente con un aislador de puerta de alta calidad. En los de Si y SiC, el aislante es de dióxido de silicio (SiO_2). Por el contrario, el GaN carece de óxidos nativos prácticos y requiere de un proceso de depósito, lo que genera mayores problemas de calidad. Comúnmente se usan materiales de aislamiento como nitruro de silicio, óxido de aluminio, SiO_2 y óxido de hafnio. Los aislantes más delgados a menudo son insuficientes para suprimir las fugas, mientras que los más gruesos reducen la capacitancia y la transconductancia de la puerta. Las corrientes de fuga y la estabilidad a largo plazo siguen siendo problemas para los aisladores de puerta, que no solo afectan al rendimiento del transistor, sino que además reducen la confiabilidad de este [23].

Otro defecto que poseen actualmente los transistores de GaN de alta potencia es su inferior robustez frente a cortocircuitos. En estudios como [26] se analiza la capacidad de cortocircuito de las diferentes tecnologías de potencia, y así como los MOSFET de SiC tienen buena resistencia, los HEMT de GaN *normally-off* tienen la capacidad de aguante más baja. En [27] fallan a partir de los 350 V DC.

Por último, los dispositivos laterales de GaN sufren limitaciones de escala debido a que los electrodos de drenaje y fuente están intercalados en el nivel de la celda del transistor. Debido al fenómeno de apilamiento de corriente, la $R_{DS(on)}$ se deteriora al aumentar el tamaño del chip.

2.5.2 CAVET de GaN

El *current aperture vertical electron transistor* (CAVET), estructura del cual se puede apreciar en la figura 2.11, es un dispositivo vertical *normally-on*, y necesita la configuración de cascodo para funcionar *normally-off*. Estos dispositivos son adecuados para aplicaciones de alta potencia. Los CAVET de GaN son superiores a los de SiC tanto en tener menores pérdidas de conmutación como en alcanzar mayores velocidades de conmutación [8].

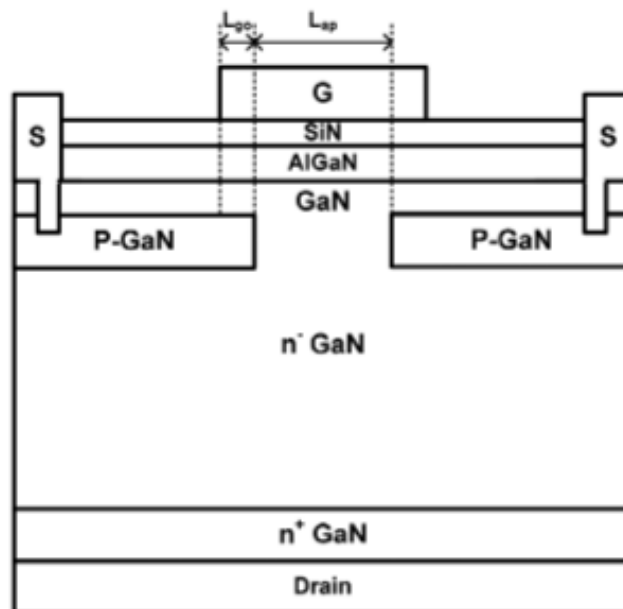


Figura 2.11. Vista transversal de la estructura de un CAVET de GaN. Fuente: [8]

Un problema de los CAVET es el mencionado anteriormente para los dispositivos verticales, su baja $R_{DS(on)}$ se ha conseguido usando GaN como sustrato, por lo que la producción en masa podría ser costosa.

2.5.3 MOSFET de GaN

El control del *slew rate* en los sistemas electrónicos es muy importante para obtener un funcionamiento seguro y reducir los ruidos de timbre. Para mejorar el *slew rate*, el control directo de la puerta del transistor GaN puede ayudar, algo que no se puede tener con la configuración de cascodo. Es por eso que dispositivos GaN directamente *normally-off* son también deseados en el mercado.

Los MOSFET de GaN en sustratos de zafiro presentan un problema de autocalentamiento, pero este puede ser aliviado usando SiC como sustrato. Además, se agrega una capa de amortiguamiento de AlN para resolver el desajuste de red entre el GaN y el SiC. Estas estructuras tienen un voltaje de umbral positivo, lo que permite el funcionamiento *normally-off*. Además, poseen baja corriente en estado apagado y alta transconductancia [8].

Los *trench* MOSFET verticales usan estructuras de compuerta MOS de trinchera, puesto que la implantación de iones p-GaN inmaduros es difícil de aplicar en la fabricación de dispositivos. Con estructuras de puerta MOS común, se logró ya en 2008 un V_{TH} de más de 3 V. También se logró un $R_{DS(on)}$ de menos de $2 \text{ m}\Omega\cdot\text{cm}^2$ y más de 20 A de operación en *trench* MOSFET en 2015 y 2016, respectivamente [28]. En [29] se demuestra un MOSFET vertical de GaN sobre silicio que posee una $R_{DS(on)}$ específica de solo $5 \text{ m}\Omega\cdot\text{cm}^2$ y un voltaje de ruptura de 520 V.

2.5.4 GIT de GaN

Los *gate injection transistor* (GIT) son otro de los métodos para hacer los dispositivos de GaN *normally-off*. Están fabricados en base a la modulación de conductividad. Se implementa una capa de GaN tipo-p entre la barrera de AlGaN y el electrodo de puerta. Con el dopaje y grosor de la capa p-GaN (capas de semiconductor de GaN tipo P) adecuados, suficientes cargas negativas en la capa de p-GaN podrían agotar la 2DEG que se encuentra debajo. Como la capa de p-GaN no se presenta en la región de acceso donde se conserva la 2DEG de alta densidad, se puede obtener una baja $R_{DS(on)}$ y una capacidad de conducción de alta corriente junto con la operación *normally-off* [30].

Los GIT *normally-off* tienen el mismo problema de $R_{DS(on)}$ dinámica que los HEMT, pero se propuso un GIT integrado de drenado híbrido (HD-GIT) en el que se cultiva una capa extra de p-GaN junto al electrodo drenador, como se muestra en la figura 2.12. Se obtuvo hasta los 850 V de operación la supresión del colapso de corriente [30].

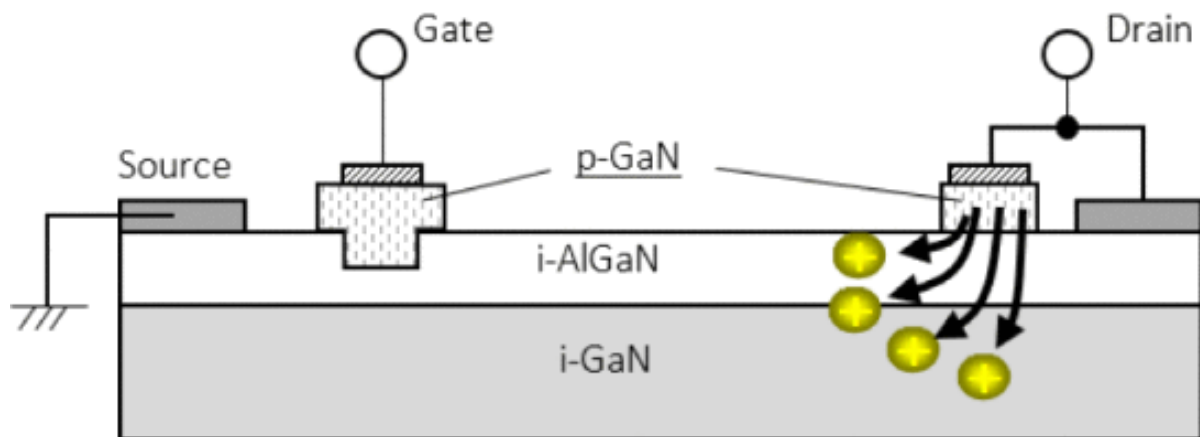


Figura 2.12. Vista transversal de la operación de un HD-GIT. La inyección de huecos desde el p-GaN adicional junto al drenador compensa la captura de electrones en la epicapa en estado apagado. Fuente: [30]

2.5.5 JFET de GaN

A la hora de alcanzar el funcionamiento *normally-off* y asegurarlo mediante una puerta robusta, los JFET fabricados con GaN presentan algunas ventajas. En [31] se explora el diseño de estructuras tanto de canal vertical (*vertical channel, VC*) como de canal lateral (*lateral channel, LC*) de JFET verticales (VJFET) basados en GaN con funcionamiento *normally-off*, la estructura básica de los dos se puede observar en la figura 2.13. Los VC-VJFET presentan un voltaje de ruptura de 1260 V y una $R_{DS(on)}$ de $5.2 \text{ m}\Omega\cdot\text{cm}^2$. Por otro lado, los LC-VJFET tienen un voltaje de ruptura de 1310 V y una $R_{DS(on)}$ de $1.7 \text{ m}\Omega\cdot\text{cm}^2$.

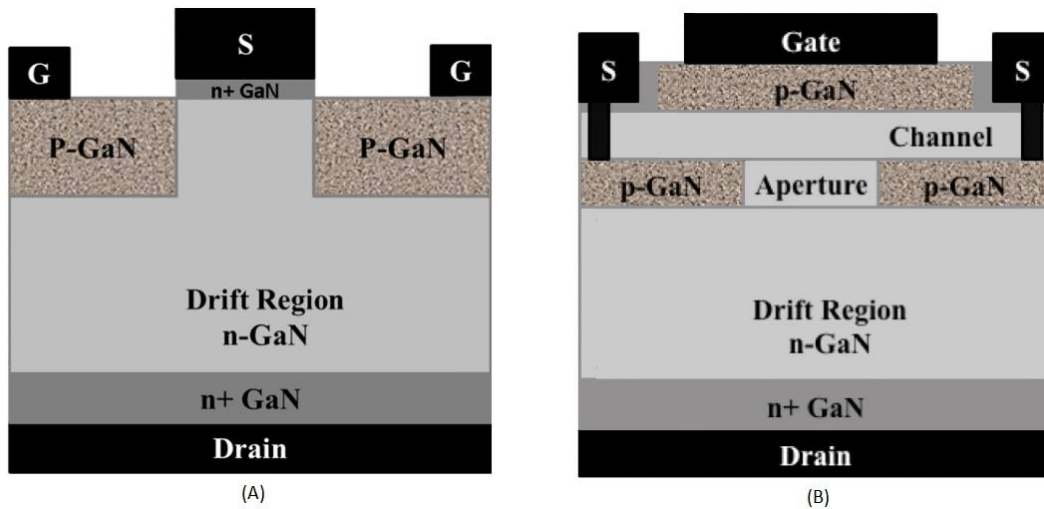


Figura 2.13. Vista transversal de JFET de GaN. (A) *normally-off* VC-JFET, (B) LC-JFET. Fuente: [31]

En [32] se demuestra un transistor vertical de GaN *normally-off* con canales en forma de aletas submicrónicas, el cual solo necesita capas n-GaN, sin necesidad de crecimiento epitaxial o capas de p-GaN. Su $R_{DS(on)}$ es de $0.2 \text{ m}\Omega\cdot\text{cm}^2$ y su V_{DSS} más de 1200 V. Un aspecto que destacar es el V_{TH} , que es de 1 V, que está al límite para poder operar de forma segura sin verse afectado por el ruido.

2.6 Resumen de la comparativa teórica

En la tabla 2.4 se enumeran algunas de las características de cada tecnología de semiconductores de potencia. Son de carácter negativo (-), positivo (+) o intermedio (\pm), y tratan de resumir los recursos o dificultades con que cuenta cada material para esta aplicación que se estudia.

Silicio (Si)	Carburo de silicio (SiC)	Nitruro de galio (GaN)
+ <i>Normally-off</i> o <i>normally-on</i>	\pm Dificultad para conseguir <i>normally-off</i> en los JFET, pero hay disponibilidad de MOSFET de SiC	- HEMT presentan mayor dificultad para conseguir <i>normally-off</i>
+ IGBT: circuito de excitación como el del MOSFET y conducción como el BJT (bajas pérdidas de conducción)	\pm Posibilidad de convertir en <i>normally-off</i> mediante configuración en cascodo, con velocidad de conmutación y sus pérdidas mejoradas, pero sufren de inductancias parásitas, repiqueteo y desajuste de capacitancia intrínseca [8]	
- Mayor tiempo de apagado	- Control en la puerta puede ser complejo.	+ Carga en la puerta muy baja [8]
- Pérdidas de conmutación elevadas [33]	- Problemas de retroalimentación por la inductancia en la ruta de la corriente de carga [34]	- Diversos problemas como el colapso de corriente, las corrientes de fuga en la puerta y la robustez en cortocircuitos
- Cerca de las limitaciones físicas debido a las propiedades intrínsecas del material	- Ruptura dieléctrica en el óxido en la puerta de los MOSFET y cables de unión menos fiables [18]	- Defectos en la superficie impiden alcanzar los V_{DSS} teóricos relacionados con sus propiedades intrínsecas [19]
+ La producción de IGBT de Si está muy avanzada	+ Fabricación es similar a la del Si, y el material producido es de alta calidad [35]	- Producción está poco desarrollada en comparación
+ Coste muy bajo [33]	- Mayor coste [33]	- Mayor coste [33]

Tabla 2.4. Resumen de las ventajas y desventajas de cada tecnología.

Capítulo 3. Desarrollo

3.1 Modelos comerciales

En la tabla 3.1 se muestran diferentes modelos comerciales de las tres tecnologías, de los cuales se han escogido los tres modelos para las simulaciones finales. Es preciso resaltar que para estas selecciones se han tenido en cuenta los requisitos especificados en la tabla 2.2. Además, también es importante indicar que I_D corresponde a I_C en los IGBT, pero se ha dejado I_D para simplificar las comparaciones en la tablas en que aparecen los tres.

Para buscar modelos de transistores, se han filtrado según la V_{DSS} y la I_D , en algunos casos, algunos modelos presentan menor V_{DSS} o menor I_D , pero tienen $R_{DS(on)}$ excepcionalmente bajas y pérdidas muy bajas. Por lo tanto, dadas las circunstancias, podría ser beneficioso conectar en paralelo varios transistores con menor I_D que la deseada, o varios transistores en serie con menor V_{DS} que la deseada, si la suma de sus pérdidas fuera menor que las pérdidas de un solo transistor de otro modelo que sí pudiera soportar esas condiciones solo. Sin embargo, esto conllevaría un mayor coste económico, al usar muchos más transistores.

Para este trabajo, se han buscado semiconductores con V_{DSS} de entre 600 y 750 V, es decir, transistores para trabajar con baterías de unos 400 V. Se usa este rango y no el superior (V_{DSS} de 900 a 1200 V) por haber muchos más transistores de GaN en el más bajo, y ser el rango donde compiten más las tres tecnologías [7] [8]. En [8], además, se muestra con ejemplos comerciales que los dispositivos de SiC superan ampliamente a los de GaN a 1200 V, a causa de la fiabilidad y alta calidad del material.

Respecto a la corriente, se ha optado por unos 50-70 A cuando hay 100 °C de temperatura en la unión, que con 25 °C supone transistores de hasta unos 100 A. Se ha elegido esta corriente porque, para modelos de estas tensiones, es un valor típico, pero a la vez medianamente grande, pues en inversores de EV se trabaja normalmente a varias decenas de kilovatios, así que valores con aún más modelos para elegir, pero más bajos, obligarían a hacer una simulación de menor potencia y, por lo tanto, menos fiel.

IGBT de Si					
Modelo	Fabricante	V_{DSS} (V)	I_D (25 °C) (A)	I_D (100 °C) (A)	T_J (°C)
IHW50N65R6	Infineon	650	100	65	175
STGW60V60DF	STMicroelectronics	600	80	60	175
FGA5065ADF	Fairchild	650	100	50	175
RGW00TS65DHR	ROHM Semiconductor	650	96	58	175
RBN50H65T1FPQ-A0	Renesas	650	100	50	175
AFGHL50T65SQ	Onsemi	650	80	50	175

IGBT de Si y diodo de barrera Schottky de SiC (transistor híbrido)					
Modelo	Fabricante	V_{DSS} (V)	I_D (25 °C) (A)	I_D (100 °C) (A)	T_J (°C)
RGW00TS65CHR	ROHM Semiconductor	650	96	58	175
AFGHL50T65SQDC	Onsemi	650	100	50	175

JFET de SiC en cascodo con MOSFET de Si					
Modelo	Fabricante	V_{DSS} (V)	I_D (25 °C) (A)	I_D (100 °C) (A)	T_J (°C)
UF3C065030K4S	UnitedSiC	650	85	62	175

MOSFET de SiC					
Modelo	Fabricante	V_{DSS} (V)	I_D (25 °C) (A)	I_D (100 °C) (A)	T_J (°C)
SCTW100N65G2AG	STMicroelectronics	650	100	70	200
C3M0025065K	Wolfspeed	650	97	70	175
SCT3022ALHR	ROHM Semiconductor	650	93	65	175

HEMT de GaN en cascodo con MOSFET de Si					
Modelo	Fabricante	V_{DSS} (V)	I_D (25 °C) (A)	I_D (100 °C) (A)	T_J (°C)
TP65H015G5WS	Transphorm	650	93	59	150
TP65H035G4WSQA	Transphorm	650	47.2	33.4	175
TPH3205WSB	Transphorm	650	35	22	175

HEMT de GaN <i>normally-off</i> (conocidos como e-GaN)					
Modelo	Fabricante	V_{DSS} (V)	I_D (25 °C) (A)	I_D (100 °C) (A)	T_J (°C)
GS66516B	GaN Systems	650	60	47	150
GS66516T	GaN Systems	650	60	47	150
GS-065-060-5-B-A	GaN Systems	650	60	41	150

Tabla 3.1. Lista de modelos comerciales junto con algunas propiedades importantes.

Cabe hacer algunos apuntes sobre varios de los componentes incluidos en esta lista. Para empezar, la diferencia principal en los RGW00TS65~, es que el ~DHR tiene un *fast recovery diode* (FRD), y el ~CHR es un transistor híbrido, ya que combina el IGBT normal con un diodo de barrera Schottky (SBD) de SiC. El AFGHL50T65SQDC también es la equivalente con SBD de SiC al FGH50T65SQD del mismo fabricante, y es más indicado para esta aplicación, ya que el SBD no tiene pérdidas de recuperación inversa. En la misma línea, el AFGHL50T65SQ de *ON Semiconductors* tiene una versión con FRD, pero este modelo en sí no lleva diodo incorporado.

Los transistores de *UnitedSiC* son un JFET de SiC *normally-on* en cascodo con un MOSFET de Si. Se ha escogido el que está en la tabla y no otros parecidos del fabricante (UF3C065030K3S, UF3C065030T3S, UJ3C065030K3S y UJ3C065030T3S), por tener menores pérdidas de conmutación según la hoja de datos.

Los GS66516B y GS66516T son prácticamente el mismo modelo, solo que el primero se enfría por la cara inferior, y el segundo por la superior. El GS-065-060-5-B-A, por otro lado, les aventaja para este proyecto en que cuenta con la calificación previamente mencionada, AEC-Q101. Estos transistores, al ser HEMT de GaN, no tienen diodo de cuerpo intrínseco (no requieren diodo antiparalelo como lo necesitan los IGBT).

3.2 Elección de modelos para la simulación

Las simulaciones de los tres inversores, uno para cada tecnología, se han realizado en *LTSpice XVII*, un programa gratuito de *Analog Devices*, y uno de los más usados para trabajar con modelos SPICE, que son modelos que dan los fabricantes para poder simular los componentes electrónicos bajo distintas condiciones en un circuito. En este espacio se diseñan circuitos con modelos ya dados por el programa o con modelos dados por los fabricantes de los componentes. Se ha escogido este programa por ser simple, gratuito y tener muchas librerías de componentes y una comunidad muy activa.

Por lo tanto, es fundamental elegir transistores cuyos fabricantes proporcionen modelos SPICE. Además, muchas veces el fabricante da modelo SPICE, pero este da problemas de convergencia cuando

es usado en una simulación mínimamente exigente. Esto suele ocurrir por un mal diseño del modelo o porque el modelo está pensado para condiciones más leves.

Para este trabajo se realizan simulaciones transitorias, que son simulaciones del comportamiento de los componentes en un tiempo determinado. En el caso del inversor trifásico, durante este tiempo los transistores se encienden y apagan repetidamente, así que las condiciones de operación van cambiando. Pero el programa es discreto, así que no puede contabilizar todo a lo largo del tiempo, en las simulaciones transitorias debe ir dando saltos en el tiempo (paso de simulación) y calculando qué ha cambiado entre paso y paso.

Los errores de convergencia suceden cuando el programa resultado de un cálculo presenta una derivada muy grande que está fuera de los rangos de tolerancias especificados. En estos casos, se puede tratar de reducir el paso de simulación o incluso relajar las tolerancias, sin embargo, en ocasiones no es posible evitar el problema porque el modelo matemático no converge. Es por esto que muchos de los modelos SPICE proporcionados por los fabricantes no se han podido utilizar, lo que ha ocurrido especialmente con los IGBT de silicio.

Además de la simulación eléctrica, muchos modelos SPICE simulan automáticamente el calentamiento térmico del dispositivo, lo cual afecta a la eficiencia de este. En ocasiones los modelos de transistores dan entre dos y cuatro terminales externos, uno para la temperatura en el encapsulado, otro en la unión del transistor, y a veces hay otro para la unión del diodo, si el transistor lleva un diodo antiparalelo incorporado, y hasta un terminal para la temperatura ambiente.

O bien se le da al programa la temperatura en las uniones, con lo que esta se mantiene igual toda la simulación, o bien se le da la temperatura en el encapsulado, con lo que la temperatura en la unión va cambiando a lo largo de la simulación. Si se incluye un terminal para la temperatura ambiente, siempre se le debe dar valor.

En el caso de las tecnologías de SiC y GaN, *Wolfspeed* y *Gan Systems* respectivamente proporcionan modelos de simulación muy completos, que están preparados para *LTSpice* y no dan muchos fallos de convergencia, u otro tipo. Asimismo, incluyen el modelo térmico dinámico. Por ello, se ha optado por el C3M0025065K para el transistor de SiC, y por el GS-065-060-5-B-A para el de GaN.

Otra característica que tienen estos dos transistores es que ambos cuentan con un cuarto pin, el cual sirve como fuente alternativa para el manejo de la puerta. En el caso del GS-065-060-5-B-A, tiene un *pad* llamado "*Source Sense*" que es una conexión Kelvin a la fuente. Está diseñado para ser utilizado por un circuito de activación de compuerta para excluir la inductancia de fuente común del bucle de activación de compuerta. En el C3M0025065K, la llamada "*driver source*" (KS en el circuito) es esencialmente un terminal de referencia para el circuito que activa la puerta. Si el controlador de compuerta está referenciado a la misma tierra que recibe la corriente de carga, la inductancia en la ruta de la corriente de carga puede generar una retroalimentación problemática. Si el terminal de la fuente del controlador se usa como referencia para el circuito del controlador, el efecto negativo de la inductancia se reduce [34].

Como transistor de silicio, no se ha encontrado ningún modelo que simule el calentamiento y no dé errores de convergencia. Además, los modelos con diodo antiparalelo incorporado también fallaban al ser usados en el entorno deseado. Una de las razones por la que no funcionan muy bien los modelos de esta tecnología es que utilizan ecuaciones matemáticas, las cuales son mucho más propicias a errores de convergencia que usar un modelo ya de *LTSpice* y simplemente cambiar sus parámetros

(resistencias, inductancias...). También usan funciones tipo *if* o *limit*, que no son lineales y pueden provocar fallos.

Se ha escogido como IGBT el AFGHL50T65SQD, que era el modelo que mejor funcionaba en las simulaciones que se probaron, y tiene la ventaja de que el fabricante ofrece un modelo con diodo y otro sin, y este último (AFGHL50T65SQ) es el que se ha utilizado, puesto que el primero da más errores. Cuando simula el calentamiento, también da lugar a más errores de convergencia, pero si se le da directamente la temperatura en la unión, sí que permite la simulación del inversor completo. Puesto que se usa la versión sin diodo, se ha puesto uno genérico de *LTSpice*.

Nombre	AFGHL50T65SQD	C3M0025065K	GS-065-060-5-B-A
Descripción	<i>Field stop trench</i> IGBT de silicio.	MOSFET de SiC con diodo intrínseco.	HEMT de GaN <i>normally-off</i> , capaz de conducción inversa.
I_D (25 °C) (A)	80	97	60
I_D (100 °C) (A)	50	70	41
T_J (°C)	175	175	150
P_D ($T_C = 25$ °C) (W)	268	326	355
$R_{DS(on)}$ ($T_J = 25$ °C) (mΩ)	No dada	25 (max. 34)	25 (max. 32)
Q_G (max) (nC)	102	112	14
$R_{\theta JC}$ (°C/W)	0.56	0.46	0.35

Tabla 3.2. Transistores escogidos y características obtenidas de sus respectivas *datasheet*.

En la tabla 3.2 se pueden ver algunas características de los tres transistores extraídas de las *datasheet*. Un dato que cabe añadir es que tanto el de Si como el de GaN cuentan con la calificación AEC-Q101, *Wolfspeed* produce desde 2018 una línea de transistores de SiC con esta calificación, pero estos no poseen las características deseadas para este trabajo. P_D en la tabla se refiere a la máxima disipación de potencia con esa temperatura en el encapsulado, es decir, la potencia que disipa el transistor cuando funciona en sus prestaciones máximas, que hacen que la unión esté a 175 °C. Por esto, si se aumenta la temperatura en el encapsulado, la P_D disminuye, pero es porque debe trabajar en condiciones más bajas, es decir, con menor corriente y/o tensión.

Igual que con la P_D , los valores de $R_{DS(on)}$ tampoco son completamente justos, puesto que el del transistor de SiC ha sido medido con prácticamente el doble de corriente entre el drenador y la fuente que el de GaN (18 A en el de GaN, 33.5 A en el de SiC). Sin embargo, en una gráfica proporcionada por el de SiC se puede ver que con 18 A, la $R_{DS(on)}$ no baja significativamente.

Respecto al IGBT, en estos transistores normalmente no se da esta resistencia, puesto que, así como en los MOSFET la curva de I_D vs V_{DS} empieza en 0 y sigue una trayectoria lineal, lo que hace que $R_{DS(on)}$ informe con efectividad de la potencia que disipa el transistor, en los IGBT, para 0 A en I_C , hay ya una tensión en V_{CE} . Por lo que, así como en los otros dos se cumple la ecuación 3.1, en el IGBT es la 3.2.

$$V_{DS} = I_D \cdot R_{DS(on)} \quad (3.1)$$

$$V_{CE} = V_{CE0} + I_C \cdot R_{(on)} \quad (3.2)$$

De esta forma, se puede obtener que, si se linealiza la curva de I_C vs V_{CE} en el AFGHL50T65SQD para adaptarla a esta ecuación, la V_{CE0} es 1.1 V y la $R_{(on)}$ es 8 mΩ.

Por otro lado, el AFGHL50T65SQD y el C3M0025065K tienen paquetes TO-247 (en el IGBT con tres terminales, en el MOSFET de SiC con cuatro), que son encapsulados de plástico de agujero pasantes,

mientras que el HEMT de GaN es un dispositivo de montaje en superficie, con un empaquetado llamado por la compañía “GaNpx”, en este caso se enfría por la cara inferior.

3.3 Simulación en LTSpice

En la tabla 3.3 están las condiciones de la simulación realizada en *LTSpice*. Por ser la más común en estas aplicaciones, se han usado ondas SVPWM para controlar el inversor. V_{DC} es la tensión DC que llega al inversor, simulando la batería. En lugar de simular un motor trifásico, se ha usado una carga RL, puesto que lo importante es que los inversores se encuentren en igualdad de condiciones, y esta es lo bastante similar a un motor. R_m y L_m se refieren a la carga, en cada rama es una resistencia (R_m) y una bobina (L_m). $R_{G(\text{externa})}$, por otra parte, es la resistencia en la puerta del transistor. Se ha usado en cada caso la recomendada en la *datasheet*.

V_{DC} (V)	450
$I_{L \text{ pico}}$ (A)	30.7
m_i	1.15
f_o (Hz)	50
f_{sw} (kHz)	20
$R_{G(\text{externa})}$ (Ω)	5 (Si), 2.5 (SiC) y 10 (GaN)
T_c ($^{\circ}\text{C}$)	25
<i>dead time</i> (ns)	500
R_m (Ω)	6.2
L_m (mH)	17.4
PF	0.75

Tabla 3.3. Valores de la simulación realizada en *LTSpice* del inversor trifásico.

El *dead time* es un tiempo de seguridad entre que se apaga un transistor y se enciende el otro de la misma rama. El factor de potencia (*power factor*, PF) se ha calculado a partir de las impedancias que conforman la carga inductiva y resistiva que se ha colocado a la salida del inversor, equivalentes al motor AC. Se ha usado la siguiente fórmula:

$$PF = \text{Cos}(\text{Arctan}\left(\frac{2 \cdot \pi \cdot f_o \cdot L_m}{R_m}\right)) \quad (3.3)$$

En primer lugar, es necesario diseñar el circuito que se encargue de la modulación SVPWM. Esto se puede conseguir en *LTSpice* manualmente. Para ello, se usan tres fuentes de voltaje senoidales con una fase de 0, 120° y 240° respectivamente, que hacen de señales de referencia. Su amplitud es igual al índice de modulación, m_i , y su frecuencia a la de salida. Por otro lado, se genera también la señal triangular, de frecuencia igual a la de conmutación.

Luego se pueden utilizar unos componentes de *LTSpice* llamados “fuente de voltaje de comportamiento arbitrario”, para que en cada momento den el valor máximo y el mínimo de las tres senoidales. Se suman estos dos valores y se multiplican por -0.5 mediante fuentes de voltaje dependientes de voltaje. Se tiene así la señal *offset*, que se puede sumar directamente a cada señal senoidal de referencia, para tener las señales de referencia modificadas, las cuales son comparadas con la triangular para decidir el estado en cada transistor.

Si en la comparación para el transistor de abajo de cada rama se resta cierta cantidad, la cual depende de la frecuencia de la señal triangular (f_{sw}), se consigue un *dead time* en las señales de control, se ha

optado por 500 ns. En la figura 3.1 se puede ver un ejemplo del circuito que realiza la modulación SVPWM.

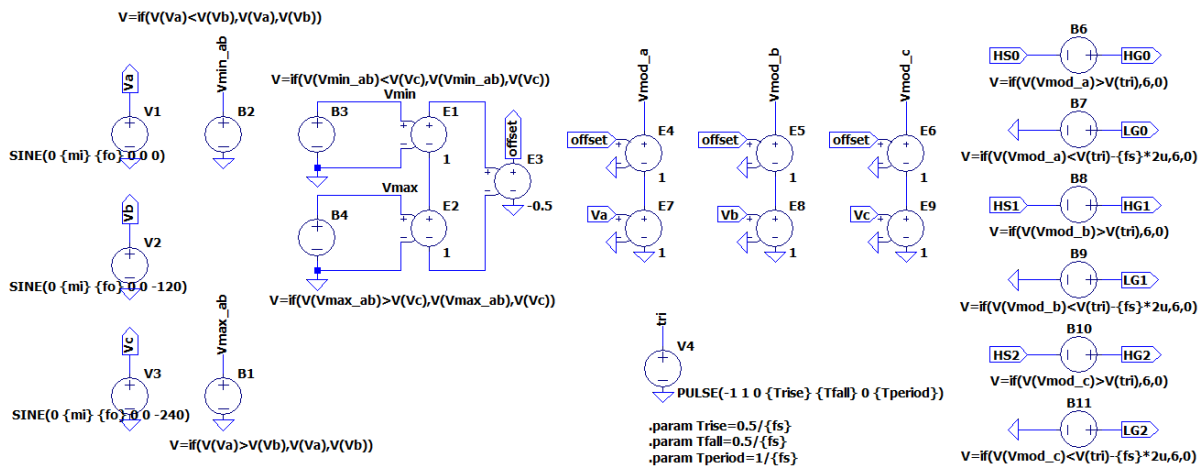


Figura 3.1. Circuito en LTSpice controlador de un inversor trifásico usando la modulación SVPWM.

Las señales modificadas y el *offset* son los que se han mostrado en la explicación teórica previa, en la figura 2.7. Las seis comparaciones dan dos posibles valores, la tensión de encendido o la de apagado. La de apagado es siempre 0 V, pero la de encendido se ha puesto según lo recomendado en la *datasheet* de cada transistor, para alcanzar la máxima eficiencia. Para el IGBT de Si y el MOSFET de SiC es 15 V, para el HEMT de GaN 6 V. Cabe resaltar que estas tensiones deben ser entre la puerta y la fuente (el emisor en el IGBT). En el caso del SiC y el GaN se ha generado entre la puerta y la fuente alternativa, KS en el de SiC y SS en el de GaN, puesto que se ha observado que, efectivamente, las pérdidas de conmutación eran ligeramente menores si se hacía así.

Como se ha explicado antes, los transistores disponen de varios terminales para la temperatura. Para realizar una simulación térmica, se ha dado una temperatura constante en el encapsulado, un voltaje en el terminal T_c , y se ha observado el calentamiento en la unión, midiendo el voltaje resultante de la simulación en el terminal T_j . En todos los casos, en los terminales de temperatura, 1 V equivale a 1 °C. En el caso de hacer la simulación térmica en un transistor, se han dado 25 V en T_c . En el caso de no hacerla, se han cortocircuitado el terminal T_j con el T_c , para desactivar el modelo térmico, y se han dado 25 V para fijar la T_j del transistor a 25 °C.

Puesto que al hacer las simulaciones térmicas se está dando una temperatura fija en el encapsulado, es como si se estuviera utilizando un disipador de calor ideal. En la realidad, cuando se calienta la unión, se calienta también el encapsulado, el cual disipa su calor por medio de un disipador de calor. Sin embargo, este disipador no es perfecto, y tiene cierta resistencia térmica, pero en la simulación, como T_c está fijada a 25 °C, es como si se usara un disipador que diera una R_{OCA} de 0 °C/W (R_{OCA} es la resistencia térmica entre el encapsulado y el ambiente, el cual sí está a 25 °C en la realidad). Esto hace que los transistores se calienten mucho menos que en la realidad, donde se suelen diseñar disipadores para asegurar que la T_j alcance como mucho una temperatura un 20 % inferior a la máxima para la potencia media disipada. De todas formas, como el objetivo es comparar los modelos, realizar una simulación más fiel a la realidad no es necesario, ya que esto afecta igual a los tres.

3.3.1 Simulaciones de potencia y calentamiento en un solo transistor del inversor

Se ha medido la potencia disipada en un solo transistor bajo diversas condiciones. Se ha simulado un inversor completo, pero se han dado directamente 25 V en T_j en todos los transistores menos en S_1 , el

transistor de arriba de la primera rama (figura 3.2). Esto hace que, exceptuando S_1 , se inhabilite el cálculo del calentamiento en todos los demás, asumiendo siempre 25 °C en la unión.

El motivo de que se haga la simulación térmica en uno solo es simplificar y acelerar la simulación. Cuando el programa no tiene que calcular el calentamiento en seis modelos al mismo tiempo, la velocidad a la que simula el circuito es mucho mayor, y es más fácil evitar fallos de convergencia. De esta forma, se puede comprobar el efecto de cada modelo, midiendo el calentamiento del transistor S_1 y la potencia disipada, que se ve afectada por el aumento de temperatura en T_J . Sin embargo, para el IGBT de silicio no queda más remedio que darle los 25 °C en la unión en los seis transistores. Se podría realizar un modelo térmico manualmente, pero como este no es el objeto de este trabajo, se han hecho las mediciones así, pese a que esto aventaje al modelo de silicio, ya que, al no calentarse la unión, sus características son óptimas durante toda la simulación.

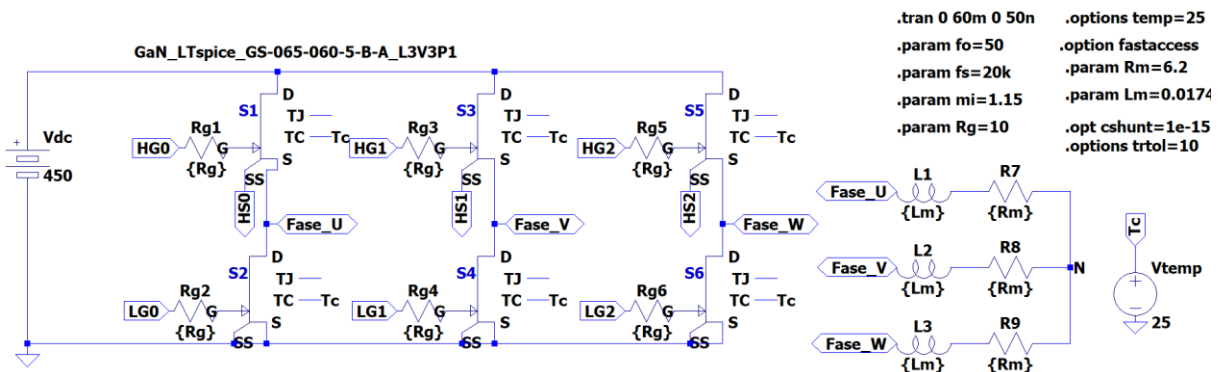


Figura 3.2. Inversor trifásico en *LTSpice*, en este caso usando el GS-065-060-5-B-A.

Las condiciones han sido las siguientes. En primer lugar, se ha hecho una prueba de conducción continua sin conmutación, en la que se ha dejado un estado fijo en el inversor. Se ha optado por el estado 100, es decir, con S_1 , S_4 y S_6 encendidos y los otros tres apagados. Segundamente, tres pruebas con la frecuencia de salida fija (50 Hz), pero variando la frecuencia de conmutación, a 10, 15 y 20 kHz. Terceramente, tres pruebas con una frecuencia de conmutación fija (20 kHz) pero variando la frecuencia de salida. Si por ejemplo se tuvieran 6 polos en el devanado del motor, la frecuencia de salida en función de la velocidad síncrona del motor, medida en revoluciones por minuto (rpm), sería la siguiente ecuación [36].

$$f_o (Hz) = \frac{n (rpm) \cdot \text{número de polos}}{120} = \frac{n (rpm) \cdot 6}{120} \quad (3.4)$$

Así que para 1000, 1500 y 2000 rpm, por ejemplo, la frecuencia de salida debe ser 50, 75 y 100 Hz respectivamente (50 Hz ya se ha hecho en el anterior caso). Además, otra prueba con salida a 50 Hz y conmutación a 20 kHz, pero solo con la mitad de tensión de entrada, 225 V DC.

En la figura 3.3 se pueden ver dos gráficos generados en la simulación en la que se ha usado el HEMT de GaN. La simulación es de 60 ms, con las condiciones de la tabla 3.3. En la simulación de este gráfico en concreto se han definido unas condiciones iniciales equivalentes a las condiciones que hay tras varias repeticiones, con el objetivo de que la simulación empezase ya estable, con la tensión y corriente en las ramas ya en fase con la referencia. Aunque si estas condiciones no se indican, las corrientes en las fases comienzan todas a 0 A, pero se ponen en fase tras un solo periodo aproximadamente.

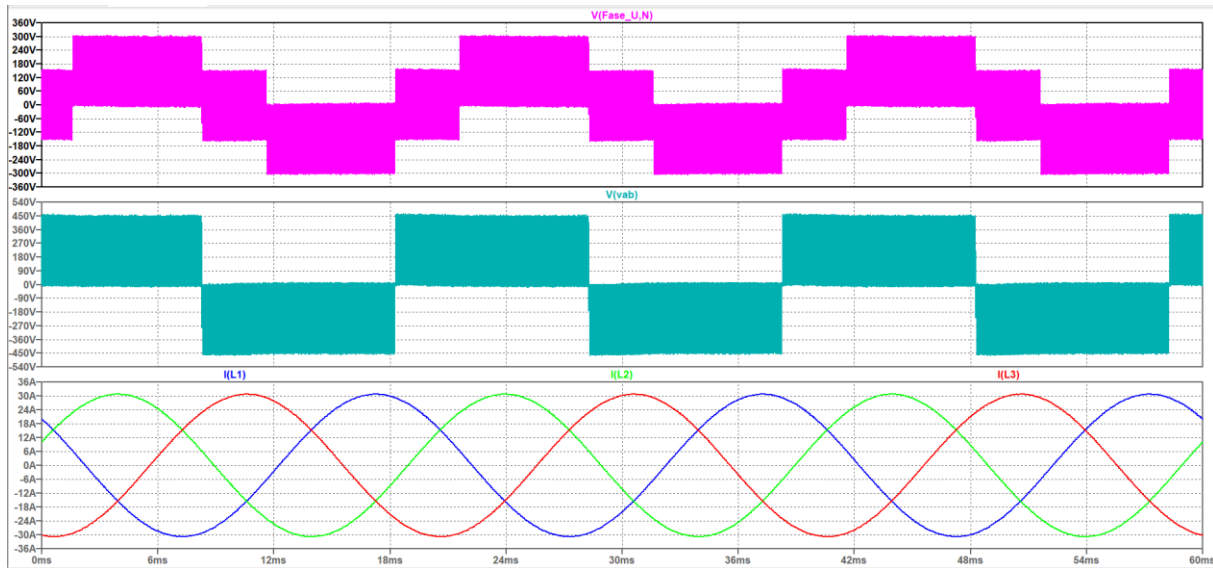


Figura 3.3. Gráfico en *LTSpice* de la salida del inversor, usando el GS-065-060-5-B-A, y con modulación SVPWM. Arriba la tensión entre la primera fase y el neutro (V_{an}) (tensión en la carga de la primera fase), en el centro la tensión entre la primera y la segunda fase (V_{ab}), abajo las corrientes en cada una de las tres fases.

Para calcular la potencia instantánea disipada en el transistor en cada simulación, y por tanto las pérdidas, se ha sumado la potencia disipada en la puerta del transistor y la disipada por la corriente que entra por el drenador (o colector). La primera se puede definir en los MOSFET como la tensión entre la puerta y la fuente (v_{GS}), que en nuestro caso es la fuente alternativa, multiplicada por la corriente que entra en la puerta (i_G). En los IGBT es igual, pero usando la tensión entre la puerta y el emisor (v_{GE}). Las otras pérdidas son en los MOSFET la tensión entre el drenador y la fuente (v_{DS}) por la corriente que entra por el drenador (i_D), y en los IGBT la tensión entre el colector y el emisor (v_{CE}) por la corriente que entra en el colector (i_C). Por lo tanto, las pérdidas totales de un MOSFET a lo largo del tiempo son la siguiente ecuación.

$$P_{D_MOSFET}(t) = v_{DS}(t) \cdot i_D(t) + v_{GS}(t) \cdot i_G(t) \quad (3.5)$$

Para el IGBT de Si, como el diodo es externo, hace falta calcular las pérdidas en el diodo también, se calcula simplemente como la tensión entre los dos terminales del diodo (v_{diodo}) multiplicada por la corriente que fluye por este (i_{diodo}) (ecuación 3.6).

$$P_{D_Diodo}(t) = v_{diodo}(t) \cdot i_{diodo}(t) \quad (3.6)$$

En *LTSpice* se puede visualizar directamente las señales resultantes de esta clase de operaciones, así que no hace falta tener en cuenta la temperatura en estas, puesto que en cada momento influye ya sobre estos valores, así que se puede saber la potencia disipada media simplemente representando esta ecuación, y *LTSpice* da, además del gráfico, el valor medio durante el tiempo de simulación y la energía total disipada durante la simulación (la integral de la potencia a lo largo del tiempo), que es lo mismo que la potencia media multiplicada por el tiempo de simulación.

En la tabla 3.4 se han compendiado los resultados de las simulaciones. P_D es el valor medio de la potencia instantánea disipada en S_1 a lo largo de la simulación, que ha sido siempre de 3 ciclos de la señal de salida. $T_{J(max)}$ es la temperatura máxima que ha alcanzado la unión durante la simulación. En

la figura 3.4, se muestra T_J a lo largo de la simulación en los inversores de SiC y GaN durante la quinta prueba. T_J en S_1 del inversor de silicio ha sido 25 °C forzados en todas las pruebas, exceptuando la primera, que al no tener conmutación es mucho menos exigente, y sí se ha podido realizar la simulación térmica, en la que T_J ha permanecido a 68.3 °C todo el tiempo.

Prueba	$T_{\text{simulación}}$	IGBT de Si	MOSFET de SiC		HEMT de GaN	
		P_D	P_D	$T_{J(\text{max})}$	P_D	$T_{J(\text{max})}$
$f_0 = 0$ Hz (DC)	60 ms	78.925 W	56.970 W	46.9 °C	74.518 W	53.8 °C
$V_{DC} = 225$ V ($f_0 = 50$ Hz)	60 ms	6.735 W	2.076 W	26.6 °C	3.653 W	28.0 °C
$f_0 = 50$ Hz; $f_{sw} = 10$ kHz	60 ms	15.318 W	7.019 W	31.0 °C	9.673 W	36.2 °C
$f_0 = 50$ Hz; $f_{sw} = 15$ kHz	60 ms	16.507 W	7.472 W	31.2 °C	11.133 W	36.8 °C
$f_0 = 50$ Hz; $f_{sw} = 20$ kHz	60 ms	17.667 W	7.836 W	31.4 °C	12.658 W	37.4 °C
$f_0 = 75$ Hz; $f_{sw} = 20$ kHz	40 ms	14.138 W	5.603 W	29.1 °C	9.893 W	33.6 °C
$f_0 = 100$ Hz; $f_{sw} = 20$ kHz	30 ms	11.724 W	4.199 W	27.9 °C	8.277 W	31.5 °C

Tabla 3.4. Potencia disipada y T_J máxima alcanzada por S_1 en siete simulaciones para cada uno de los tres inversores.

La inmensa mayoría de las pérdidas de los transistores vienen de la corriente de drenado (o del colector en los IGBT). La potencia disipada en la puerta, pese a ser poco significativa, se ha comprobado que es mucho menor en el de GaN. Por ejemplo, en la simulación de condiciones normales (quinta prueba en la tabla), las pérdidas en la puerta en el IGBT eran 5.0265 mW, y en el HEMT de GaN eran 146.19 μ W, unas 34 veces menores. Las pérdidas del diodo también representan una pequeña parte del IGBT, por ejemplo, en esta quinta prueba eran 1.2911 W.

Para saber cuánto afecta en el IGBT que no se caliente, se ha hecho una simulación como la de la quinta prueba, pero dando una temperatura en T_J de S_1 parecida a la que tendría a lo largo del tiempo si se calentara realmente. Su potencia disipada ha sido de 18.381 W, en vez de los 17.667 W que disipa a 25 °C fijos. Con este calentamiento, las pérdidas en la puerta se duplican (9.8989 mW).

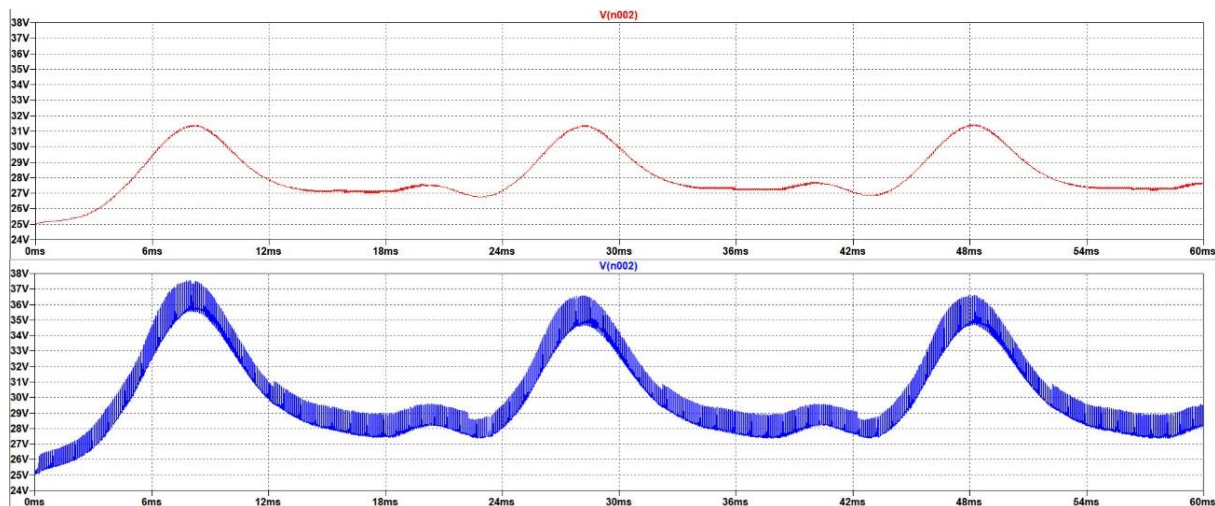


Figura 3.4. Gráficos en LTSpice de T_J de S_1 durante la quinta prueba. El inversor del gráfico de arriba es el de MOSFET de SiC, y el de abajo el de HEMT de GaN.

En general, el MOSFET de SiC es el que tiene menores pérdidas, y también el que menos se calienta, en buena parte gracias a esta reducción de la potencia disipada. El de GaN tiene un desempeño muy bajo en la primera prueba por estar cerca de sus límites operativos. En el resto, en general, tiene algo más de pérdidas que el de SiC, y se calienta algo más, lo cual se agrava si se tiene en cuenta que el de

SiC está siendo infrutilizado, ya que soporta mayores corrientes, y en general mayor capacidad de potencia en un transistor suele tener una correlación con menor eficiencia.

Una de las causas de la mayor disipación de potencia en el de GaN puede ser que exhiba picos de corriente mayores que el de SiC. En la prueba normal, el transistor alcanza picos de corriente de hasta 88 A, mientras que los de SiC solo llegan a 72 A, además de ser más estables. Estos picos son generados por las capacitancias parásitas en el transistor. En la figura 3.5, la conmutación en un mismo momento en la prueba normal en los tres inversores.

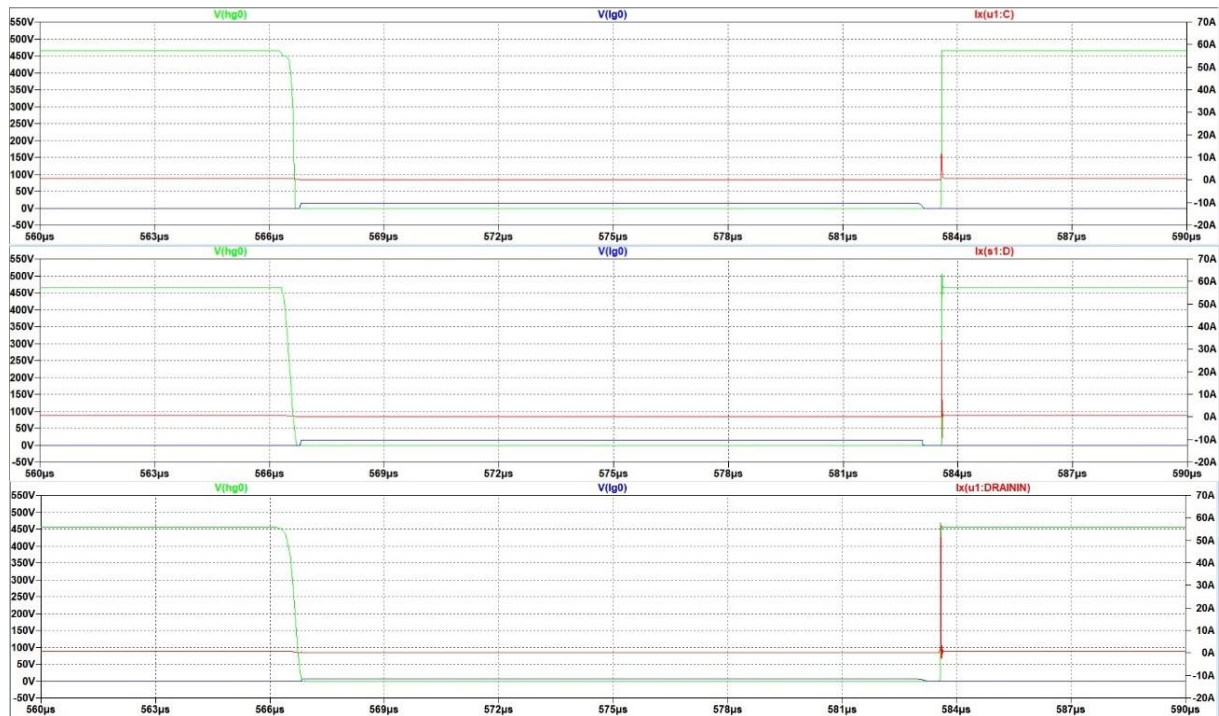


Figura 3.5. Gráficos en *LTSpice* en cada uno de los tres inversores de una conmutación en S_1 , siendo la traza verde la tensión en la puerta de S_1 , la azul la de la puerta de S_2 (el transistor de abajo), y la roja la corriente por el drenador o colector. Arriba el inversor de Si, en el centro el de SiC, y abajo el de GaN.

3.3.2 Simulación del calentamiento y eficiencia del inversor completo

Se ha realizado ahora la simulación con las condiciones normales, las especificadas en la tabla 3.3, pero esta vez haciendo la simulación térmica en los seis transistores del inversor trifásico. Esta simulación es mucho más lenta, y es imposible de realizar con el modelo de silicio. No obstante, al menos en los otros dos, ha permitido comprobar que los resultados obtenidos calentando un solo transistor dan unas conclusiones similares a si se calientan todos ellos.

Por lo tanto, se han dado 25 V en todos los terminales T_C de los transistores de GaN y de SiC, así que durante las simulaciones los modelos se han comportado como si sus encapsulados estuvieran a 25 °C, y han calculado cada uno a qué temperatura estaría su unión (T_j) a lo largo de los 60 ms de simulación. Esto es lo mismo que hacía S_1 en el anterior apartado, la diferencia es que ahora lo hacen los seis.

En la tabla 3.5 se presentan los resultados, se ha medido la potencia de entrada en el inversor como la tensión DC multiplicada por la corriente por la fuente. La potencia de salida se ha medido como la suma de la tensión en cada fase (V_{an} la primera fase, por ejemplo) multiplicada por la corriente por esa fase. Se ha vuelto a obtener el valor medio durante la simulación a partir del instantáneo, igual que anteriormente. Después, la eficiencia se calcula a partir de la ecuación 3.7. Con estos dos valores ya se

pueden obtener las pérdidas, de la ecuación 3.8, pero se han medido estas también manualmente para mayor comprobación, se han medido sumando la potencia disipada en cada transistor individualmente, la función resultante es muy larga, pero por suerte *LTSpice* permite ecuaciones muy extensas.

$$\eta (\%) = \frac{\text{Potencia de salida}}{\text{Potencia de entrada}} \cdot 100 \quad (3.7)$$

$$\text{Potencia de entrada} = \text{Potencia de salida} + \text{Pérdidas} \quad (3.8)$$

	IGBT de Si	MOSFET de SiC	HEMT de GaN
Potencia de entrada (W)	8789.6	8724.9	8801.7
Potencia de salida (W)	8689.9	8682.0	8730.9
Pérdidas en los transistores (W)	99.855	42.825	70.877
Eficiencia (%)	98.866	99.508	99.196
T _J máxima alcanzada (°C)	Fijada a 25	31.8	37.3

Tabla 3.5. Resultados del inversor de cada tecnología, eficiencia del inversor y T_J máxima alcanzada en algún transistor.

Se repiten unos resultados parecidos a las pruebas anteriores, los MOSFET de SiC son los que sufren menores pérdidas, menos de la mitad que los IGBT de Si. En la figura 3.6 se puede ver el calentamiento en los seis HEMT de GaN, el calentamiento es similar en todos ellos, simplemente están desfasados.

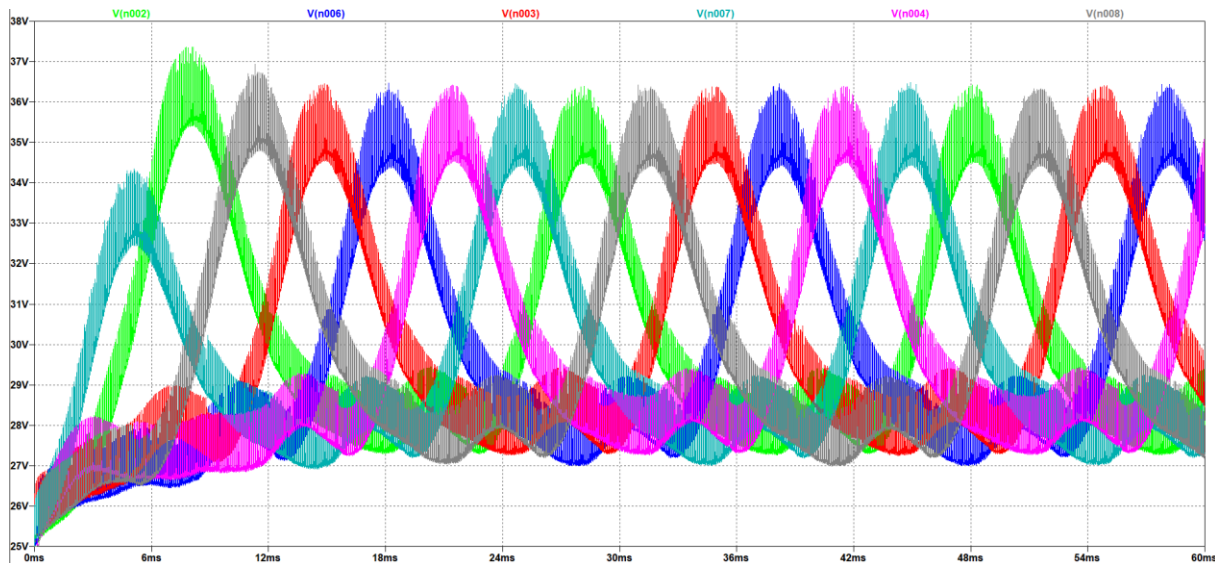


Figura 3.6. Gráfico en *LTSpice* de T_J en cada transistor del inversor basado en GaN. S₁ en verde, S₂ en azul oscuro, S₃ en rojo, S₄ en azul claro, S₅ en rosa, S₆ en gris.

Para saber cómo afectaría en los inversores de SiC y de GaN no calentarse, como se ha tenido que hacer con el de silicio, se ha realizado la misma simulación, pero fijando la temperatura en las uniones a 25 °C. Este cambio no ha supuesto mucha diferencia, puesto que estos dos transistores no se calientan demasiado en primer lugar. El inversor de SiC mantiene una eficiencia muy parecida, pero aumentando la potencia de salida a 8714 W. El de GaN, en cambio, mantiene una potencia de salida parecida, pero aumenta su eficiencia ligeramente (99.217 %) al disminuir un poco las pérdidas.

3.3.3 Pruebas térmicas

Pese a que el modelo SPICE de IGBT no pueda converger correctamente en una simulación compleja como la de un inversor de potencia trifásico, si está preparado para ciertas pruebas menos exigentes. Se han llevado a cabo unas pruebas en los tres transistores, uno de cada tecnología, y se ha medido el

calentamiento y la potencia disipada en cada uno, estando los tres en las mismas condiciones de operación.

Se les ha hecho conmutar a 20 kHz, con 450 V y 30 A, como se ve en la figura 3.7. En la figura 3.8, por otro lado, se muestra el gráfico de las T_j en cada transistor los primeros 20 ms. Las pérdidas en el IGBT de Si son de 29.515 W de media, en el MOSFET de SiC 13.938 W y en el HEMT de GaN 14.764 W. La T_j en el de Si se estabiliza en torno a los 41.5 °C (± 0.4 °C), en el de SiC a 30.5 °C (± 0.1 °C) y el de GaN a 30.8 °C (± 0.3 °C).

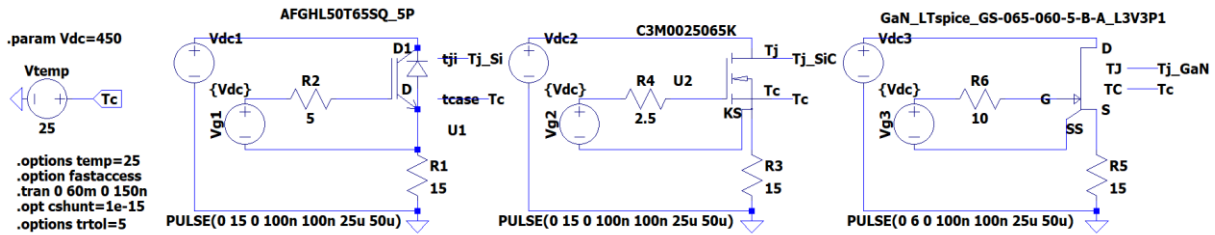


Figura 3.7. Prueba térmica en LTSpice, cada transistor con su circuito propio, y 25 °C en los encapsulados.

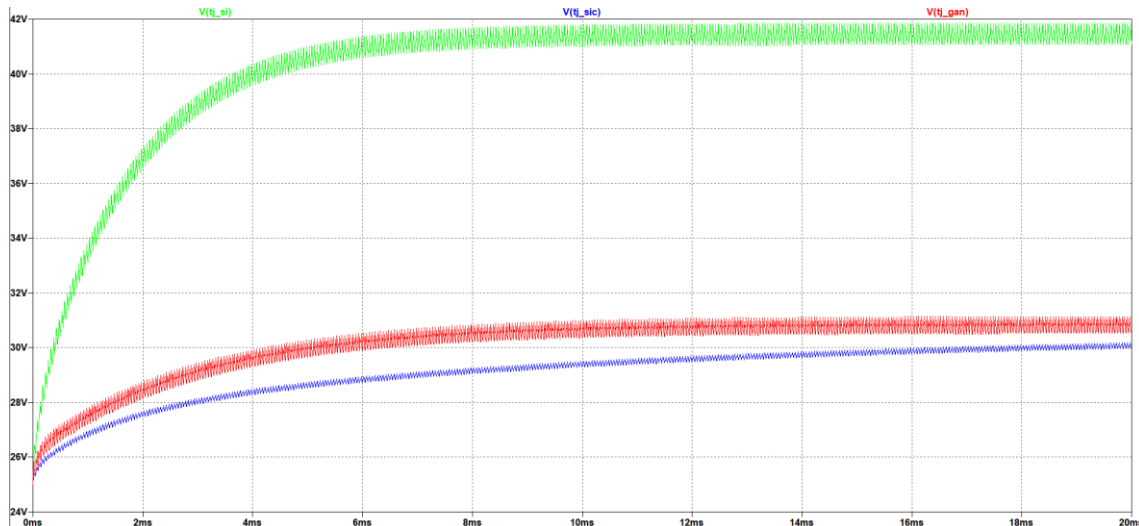


Figura 3.8. Gráficos en LTSpice de T_j los primeros 20 ms en el IGBT de Si (verde), el MOSFET de SiC (azul) y el HEMT de GaN (rojo).

Por lo tanto, se observa lo visto en las pruebas anteriores, el de Si se calienta bastante más que los otros dos, y el de SiC algo menos que el de GaN, debido mayormente a que tiene algo menos de pérdidas. Pese a tener menor resistencia térmica, el MOSFET de SiC se calienta algo menos en las simulaciones que el HEMT de GaN, incluso si se hace que los dos disipen la misma potencia.

3.4 Comparación económica

Se ha comparado el precio unitario de cada uno, que se entiende aquí como el coste de un solo transistor. Compararlos por lotes abarata los costes, pero como el objetivo es compararlos entre ellos, no es necesario. El AFGHL50T65SQD cuesta 5.56 € y el C3M0025065K 18.15 €.

El precio del GS-065-060-5-B-A es confidencial, pero otros modelos similares de la misma empresa no, el GS66516B-MR cuesta 44.76 € y el GS-065-060-3-B-MR 33.53 €, estos dos son muy parecidos al que se estudia, aunque no tienen la calificación automotriz. De todas formas, viendo los precios de estos y otros de otras compañías (el TP65H015G5WS de Transphorm cuesta 28.14 €, por ejemplo), es prudente asumir que el de GaN es el más caro de los tres transistores.

Si se comparan estos precios con el total de un coche eléctrico, para un coche de 35000 € (precio típico), los seis transistores del inversor trifásico suponen un 0.1 % del coste en el caso del IGBT de silicio, un 0.3 % con el del MOSFET de SiC, y con el de GaN, si se usa el precio del GS-065-060-3-B-MR, el inversor supone un 0.6 % del precio total. Sin embargo, la mayoría de los coches eléctricos actuales requieren más potencia que la que proporciona el diseñado, lo que supone mayor ventaja para el silicio, puesto que cuenta con IGBT capaces de soportar corrientes más altas, mientras que las otras dos tecnologías podrían tener que depender de conectar varios semiconductores en paralelo.

Por lo tanto, el IGBT es con mucha diferencia el más barato de los tres, y lo sigue el MOSFET de SiC. La razón principal por la que el IGBT aventaja tanto a los otros dos es que la industria está mucho más avanzada. Los semiconductores de SiC son más baratos que los de GaN porque la tecnología es más madura [35]. Las obleas con las que se fabrican dispositivos GaN son mucho más caras cuando se hacen sobre sustratos de SiC y zafiro [23]. Sin embargo, incluso cuando son fabricadas sobre silicio el coste es alto, como en el GS-065-060-5-B-A. Una clave para que los costes en estas nuevas tecnologías bajen es aumentar el diámetro de las obleas sobre las que se crecen las capas epitaxiales que constituyen los dispositivos.

Capítulo 4. Conclusiones

En este trabajo se han estudiado las tecnologías de Si, SiC y GaN para su uso en inversores de tracción en vehículos eléctricos. Para ello, se ha comenzado introduciendo los semiconductores de potencia y los inversores de tracción, junto con sus tipos de modulación, especialmente la vectorial o SVPWM.

También se han examinado las características más importantes que requieren los inversores en un transistor para obtener la mejor eficiencia y fiabilidad posible. Se ha determinado que una $R_{DS(on)}$ baja es clave para reducir las pérdidas del transistor, junto con otros valores como Q_{RR} y Q_G , que como se ha explicado en el apartado 2.2.2, también deben ser mínimos. Además, cuanto más pequeña sea la resistencia térmica del transistor, menos se calentará al disipar potencia. Por otro lado, si este puede funcionar a f_{sw} muy altas, puede reducirse el tamaño de los componentes pasivos del inversor. Finalmente, es indispensable que funcione *normally-off* y sea robusto, de esto último puede ser buen indicativo que posea la calificación AEC-Q101.

En segundo lugar, se ha resumido el estado de cada rama de semiconductores. En los semiconductores de silicio imperan los IGBT para esta aplicación, debido a sus bajas pérdidas de conducción. En los de carburo de silicio los más prometedores son los JFET y los MOSFET. El mayor inconveniente de los JFET es que son *normally-on*, por lo que se suelen usar en configuración de cascodo. Los MOSFET no tienen este inconveniente, pero sí presentan algunos posibles fallos, el óxido en la puerta tiene más probabilidades de sufrir una ruptura dieléctrica, y los cables de unión del paquete son menos fiables que los de Si a causa de su peor flexibilidad y mayor degradación termomecánica. En el caso del GaN, la arquitectura más destacada es el HEMT, pero también se han examinado los CAVET, GIT, MOSFET y JFET. El problema del funcionamiento *normally-on* se repite aquí, junto con el de la elección del sustrato.

Si bien la fabricación de GaN en silicio es una solución viable, los precios actuales siguen siendo muy altos. Aún es difícil construir obleas grandes (300 mm de diámetro) con semiconductores de altas tensiones. El bajo voltaje de umbral de puerta, la pasivación óptima de la superficie y el control del colapso de corriente, las corrientes de fuga en la puerta, la capacidad de resistencia a cortocircuitos y la escala del tamaño del chip son desafíos para fabricar productos basados en GaN calificados para inversores de tracción. El semiconductor de potencia de GaN está más implementado ya en aplicaciones de bajo voltaje, pero aún hay ciertas dificultades específicas para los sistemas de alto voltaje y alta potencia.

En tercer lugar, terminado el análisis, se han seleccionado varios transistores comerciales de cada tecnología, dentro de unas especificaciones concretas. Se han buscado transistores con un margen de corriente bastante amplio, debido a la escasez de modelos de simulación funcionales. Por una parte, hay mucha disponibilidad de IGBT de Si, pero muy pocos tienen modelos SPICE utilizables. Por la otra, de las nuevas tecnologías hay pocos transistores comerciales en general.

Después, se han seleccionado tres modelos para probarlos en *LTSpice*. De silicio se han hallado varios con modelo SPICE, pero ninguno era capaz de lidiar con las exigencias de la simulación al mismo tiempo que simulaba su calentamiento, así que se ha escogido al que mejor funcionaba dentro de esta limitación. En el caso del SiC y el GaN, ambos tienen un fabricante que proporciona modelos de simulación más funcionales, se ha escogido el más adecuado de cada uno. El de SiC basándose en las

especificaciones con las que se ha trabajado, y el de GaN en que poseía la calificación automotriz, lo cual lo hacía más idóneo que otros parecidos para este estudio.

Finalmente, se ha diseñado un inversor trifásico de 8.7 kW de cada tecnología con modulación SVPWM, y se ha medido la eficiencia y alteración de temperatura. El IGBT de Si es el que mayores pérdidas y calentamiento sufre. El inversor con IGBT de Si sin simulación térmica (T_J fijada a 25 °C) diseñado tiene un 98.866 % de eficiencia, mientras que el de SiC tiene un 99.508 %, y el de GaN un 99.196 % (ambos simulando 25 °C en todos los encapsulados y por tanto la variación en T_J).

En conclusión, los semiconductores de SiC y GaN gozan de algunas características que hace su uso muy prometedor en esta aplicación, se ha demostrado que son efectivamente capaces de superar al silicio en eficiencia. Sin embargo, aún quedan muchos desafíos, sobre todo de robustez y fiabilidad, y como se ha visto en este trabajo, de conseguir un funcionamiento *normally-off* sin perder sus ventajas como semiconductores. Además, el coste de estas nuevas tecnologías es mucho mayor por ahora.

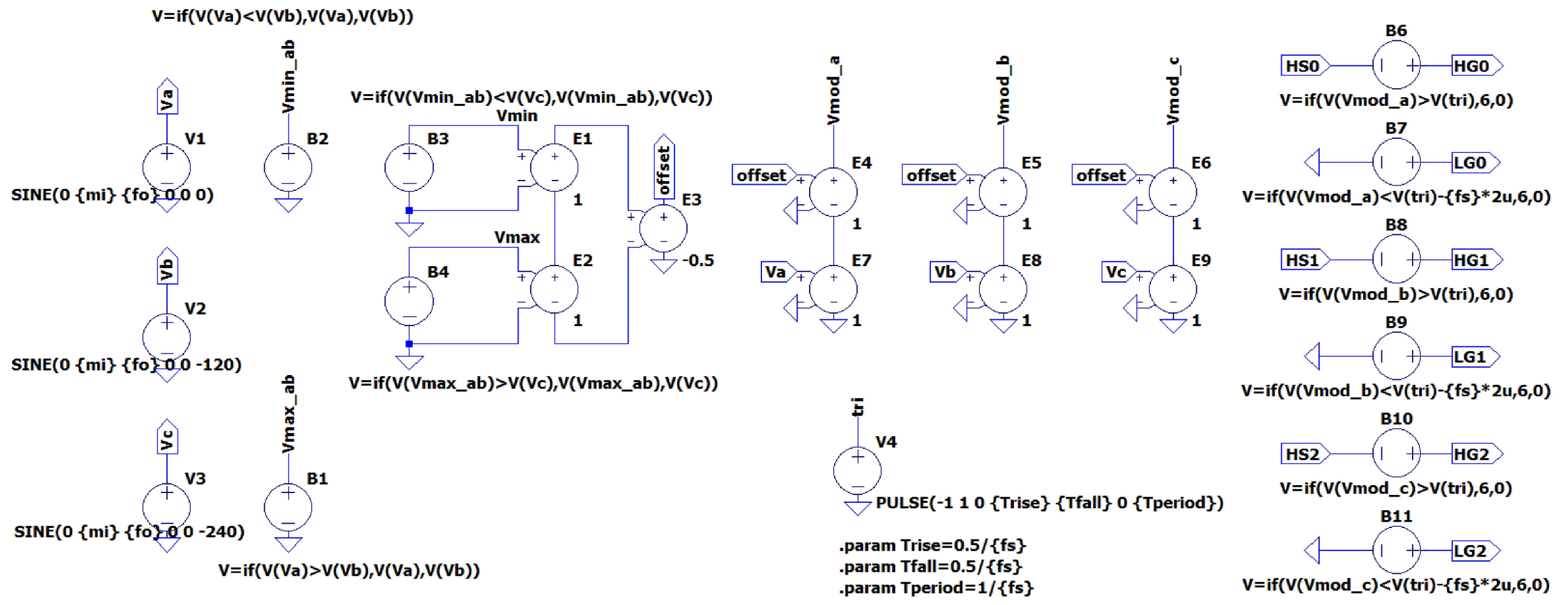
En general, de la literatura revisada, se puede extraer que actualmente los MOSFET de SiC son los semiconductores de banda ancha que exhiben las mejores propiedades para inversores de tracción en EV, puesto que requieren un control parecido a los IGBT de Si y tienen unas características similares a estos, además de una resistencia térmica baja. Se pueden extraer unas conclusiones similares de las simulaciones realizadas. El transistor de SiC ha sido el más eficiente, y pese a que indudablemente el IGBT de Si es más económico, el MOSFET de SiC es menos costoso que el HEMT de GaN.

A la hora de realizar las simulaciones en este trabajo, la mayor dificultad han sido los errores de convergencia. Estos se han eludido a base de pequeñas alteraciones en los parámetros del simulador, pero en el caso del IGBT de Si, esto no siempre ha dado resultado.

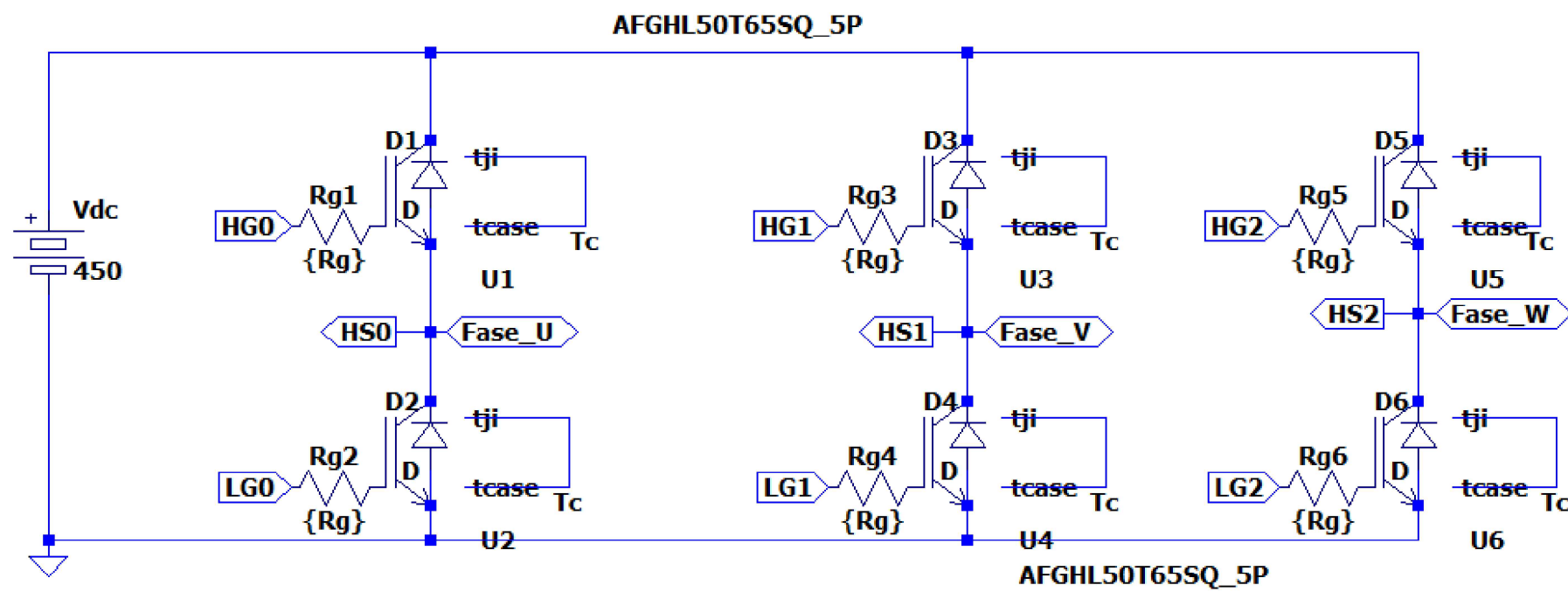
Unas posibles líneas futuras a este trabajo serían el diseño de un inversor real. Esto tendría la ventaja de que se podrían hacer otra clase de pruebas, como pruebas de robustez para conocer la durabilidad y fiabilidad de cada modelo. Este simulador es de tiempo real, y permite una aproximación bastante realista, además de cambiar las condiciones de operación con facilidad. No obstante, no refleja aspectos como el posible desgaste o estrés sufrido por los semiconductores.

Capítulo 5. Planos

A continuación, se presentan los esquemáticos de los circuitos usados en las simulaciones. El circuito controlador es el mismo en los tres inversores, el único valor que cambia es la tensión de encendido, que es de 6 V en el inversor basado en GaN, pero 15 V en los otros dos.

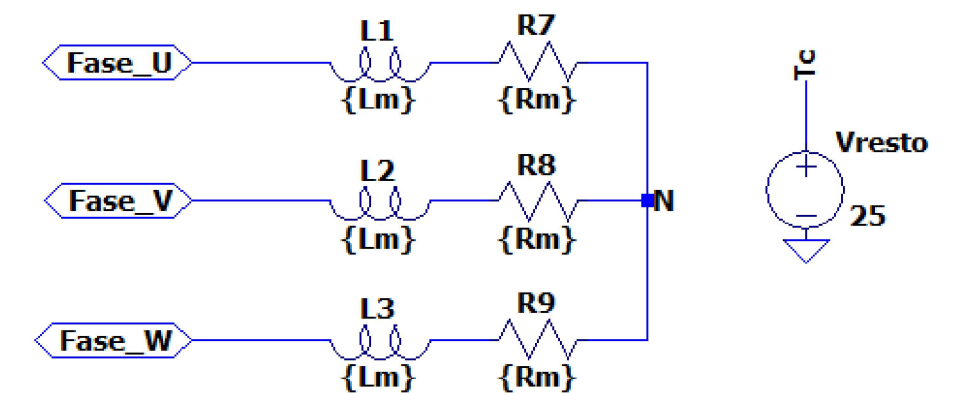


	Fecha	Nombre	Firma	Universidad Politécnica de Valencia E.T.S.I.D. Trabajo de fin de grado
Dibujado	07/06/2022	Tomás Melgar Beltrán		
Tamaño: A3	Esquema del circuito controlador del inversor en LTSpice			Plano nº: 1

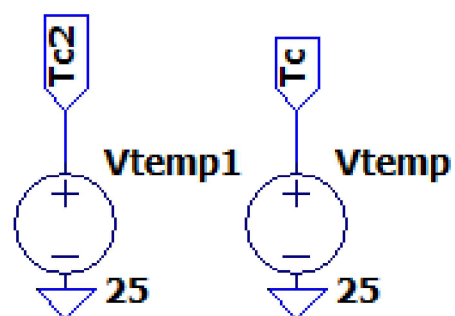


```
.opt cshunt=0.1pF ; en los nodos visibles
.opt cshuntintern=1e-15 ; pero no dentro de los modelos
.options ITL4=0100
.options trtol=20
.options abstol=1e-10
.options Gmin=1e-13
```

```
.tran 60m .options temp=25
.param fo=50 .option fastaccess
.param fs=20k .param Rm=6.2
.param mi=1.15 .param Lm=0.0174
.param Rg=5
```



	Fecha	Nombre	Firma	Universidad Politécnica de Valencia E.T.S.I.D. Trabajo de fin de grado
Dibujado	07/06/2022	Tomás Melgar Beltrán	<i>TMB</i>	
Tamaño: A3	Esquema del circuito del inversor basado en silicio en LTSpice			Plano nº: 2



```

.options temp=25
.option fastaccess
.param Rm=6.2
.param Lm=0.0174
.param Rg=2.5

```

```

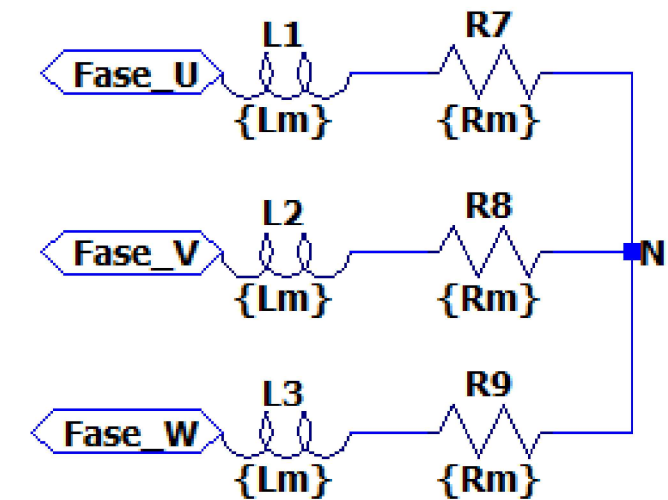
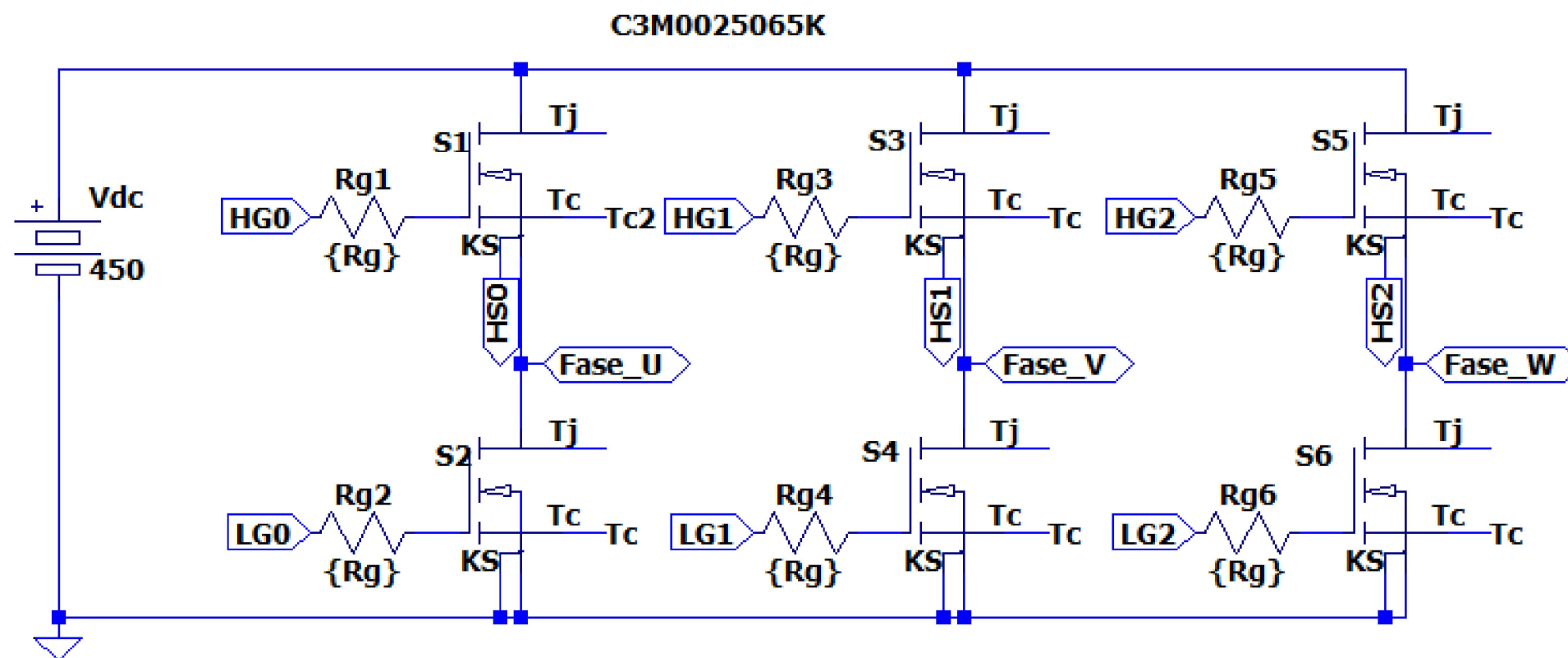
;.options ITL4=2000
.options trtol=40
.opt abstol=1e-10
.opt chgtol=1e-13
.options gmin=1n
.options gminsteps=200

```

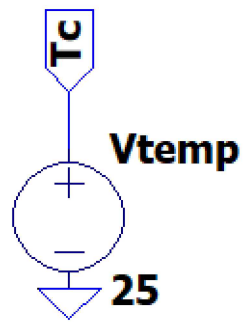
```

.tran 0 60m 0 20n
.param fo=50
.param fs=20k
.param mi=1.15

```



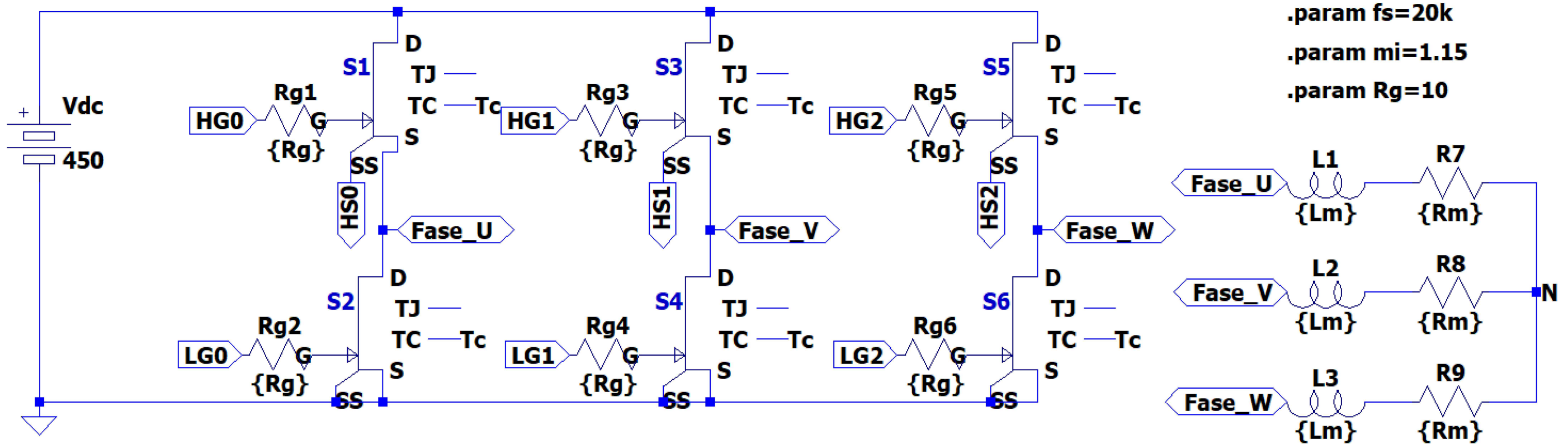
	Fecha	Nombre	Firma	Universidad Politécnica de Valencia E.T.S.I.D. Trabajo de fin de grado
Dibujado	07/06/2022	Tomás Melgar Beltrán		
Tamaño: A3	Esquema del circuito del inversor basado en carburo de silicio en LTSpice			Plano nº: 3



```
.options temp=25
.option fastaccess
.param Rm=6.2
.param Lm=0.0174
.opt cshunt=1e-15
.options trtol=10
```

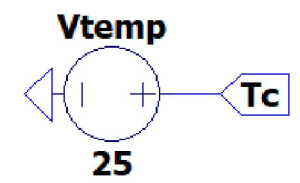
```
.tran 0 60m 0 50n
.param fo=50
.param fs=20k
.param mi=1.15
.param Rg=10
```

GaN_LTspice_GS-065-060-5-B-A_L3V3P1

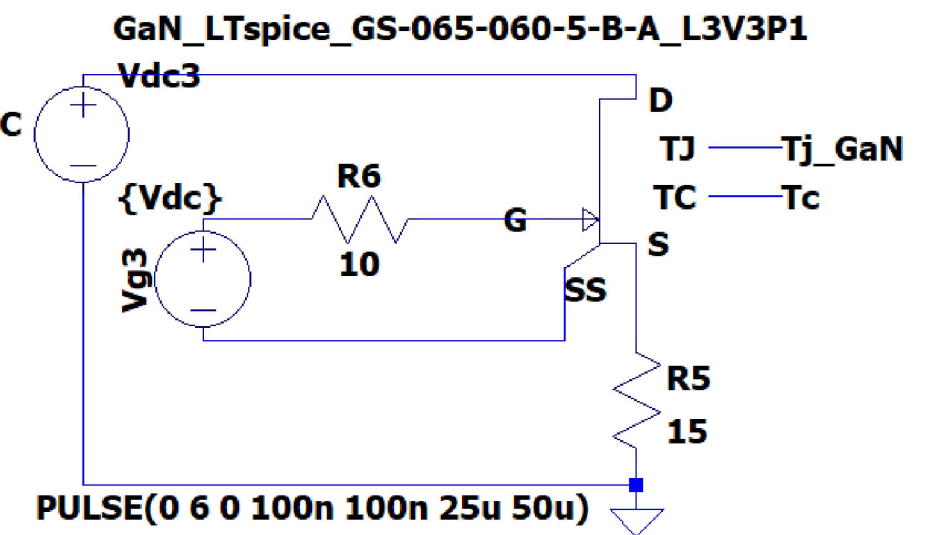
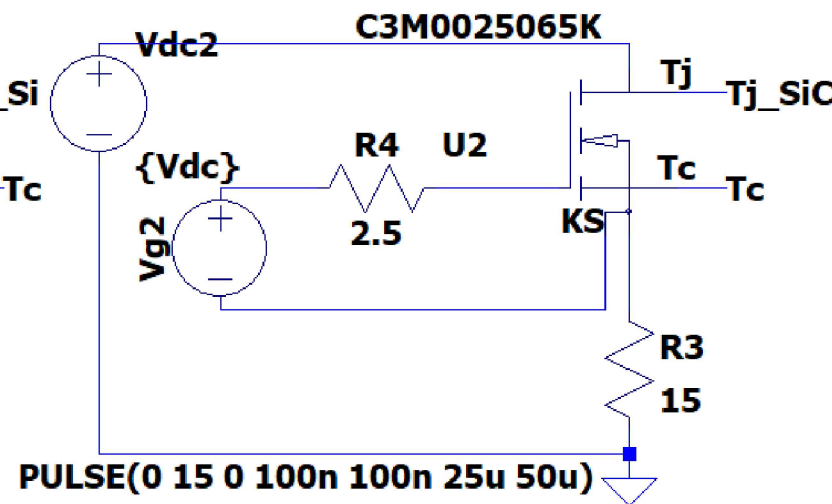
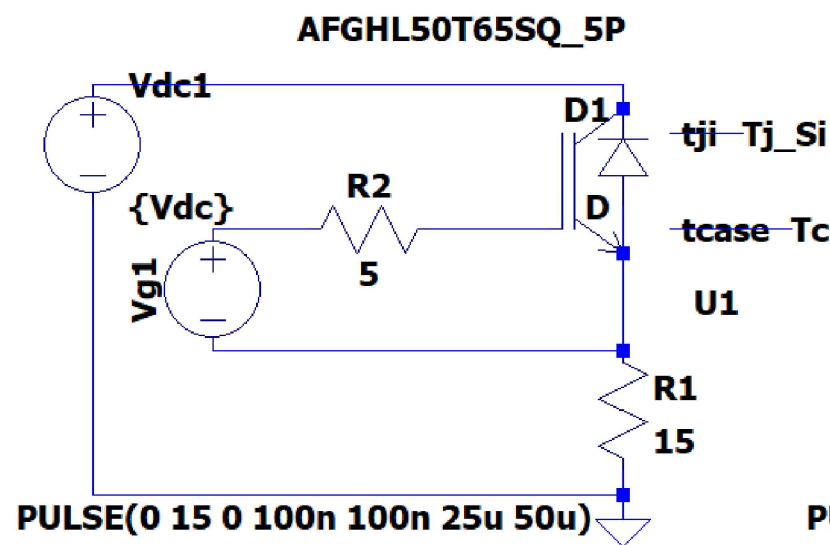


	Fecha	Nombre	Firma	Universidad Politécnica de Valencia E.T.S.I.D. Trabajo de fin de grado	
Dibujado	07/06/2022	Tomás Melgar Beltrán			
Tamaño: A3	Esquema del circuito del inversor basado en nitruro de galio en LTSpice			Plano nº:	4

.param Vdc=450



.options temp=25
.option fastaccess
.tran 0 60m 0 150n
.opt cshunt=1e-15
.options trtol=5



	Fecha	Nombre	Firma	Universidad Politécnica de Valencia E.T.S.I.D. Trabajo de fin de grado
Dibujado	07/06/2022	Tomás Melgar Beltrán		
Tamaño: A3	Esquema del circuito de la prueba térmica en LTSpice			Plano nº: 5

Capítulo 6. Pliego de condiciones

6.1 Objeto

El objeto de este capítulo es determinar las condiciones bajo las que se debe llevar a cabo la simulación realizada en caso de querer probar cierto modelo de transistor. Puesto que en este trabajo no se contempla la implementación material de un inversor, sino solamente su simulación en *LTSpice*, en este capítulo simplemente se exponen las especificaciones para poder llevar a cabo la prueba manteniendo el mismo estándar de calidad en las simulaciones y posteriores mediciones.

Por lo tanto, se determinan primeramente las condiciones que deben cumplirse en el programa *LTSpice*, y después algunas condiciones para ejecutar la simulación. Por último, se indican una serie de pruebas que se pueden realizar para comprobar que los resultados son correctos.

6.2 Condiciones de simulación

6.2.1 Modelos utilizados

Los modelos deben ser obtenidos de los propios fabricantes, en su página web o en la de un distribuidor autorizado como *Mouser*. Como modelo SPICE se suele dar o bien una librería, o bien un símbolo. En caso de que se tenga solamente una librería, se ha de abrir esta con *LTSpice*, buscar el nombre del componente, hacer clic derecho, y seleccionar la opción de crear símbolo. El programa crea automáticamente un símbolo para el componente, que puede ser utilizado ahora en cualquier simulación.

Sin embargo, el símbolo creado tiene forma de caja, lo que puede dificultar el entendimiento del circuito posteriormente. Por eso, muchos fabricantes proporcionan también un símbolo. En ese caso, se añade el símbolo en la carpeta de símbolos de *LTSpice*, y la librería en la carpeta de librerías. Después, se debe abrir el símbolo y haciendo clic derecho, en la pestaña de "atributos", seleccionar "editar atributos". Se abre un menú, y en la opción de *ModelFile*, se debe poner el camino completo al archivo de la librería del modelo. Una vez esto, este modelo estará disponible en las simulaciones y tendrá el aspecto que le haya querido dar el fabricante.

6.2.2 Parámetros de simulación

A la hora de trabajar con modelos externos, se recomienda el uso del solucionador alternativo (*alternate solver*), puesto a que ser algo más lento, falla mucho menos. También se recomienda, en caso de ser necesario, dar una *cshunt* con el comando ".opt cshunt=X" siendo X el valor que se le quiera dar a la capacitancia con la que el simulador contará entre cada punto del circuito y la tierra. Se debe usar un valor muy bajo, se recomienda 10^{-15} (1e-15 en el programa).

Además, hay una serie de parámetros que se pueden cambiar si se desea acelerar la simulación, puesto que los modelos térmicos pueden ser muy lentos. Estos se cambian de la misma forma que se ha explicado con *cshunt*. El primero es *trtol*, este está por defecto puesto en 1, se recomienda un valor entre 10 y 20 si se desea favorecer la velocidad antes que la precisión, lo cual no es problema en una simulación como la que se realiza en este trabajo (en la que se conmutan cientos de voltios a gran velocidad). De todas formas, si se aumenta este número, es preferible indicar un *timestep* máximo en los parámetros de la simulación transitoria. Para asegurar la precisión en esta simulación, este no debería ser mayor que el 1 % de un periodo de conmutación. Por ejemplo, si la f_{sw} es de 20 kHz, debería ser menor a 500 ns, se recomienda usar 150 ns, por ejemplo.

Otros valores que se pueden bajar un poco para acelerar la simulación son *Abstol*, *Chgtol* y *Gmin*. No se recomienda bajarlos demasiado, puesto que una menor precisión en la simulación puede hacer que los modelos den lugar a mayores errores de convergencia, es por esto, que no se recomienda cambiar *Reltol* ni *Volttol*. En algunos casos, usar el comando “.opt fastaccess” puede acelerar también la simulación.

Por último, se debe usar el comando “opt temp=25” para poner todos los componentes donde no se especifique otra temperatura a 25 °C.

6.3 Condiciones de ejecución

Para simular el inversor, es recomendable usar un ordenador con un procesador i7 y 8 GB de RAM, uno con menores prestaciones también funcionaría, pero la simulación podría ser muy lenta. En este trabajo se ha usado la versión 17.0.34 de *LTspice* para Windows.

Se recomienda ir desarrollando gradualmente las etapas del circuito, para así ir comprobando que cada una funcione correctamente. Se puede comenzar diseñando el circuito controlador, mostrado en el primer plano. Una vez esto funcione, se puede probar con un inversor formado por MOSFET de *LTSpice*, los cuales son mucho más rápidos y menos propensos a errores. Se recomienda probar el inversor con el NMOS llamado “R6020PNJ”. Si con este componente, el circuito funciona perfectamente, se pone ya el modelo externo en lugar del NMOS, y se le da una temperatura en el encapsulado o en la unión, mediante una fuente de voltaje. También se ha de asegurar que la resistencia en la puerta y la tensión de encendido y apagado son las recomendadas por el fabricante, y que se está usando un *dead time* en el control adecuado.

Para terminar, si se usa un modelo dado por un fabricante, se han de leer siempre las instrucciones que este proporcione, muchas veces estas están dentro de la librería misma, para saber cómo utilizar el componente adecuadamente.

6.4 Pruebas y ajustes finales

Como se ha dicho antes, se puede ir probando gradualmente el funcionamiento del circuito. Primeramente, para la modulación SVPWM, se debe comprobar que las señales de referencia modificadas tengan el aspecto esperado. Después, se recomienda medir la tensión de control en una rama, para el transistor de arriba y para el de abajo, y comprobar que siempre que está uno encendido el otro está apagado, y que se encienden y apagan cuando toca.

Por último, una vez está montado el circuito completo, se debe comprobar que la tensión y corrientes en la carga sean adecuados. Las formas de onda deben ser las esperadas para un inversor trifásico con modulación SVPWM, tanto de tensión como de corriente, y no puede haber picos espontáneos muy altos en las ondas. Si la simulación no funciona, se puede probar a cambiar los parámetros antes mencionados, normalmente una simulación más lenta da lugar a menos errores, pero pueden llegar a durar horas o incluso días, así que se debe buscar un equilibrio en el que la simulación funcione, pero no tarde demasiado en calcularse.

Para medir la potencia disipada en cada parte, la potencia de entrada será siempre “V(n001)*I(Vdc)”, mientras que la potencia de salida será “V(Fase_U,N)*-I(L1) + V(Fase_V,N)*-I(L2) + V(Fase_W,N)*-I(L3)”. La potencia disipada en todos los transistores depende del tipo de transistor, en el caso del IGBT de Si, la expresión que se debe trazar en el gráfico es:

$$\begin{aligned}
& V(N001, Fase_U) \cdot I_x(U1:C) + V(P001, Fase_U) \cdot I_x(U1:G) + V(Fase_U, N001) \cdot I(D1) + V(Fase_U) \cdot I_x(U2:C) + \\
& V(P002) \cdot I_x(U2:G) - V(Fase_U) \cdot I(D2) + V(N001, Fase_V) \cdot I_x(U3:C) + V(P003, Fase_V) \cdot I_x(U3:G) + \\
& V(Fase_V, N001) \cdot I(D3) + V(Fase_V) \cdot I_x(U4:C) + V(P004) \cdot I_x(U4:G) - V(Fase_V) \cdot I(D4) + \\
& V(N001, Fase_W) \cdot I_x(U5:C) + V(P005, Fase_w) \cdot I_x(U5:G) + V(Fase_W, N001) \cdot I(D5) + V(Fase_W) \cdot I_x(U6:C) \\
& + V(P006) \cdot I_x(U6:G) - V(Fase_W) \cdot I(D6)
\end{aligned}$$

El resultado de esta última expresión permite comprobar que el resultado de las dos anteriores es correcto, a partir de la ecuación 3.8.

Capítulo 7. Presupuesto

En este capítulo se presentan los costes que han conllevado la realización de este estudio. Estos costes se han agrupado según su naturaleza. Los costes no incluyen ninguna clase de implementación física, puesto que esta no es el objeto de este proyecto. Se han tenido en cuenta las actividades realizadas y las horas dedicadas a cada una, los costes de los materiales para la realización, y, por último, los costes de la amortización del *software*. También se han sumado los gastos generales (13 %), y por último se ha tenido en cuenta el valor del beneficio industrial (6 %) y el IVA (21 %).

En primer lugar, los costes de la mano de obra, se considera que el proyectista es un ingeniero que cobra 30 € por hora. En la tabla 7.1 se pueden ver las actividades realizadas por el ingeniero, junto con las horas dedicadas a cada una.

Actividad	Número de horas (h)	Precio por hora (€/h)	Coste total (€)
Estudio inicial: semiconductores, inversores, modulaciones	30	30	900
Estudio de los semiconductores de silicio	30	30	900
Estudio de los semiconductores de carburo de silicio	40	30	1200
Estudio de los semiconductores de nitruro de galio	40	30	1200
Búsqueda de modelos comerciales	10	30	300
Diseño del circuito del inversor	10	30	300
Implementación de la simulación del circuito	30	30	900
Pruebas de funcionamiento	20	30	600
Redacción del proyecto	150	30	4500
Total	360	-	10800

Tabla 7.1. Coste de la mano de obra.

En segundo lugar, los costes de los materiales (tabla 7.2). Puesto que este trabajo consiste en un estudio y simulación, el único coste de esta naturaleza en el presupuesto es del ordenador utilizado para llevar a cabo la simulación y el resto de actividades. Se ha realizado un cálculo (ecuación 7.1) para saber el tiempo de realización del trabajo, para poder calcular cuánto se ha gastado en función de la duración del trabajo en meses. Se ha supuesto que el proyectista trabaja 8 horas diarias, 21 días al mes. Puesto que se considera que se han dedicado 360 horas, esto supone 2.14 meses. Con este valor se calcula el coste del ordenador durante la realización del trabajo, del cual se considera un plazo de amortización de 3 años.

$$\text{Tiempo de realización} = \frac{\text{horas dedicadas}}{\text{días al mes} \cdot \text{horas diarias}} = \frac{360}{21 \cdot 8} \approx 2.14 \text{ meses} \quad (7.1)$$

Nombre	Unidades (ud)	Amortización del material (meses)	Precio por unidad (€/ud)	Precio mensual (€/mes)	Tiempo de realización (meses)	Coste total (€)
HP 15s-fq1158ns	1	36	679	18.86	2.14	40.36
Total	-	-	-	-	-	40.36

Tabla 7.2. Coste de amortización de los materiales.

En tercer lugar, los costes de amortización del software. En estos costes del presupuesto se tienen en cuenta los costes de la utilización de los programas informáticos necesarios para el trabajo. Puesto que *LTSpice* es gratuito, el único coste de esta naturaleza es la amortización de la licencia de *Office*. Se ha usado el mismo método, se ha calculado con el tiempo de realización en meses y el coste mensual.

Software	Amortización de la licencia (años)	Precio (€)	Precio mensual (€/mes)	Tiempo de realización (meses)	Coste total (€)
<i>Microsoft 365</i>	1	69	5.75	2.14	12.31
Total	-	-	-	-	12.31

Tabla 7.3. Coste de amortización del software.

El cálculo final del coste del proyecto se encuentra en la tabla 7.4, teniendo en cuenta los gastos generales, el beneficio industrial y el impuesto sobre el valor añadido (IVA). El presupuesto general es de quince mil setecientos veintinueve euros con diecinueve céntimos.

Concepto	Importe (€)
Coste de la mano de obra	10800
Coste de amortización los materiales	40.36
Coste de amortización del software	12.31
Importe antes de los gastos generales	10852.67
Coste de los gastos generales (13 %)	1410.85
Importe antes del beneficio industrial	12263.52
Beneficio industrial (6 %)	735.81
Importe antes del IVA	12999.33
IVA (21 %)	2729.86
Presupuesto total	15729.19

Tabla 7.4. Presupuesto total.

Capítulo 8. Bibliografía

- [1] C. S. Goli, S. Essakiappan, P. Sahu, M. Manjrekar, y N. Shah, «Review of Recent Trends in Design of Traction Inverters for Electric Vehicle Applications», en *2021 IEEE 12th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, Chicago, IL, USA, jun. 2021, pp. 1-6. doi: 10.1109/PEDG51384.2021.9494164.
- [2] «Dopaje (semiconductores)», *Wikipedia*.
[https://es.wikipedia.org/wiki/Dopaje_\(semiconductores\)](https://es.wikipedia.org/wiki/Dopaje_(semiconductores))
- [3] A. Beltrán Domínguez, «Estudio de pérdidas y modelado térmico de un inversor de tracción en un vehículo eléctrico mediante el simulador LTspice». Universitat Politècnica de València, 2019. [En línea]. Disponible en: <http://hdl.handle.net/10251/130355>
- [4] S. Keeping, «How to Design in SiC MOSFETs to Improve EV Traction Inverter Efficiency», *Digikey*, 28 de julio de 2021. <https://www.digikey.es/en/articles/how-to-design-in-sic-mosfets-to-improve-ev-traction-inverter-efficiency>
- [5] A. Poorfakhraei, M. Narimani, y A. Emadi, «A Review of Modulation and Control Techniques for Multilevel Inverters in Traction Applications», *IEEE Access*, vol. 9, pp. 24187-24204, 2021, doi: 10.1109/ACCESS.2021.3056612.
- [6] D. Collins, «What is Space Vector Pulse Width Modulation (SVPWM)?», *Motion control tips*, 14 de marzo de 2019. <https://www.motioncontroltips.com/what-is-space-vector-pulse-width-modulation-svpwm/>
- [7] R. Natarajan, «Automotive GaN FETs engineered for high frequency and robustness in HEV/EVs», *TIEE*, 30 de noviembre de 2020. https://e2e.ti.com/blogs_/b/powerhouse/posts/charge-faster-and-drive-farther-with-gan-based-onboard-charger-in-electric-vehicles
- [8] R. T. Yadlapalli, A. Kotapati, R. Kandipati, S. R. Balusu, y C. S. Koritala, «Advancements in energy efficient GaN power devices and power modules for electric vehicle applications: a review», *Int. J. Energy Res.*, vol. 45, n.º 9, pp. 12638-12664, jul. 2021, doi: 10.1002/er.6683.
- [9] A. Bhalla, «Efficiency Gains in Traction Applications Using SiC Devices», *Power electronics news*, 7 de febrero de 2022. <https://www.powelectronicsnews.com/3-ebook-proceedings-efficiency-gains-in-traction-applications-using-unitedsic-fets-and-jfets/>
- [10] T. M. Jahns y V. Blasko, «Recent advances in power electronics technology for industrial and traction machine drives», *Proc. IEEE*, vol. 89, n.º 6, pp. 963-975, jun. 2001, doi: 10.1109/5.931496.
- [11] S. Ozdemir, F. Acar, y U. S. Selamogullari, «Comparison of silicon carbide MOSFET and IGBT based electric vehicle traction inverters», en *2015 International Conference on Electrical Engineering and Informatics (ICEEI)*, Denpasar, ago. 2015, pp. 1-4. doi: 10.1109/ICEEI.2015.7387215.
- [12] J. Rabkowski, D. Peftitsis, y H. Nee, «Silicon Carbide Power Transistors: A New Era in Power Electronics Is Initiated», *IEEE Ind. Electron. Mag.*, vol. 6, n.º 2, pp. 17-26, jun. 2012, doi: 10.1109/MIE.2012.2193291.
- [13] M. Kanechika, T. Uesugi, y T. Kachi, «Advanced SiC and GaN power electronics for automotive systems», en *2010 International Electron Devices Meeting*, San Francisco, CA, USA, dic. 2010, p. 13.5.1-13.5.4. doi: 10.1109/IEDM.2010.5703356.
- [14] L. Han, L. Liang, Y. Kang, y Y. Qiu, «A Review of SiC IGBT: Models, Fabrications, Characteristics, and Applications», *IEEE Trans. Power Electron.*, vol. 36, n.º 2, pp. 2080-2093, feb. 2021, doi: 10.1109/TPEL.2020.3005940.

- [15] A. Bhalla, «Normally-ON SiC JFETs – Characteristics and Applications», *Power systems design*, 11 de marzo de 2019. <https://www.powersystemsdesign.com/articles/normally-on-sic-jfets-characteristics-and-applications/138/14198>
- [16] A. Bhalla, «Are you SiC of Silicon? - Part 1», *Power systems design*, 31 de marzo de 2019. <https://www.powersystemsdesign.com/articles/are-you-sic-of-silicon-part-1/22/14274>
- [17] F. Roccaforte, G. Greco, P. Fiorenza, y F. Lucolano, «An Overview of Normally-Off GaN-Based High Electron Mobility Transistors», *Materials*, vol. 12, n.º 10, p. 1599, may 2019, doi: 10.3390/ma12101599.
- [18] Z. Ni, X. Lyu, O. P. Yadav, B. N. Singh, S. Zheng, y D. Cao, «Overview of Real-Time Lifetime Prediction and Extension for SiC Power Converters», *IEEE Trans. Power Electron.*, vol. 35, n.º 8, pp. 7765-7794, ago. 2020, doi: 10.1109/TPEL.2019.2962503.
- [19] A. Matallana *et al.*, «Power module electronics in HEV/EV applications: New trends in wide-bandgap semiconductor technologies and design aspects», *Renew. Sustain. Energy Rev.*, vol. 113, p. 109264, oct. 2019, doi: 10.1016/j.rser.2019.109264.
- [20] L. Juncheng y P. Di Maso, «Electric Vehicle inverters get GaN's efficient, cost-effective values», *Power electronics news*, 1 de junio de 2020. <https://www.powelectronicsnews.com/electric-vehicle-inverters-get-gans-efficient-cost-effective-values/>
- [21] M. Di Paolo Emilio, «Moving GaN Technology to the Next Stage», *Power electronics news*, 8 de febrero de 2022. <https://www.powelectronicsnews.com/04-ebook-proceeding-innoscence-moves-gan-technology-to-the-next-stage/>
- [22] E. A. Jones, F. F. Wang, y D. Costinett, «Review of Commercial GaN Power Devices and GaN-Based Converter Design Challenges», *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 4, n.º 3, pp. 707-719, sep. 2016, doi: 10.1109/JESTPE.2016.2582685.
- [23] M. Su, C. Chen, y S. Rajan, «Prospects for the application of GaN power devices in hybrid electric vehicle drive systems», vol. 28, n.º 7, jun. 2023, [En línea]. Disponible en: <https://iopscience.iop.org/article/10.1088/0268-1242/28/7/074012>
- [24] H. Kambayashi, Y. Satoh, T. Kokawa, N. Ikeda, T. Nomura, y S. Kato, «High field-effect mobility normally-off AlGaIn/GaN hybrid MOS-HFET on Si substrate by selective area growth technique», *Solid-State Electron.*, vol. 56, n.º 1, pp. 163-167, feb. 2011, doi: 10.1016/j.sse.2010.10.001.
- [25] S.-Y. Ho, C.-H. Lee, A.-J. Tzou, H.-C. Kuo, Y.-R. Wu, y J. Huang, «Suppression of Current Collapse in Enhancement Mode GaN-Based HEMTs Using an AlGaIn/GaN/AlGaIn Double Heterostructure», *IEEE Trans. Electron Devices*, vol. 64, n.º 4, pp. 1505-1510, abr. 2017, doi: 10.1109/TED.2017.2657683.
- [26] N. Badawi, A. E. Awwad, y S. Dieckerhoff, «Robustness in short-circuit mode: Benchmarking of 600V GaN HEMTs with power Si and SiC MOSFETs», en *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Milwaukee, WI, USA, sep. 2016, pp. 1-7. doi: 10.1109/ECCE.2016.7855410.
- [27] H. Li *et al.*, «Robustness of 650-V Enhancement-Mode GaN HEMTs Under Various Short-Circuit Conditions», *IEEE Trans. Ind. Appl.*, vol. 55, n.º 2, pp. 1807-1816, mar. 2019, doi: 10.1109/TIA.2018.2879289.
- [28] T. Oka, «Recent development of vertical GaN power devices», *Jpn. Soc. Appl. Phys.*, vol. 58, n.º SB, abr. 2019, [En línea]. Disponible en: <https://iopscience.iop.org/article/10.7567/1347-4065/ab02e7/meta>

- [29] R. A. Khadar, C. Liu, R. Soleimanzadeh, y E. Matioli, «Fully Vertical GaN-on-Si power MOSFETs», *IEEE Electron Device Lett.*, vol. 40, n.º 3, pp. 443-446, mar. 2019, doi: 10.1109/LED.2019.2894177.
- [30] K. J. Chen *et al.*, «GaN-on-Si Power Technology: Devices and Applications», *IEEE Trans. Electron Devices*, vol. 64, n.º 3, pp. 779-795, mar. 2017, doi: 10.1109/TED.2017.2657579.
- [31] Dong Ji y S. Chowdhury, «Design of 1.2 kV Power Switches With Low Ron Using GaN-Based Vertical JFET», *IEEE Trans. Electron Devices*, vol. 62, n.º 8, pp. 2571-2578, ago. 2015, doi: 10.1109/TED.2015.2446954.
- [32] Y. Zhang *et al.*, «1200 V GaN vertical fin power field-effect transistors», en *2017 IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, dic. 2017, p. 9.2.1-9.2.4. doi: 10.1109/IEDM.2017.8268357.
- [33] M. Di Paolo Emilio, «A Unified View and Price-Performance Analysis of IGBTs & GaN, SiC, and Silicon FETs», *Power electronics news*, 4 de mayo de 2021. <https://www.powerelectronicsnews.com/a-unified-view-and-price-performance-analysis-of-igbts-gan-sic-and-silicon-fets/>
- [34] R. Keim, «Exploring the Pros and Cons of Silicon Carbide (SiC) FETs: A New MOSFET from Cree», *All about circuits*, 28 de marzo de 2017. <https://www.allaboutcircuits.com/technical-articles/pros-cons-silicon-carbide-sic-fets-c3m0075120K-MOSFET-Cree/>
- [35] Microsemi, «Gallium Nitride (GaN) versus Silicon Carbide (SiC) in the High Frequency (RF) and Power Switching Applications», *RichardsonRFPD*, 2020. <https://www.richardsonrfpd.com/docs/rfpd/Microsemi-A-Comparison-of-Gallium-Nitride-Versus-Silicon-Carbide.pdf>
- [36] Engineering ToolBox, «Electrical Induction Motors - Synchronous Speed», *The Engineering ToolBox*, 2004. https://www.engineeringtoolbox.com/synchronous-motor-frequency-speed-d_649.html

Anexo

Field Stop Trench IGBT 50 A, 650 V

AFGHL50T65SQD

Using the novel field stop 4th generation high speed IGBT technology, AFGHL50T65SQD which is AEC Q101 qualified offers the optimum performance for both hard and soft switching topology in automotive application.

Features

- AEC-Q101 Qualified
- Maximum Junction Temperature: $T_J = 175^\circ\text{C}$
- Positive Temperature Co-efficient for Easy Parallel Operating
- High Current Capability
- Low Saturation Voltage: $V_{CE(Sat)} = 1.6\text{ V (Typ.) @ } I_C = 50\text{ A}$
- 100% of the Parts are Tested for I_{LM} (Note 2)
- Fast Switching
- Tight Parameter Distribution
- RoHS Compliant

Typical Applications

- Automotive HEV-EV Onboard Chargers
- Automotive HEV-EV DC-DC Converters
- Totem Pole Bridgeless PFC
- PTC

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-to-Emitter Voltage	V_{CES}	650	V
Gate-to-Emitter Voltage Transient Gate-to-Emitter Voltage	V_{GES}	± 20 ± 30	V
Collector Current (Note 1)	I_C	80 50	A
		@ $T_C = 25^\circ\text{C}$ @ $T_C = 100^\circ\text{C}$	
Pulsed Collector Current (Note 2)	I_{LM}	200	A
Pulsed Collector Current (Note 3)	I_{CM}	200	A
Diode Forward Current (Note 1)	I_F	80 30	A
		@ $T_C = 25^\circ\text{C}$ @ $T_C = 100^\circ\text{C}$	
Pulsed Diode Maximum Forward Current	I_{FM}	200	A
Maximum Power Dissipation	P_D	268 134	W
		@ $T_C = 25^\circ\text{C}$ @ $T_C = 100^\circ\text{C}$	
Operating Junction / Storage Temperature Range	T_J, T_{STG}	-55 to +175	$^\circ\text{C}$
Maximum Lead Temp. for Soldering Purposes, 1/8" from case for 5 seconds	T_L	300	$^\circ\text{C}$

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

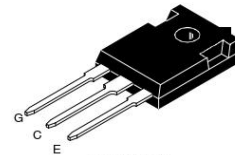
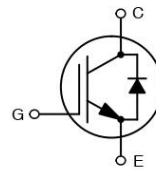
1. Value limit by bond wire
2. $V_{CC} = 400\text{ V}$, $V_{GE} = 15\text{ V}$, $I_C = 200\text{ A}$, $R_G = 15\ \Omega$, Inductive Load
3. Repetitive Rating: pulse width limited by max. Junction temperature



ON Semiconductor®

www.onsemi.com

50 A, 650 V,
 $V_{CE(Sat)} = 1.6\text{ V}$



TO-247-3L
CASE 340CX

MARKING DIAGRAM



&Z = Assembly Plant Code
&3 = 3-Digit Date Code
&K = 2-Digit Lot Traceability Code
AFGHL50T65SQD = Specific Device Code

ORDERING INFORMATION

Device	Package	Shipping
AFGHL50T65SQD	TO-247-3L	30 Units / Rail

AFGHL50T65SQD

THERMAL CHARACTERISTICS

Rating	Symbol	Value	Unit
Thermal resistance junction-to-case, for IGBT	$R_{\theta JC}$	0.56	$^{\circ}\text{C}/\text{W}$
Thermal resistance junction-to-case, for Diode	$R_{\theta JC}$	1.25	$^{\circ}\text{C}/\text{W}$
Thermal resistance junction-to-ambient	$R_{\theta JA}$	40	$^{\circ}\text{C}/\text{W}$

ELECTRICAL CHARACTERISTICS ($T_J = 25^{\circ}\text{C}$ unless otherwise noted)

Parameter	Test Conditions	Symbol	Min	Typ	Max	Unit
-----------	-----------------	--------	-----	-----	-----	------

OFF CHARACTERISTICS

Collector-emitter breakdown voltage, gate-emitter short-circuited	$V_{GE} = 0\text{ V}, I_C = 1\text{ mA}$	BV_{CES}	650	-	-	V
Temperature Coefficient of Breakdown Voltage	$V_{GE} = 0\text{ V}, I_C = 1\text{ mA}$	$\frac{\Delta BV_{CES}}{\Delta T_J}$	-	0.6	-	$\text{V}/^{\circ}\text{C}$
Collector-emitter cut-off current, gate-emitter short-circuited	$V_{GE} = 0\text{ V}, V_{CE} = 650\text{ V}$	I_{CES}	-	-	250	μA
Gate leakage current, collector-emitter short-circuited	$V_{GE} = 20\text{ V}, V_{CE} = 0\text{ V}$	I_{GES}	-	-	± 400	nA

ON CHARACTERISTICS

Gate-emitter threshold voltage	$V_{GE} = V_{CE}, I_C = 50\text{ mA}$	$V_{GE(th)}$	3.4	4.9	6.4	V
Collector-emitter saturation voltage	$V_{GE} = 15\text{ V}, I_C = 50\text{ A}$ $V_{GE} = 15\text{ V}, I_C = 50\text{ A}, T_J = 175^{\circ}\text{C}$	$V_{CE(sat)}$	-	1.6 1.95	2.1 -	V

DYNAMIC CHARACTERISTICS

Input capacitance	$V_{CE} = 30\text{ V}, V_{GE} = 0\text{ V}, f = 1\text{ MHz}$	C_{ies}	-	3258	-	μF
Output capacitance		C_{oes}	-	85	-	
Reverse transfer capacitance		C_{res}	-	11	-	
Gate charge total	$V_{CE} = 400\text{ V}, I_C = 50\text{ A}, V_{GE} = 15\text{ V}$	Q_g	-	102	-	nC
Gate-to-emitter charge		Q_{ge}	-	18	-	
Gate-to-collector charge		Q_{gc}	-	24	-	

SWITCHING CHARACTERISTICS, INDUCTIVE LOAD

Turn-on delay time	$T_C = 25^{\circ}\text{C}, V_{CC} = 400\text{ V}, I_C = 25\text{ A}, R_G = 4.7\ \Omega, V_{GE} = 15\text{ V}, \text{Inductive Load}$	$t_{d(on)}$	-	19	-	ns
Rise time		t_r	-	11	-	
Turn-off delay time		$t_{d(off)}$	-	87	-	
Fall time		t_f	-	5	-	
Turn-on switching loss		E_{on}	-	0.35	-	mJ
Turn-off switching loss		E_{off}	-	0.12	-	
Total switching loss		E_{ts}	-	0.47	-	
Turn-on delay time	$T_C = 25^{\circ}\text{C}, V_{CC} = 400\text{ V}, I_C = 50\text{ A}, R_G = 4.7\ \Omega, V_{GE} = 15\text{ V}, \text{Inductive Load}$	$t_{d(on)}$	-	20	-	ns
Rise time		t_r	-	28	-	
Turn-off delay time		$t_{d(off)}$	-	81	-	
Fall time		t_f	-	36	-	
Turn-on switching loss		E_{on}	-	0.95	-	mJ
Turn-off switching loss		E_{off}	-	0.46	-	
Total switching loss		E_{ts}	-	1.41	-	

AFGHL50T65SQD

ELECTRICAL CHARACTERISTICS ($T_J = 25^\circ\text{C}$ unless otherwise noted) (Continued)

Parameter	Test Conditions	Symbol	Min	Typ	Max	Unit
SWITCHING CHARACTERISTICS, INDUCTIVE LOAD						
Turn-on delay time	$T_C = 175^\circ\text{C}$, $V_{CC} = 400\text{ V}$, $I_C = 25\text{ A}$, $R_G = 4.7\ \Omega$, $V_{GE} = 15\text{ V}$, Inductive Load	$t_{d(on)}$	–	18	–	ns
Rise time		t_r	–	14	–	
Turn-off delay time		$t_{d(off)}$	–	99	–	
Fall time		t_f	–	7	–	
Turn-on switching loss		E_{on}	–	0.66	–	mJ
Turn-off switching loss		E_{off}	–	0.3	–	
Total switching loss		E_{ts}	–	0.96	–	
Turn-on delay time	$T_C = 175^\circ\text{C}$, $V_{CC} = 400\text{ V}$, $I_C = 50\text{ A}$, $R_G = 4.7\ \Omega$, $V_{GE} = 15\text{ V}$, Inductive Load	$t_{d(on)}$	–	20	–	ns
Rise time		t_r	–	29	–	
Turn-off delay time		$t_{d(off)}$	–	88	–	
Fall time		t_f	–	46	–	
Turn-on switching loss		E_{on}	–	1.42	–	mJ
Turn-off switching loss		E_{off}	–	0.65	–	
Total switching loss		E_{ts}	–	2.07	–	

DIODE CHARACTERISTIC

Diode Forward Voltage	$I_F = 30\text{ A}$, $T_C = 25^\circ\text{C}$	V_{FM}	–	2.0	2.6	V
	$I_F = 30\text{ A}$, $T_C = 175^\circ\text{C}$		–	1.7	–	
Reverse Recovery Energy	$I_F = 30\text{ A}$, $di_F/dt = 200\text{ A}/\mu\text{s}$, $T_C = 175^\circ\text{C}$	E_{rec}	–	50	–	μJ
Diode Reverse Recovery Time	$I_F = 30\text{ A}$, $di_F/dt = 200\text{ A}/\mu\text{s}$, $T_C = 25^\circ\text{C}$	T_{rr}	–	30	–	ns
	$I_F = 30\text{ A}$, $di_F/dt = 200\text{ A}/\mu\text{s}$, $T_C = 175^\circ\text{C}$		–	194	–	
Diode Reverse Recovery Charge	$I_F = 30\text{ A}$, $di_F/dt = 200\text{ A}/\mu\text{s}$, $T_C = 25^\circ\text{C}$	Q_{rr}	–	42	–	nC
	$I_F = 30\text{ A}$, $di_F/dt = 200\text{ A}/\mu\text{s}$, $T_C = 175^\circ\text{C}$		–	723	–	

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

AFGHL50T65SQD

TYPICAL CHARACTERISTICS

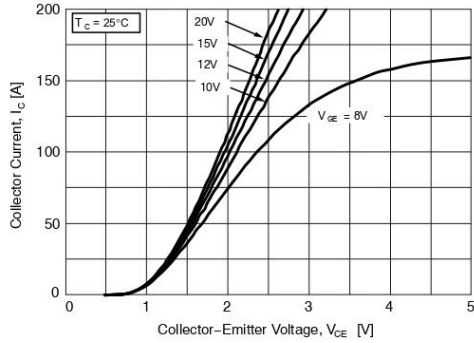


Figure 1. Typical Output Characteristics

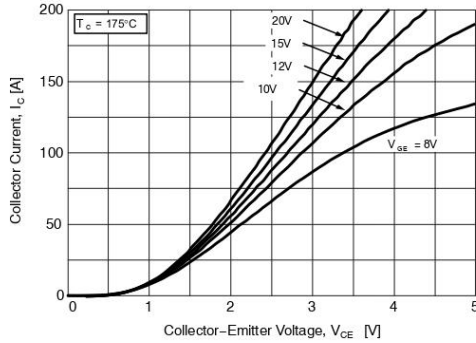


Figure 2. Typical Output Characteristics

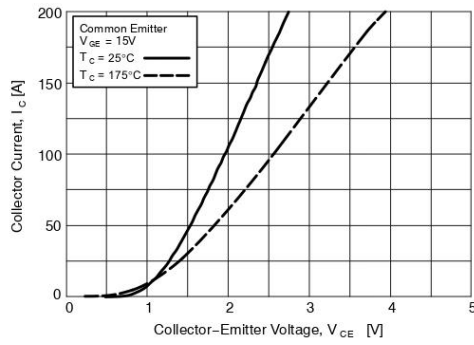


Figure 3. Typical Saturation Voltage

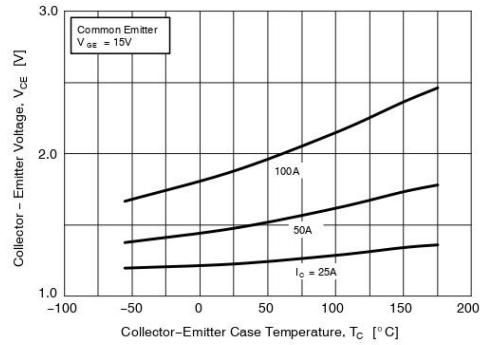


Figure 4. Saturation Voltage vs. Case Temperature

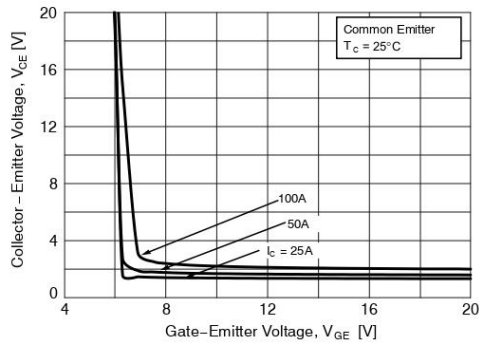


Figure 5. Saturation Voltage vs. V_{GE}

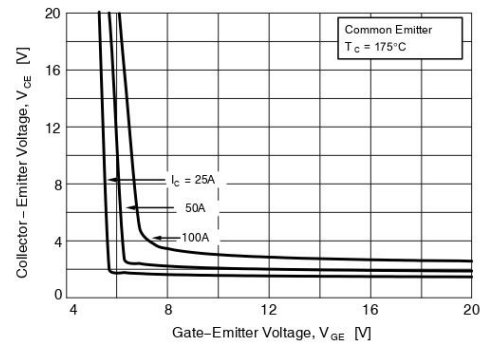


Figure 6. Saturation Voltage vs. V_{GE}

AFGHL50T65SQD

TYPICAL CHARACTERISTICS

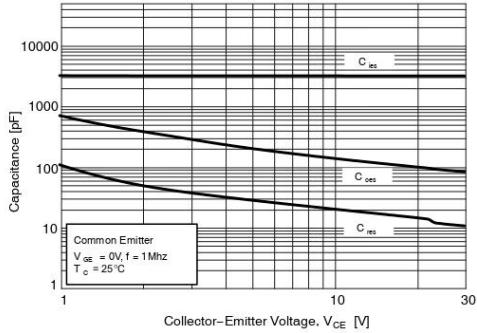


Figure 7. Capacitance Characteristics

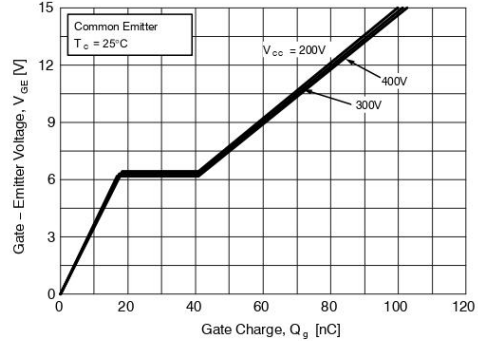


Figure 8. Gate Charge

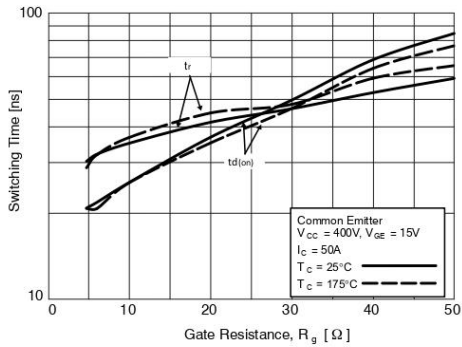


Figure 9. Turn-On Characteristics vs. Gate Resistance

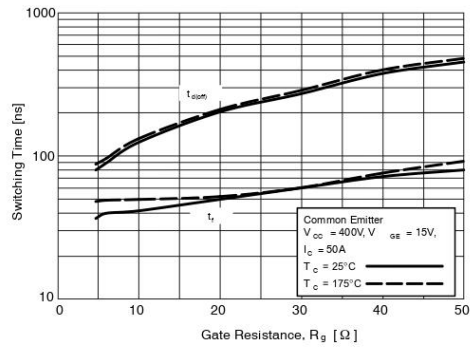


Figure 10. Turn-Off Characteristics vs. Gate Resistance

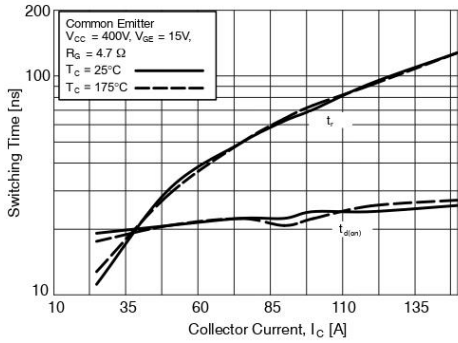


Figure 11. Turn-On Characteristics vs. Collector Current

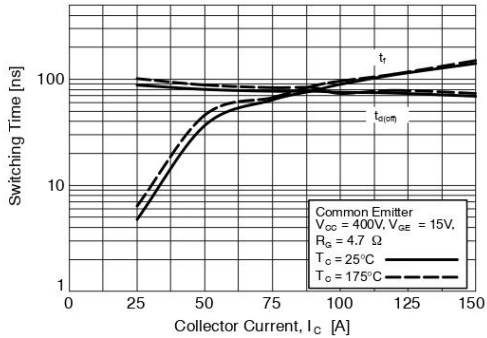


Figure 12. Turn-Off Characteristics vs. Collector Current

AFGHL50T65SQD

TYPICAL CHARACTERISTICS

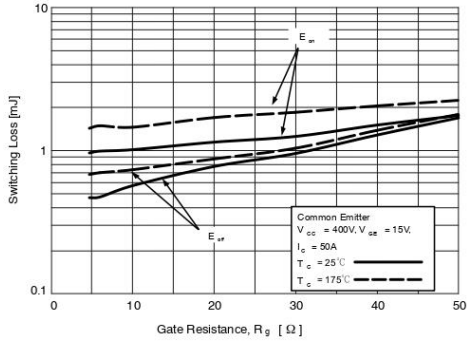


Figure 13. Switching Loss vs. Gate Resistance

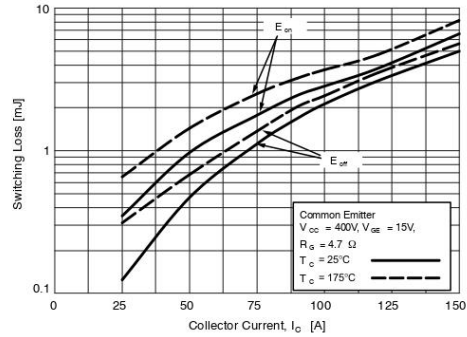


Figure 14. Switching Loss vs. Collector Current

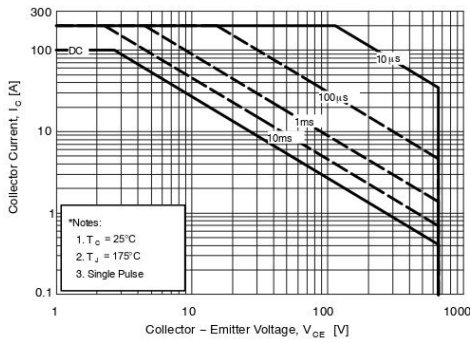


Figure 15. SOA Characteristics

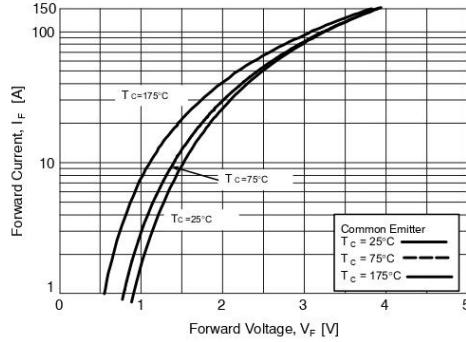


Figure 16. Forward Characteristics

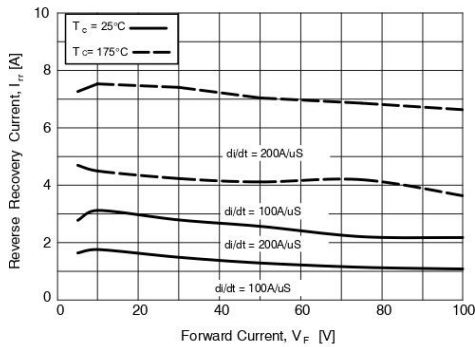


Figure 17. Reverse Recovery Current

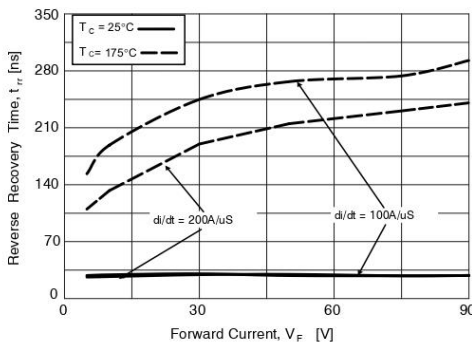


Figure 18. Reverse Recovery Time

AFGHL50T65SQD

TYPICAL CHARACTERISTICS

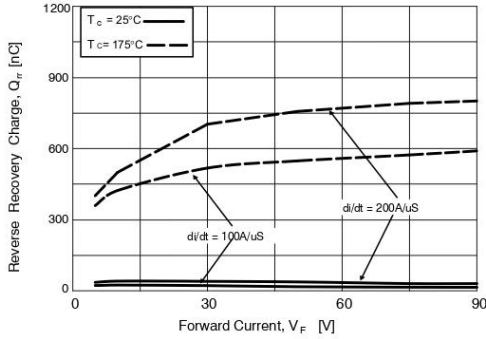


Figure 19. Stored Charge

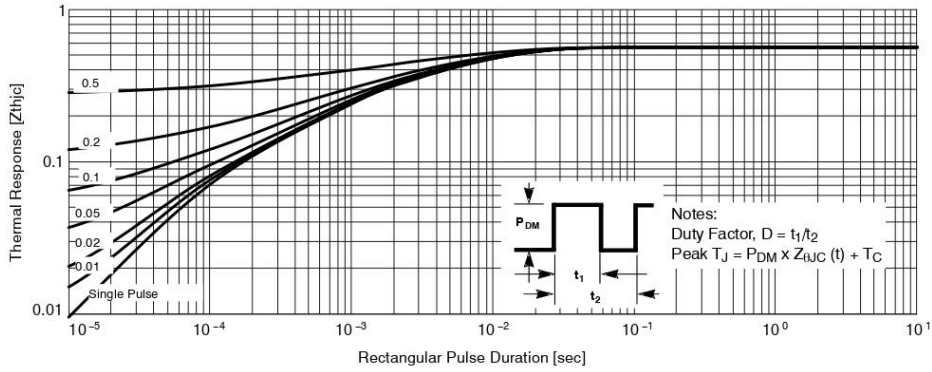


Figure 20. Transient Thermal Impedance of IGBT

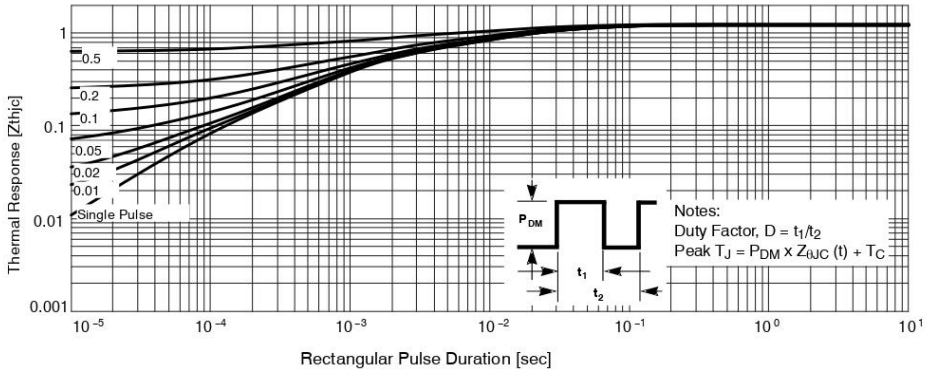


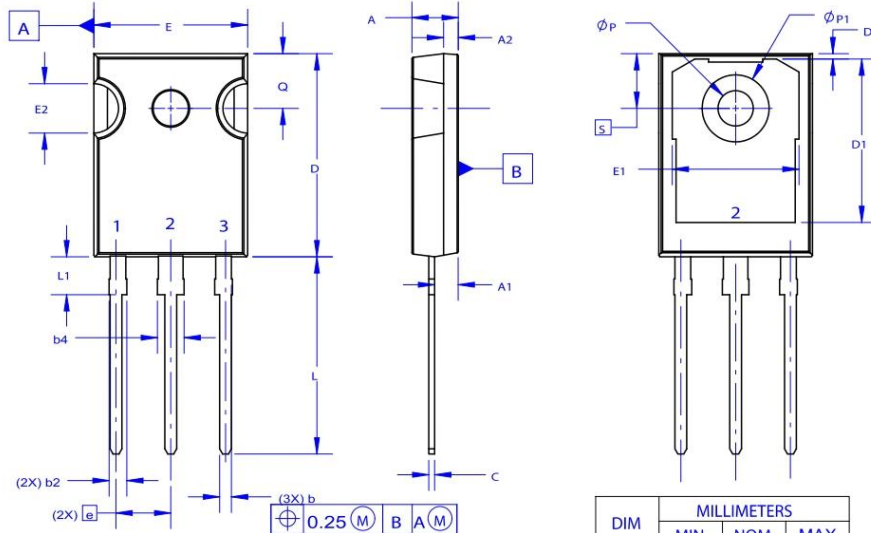
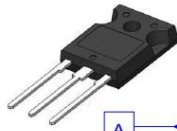
Figure 21. Transient Thermal Impedance of Diode

MECHANICAL CASE OUTLINE
PACKAGE DIMENSIONS



TO-247-3LD
CASE 340CX
ISSUE A

DATE 06 JUL 2020



NOTES: UNLESS OTHERWISE SPECIFIED.

- A. DIMENSIONS ARE EXCLUSIVE OF BURRS, MOLD FLASH, AND TIE BAR EXTRUSIONS.
- B. ALL DIMENSIONS ARE IN MILLIMETERS.
- C. DRAWING CONFORMS TO ASME Y14.5 - 2009.
- D. DIMENSION A1 TO BE MEASURED IN THE REGION DEFINED BY L1.
- E. LEAD FINISH IS UNCONTROLLED IN THE REGION DEFINED BY L1.

GENERIC MARKING DIAGRAM*



- XXXXX = Specific Device Code
- A = Assembly Location
- Y = Year
- WW = Work Week
- G = Pb-Free Package

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "•", may or may not be present. Some products may not follow the Generic Marking.

DIM	MILLIMETERS		
	MIN	NOM	MAX
A	4.58	4.70	4.82
A1	2.20	2.40	2.60
A2	1.40	1.50	1.60
D	20.32	20.57	20.82
E	15.37	15.62	15.87
E2	4.96	5.08	5.20
e	~	5.56	~
L	19.75	20.00	20.25
L1	3.69	3.81	3.93
ØP	3.51	3.58	3.65
Q	5.34	5.46	5.58
S	5.34	5.46	5.58
b	1.17	1.26	1.35
b2	1.53	1.65	1.77
b4	2.42	2.54	2.66
c	0.51	0.61	0.71
D1	13.08	~	~
D2	0.51	0.93	1.35
E1	12.81	~	~
ØP1	6.60	6.80	7.00

DOCUMENT NUMBER:	98AON93302G	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	TO-247-3LD	PAGE 1 OF 1

ON Semiconductor and are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.



C3M0025065K

Silicon Carbide Power MOSFET

C3M™ MOSFET Technology

N-Channel Enhancement Mode

Features

- C3M™ SiC MOSFET technology
- Optimized package with separate driver source pin
- 8mm of creepage distance between drain and source
- High blocking voltage with low on-resistance
- High-speed switching with low capacitances
- Fast intrinsic diode with low reverse recovery (Q_{rr})
- Halogen free, RoHS compliant

Benefits

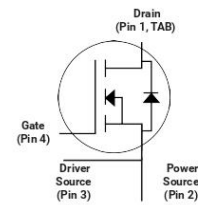
- Reduce switching losses and minimize gate ringing
- Higher system efficiency
- Reduce cooling requirements
- Increase power density
- Increase system switching frequency

Applications

- EV chargers
- UPS
- Solar inverters
- Industrial SMPS
- DC/DC converters

V_{DS}	650 V
$I_D @ 25^\circ\text{C}$	97 A
$R_{DS(on)}$	25 mΩ

Package



Part Number	Package	Marking
C3M0025065K	TO 247-4	C3M0025065K

Maximum Ratings

Symbol	Parameter	Value	Unit	Note
V_{DSS}	Drain - Source Voltage, $T_c = 25^\circ\text{C}$	650	V	
V_{GS}	Gate - Source voltage (Under transient events < 100 ns)	-8/+19	V	Fig. 29
I_D	Continuous Drain Current, $V_{GS} = 15\text{ V}$, $T_c = 25^\circ\text{C}$	97	A	Fig. 19
	Continuous Drain Current, $V_{GS} = 15\text{ V}$, $T_c = 100^\circ\text{C}$	70		
$I_{D(pulse)}$	Pulsed Drain Current, Pulse width t_p limited by T_{jmax}	251	A	
P_D	Power Dissipation, $T_c=25^\circ\text{C}$, $T_j = 175^\circ\text{C}$	326	W	Fig. 20
T_j, T_{stg}	Operating Junction and Storage Temperature	-40 to +175	$^\circ\text{C}$	
T_L	Solder Temperature, 1.6mm (0.063") from case for 10s	260	$^\circ\text{C}$	
M_d	Mounting Torque, (M3 or 6-32 screw)	1	Nm	
		8.8		



Electrical Characteristics ($T_c = 25^\circ\text{C}$ unless otherwise specified)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions	Note
$V_{(BR)DSS}$	Drain-Source Breakdown Voltage	650			V	$V_{GS} = 0\text{ V}, I_D = 100\ \mu\text{A}$	
V_{GSon}	Gate-Source Recommended Turn-On Voltage		15		V	Static	Fig. 29
V_{GSoff}	Gate-Source Recommended Turn-Off Voltage		-4		V		
$V_{GS(th)}$	Gate Threshold Voltage	1.8	2.3	3.6	V	$V_{DS} = V_{GS}, I_D = 9.22\ \text{mA}$	Fig. 11
			1.9			V	
I_{DSS}	Zero Gate Voltage Drain Current		1	50	μA	$V_{DS} = 650\ \text{V}, V_{GS} = 0\ \text{V}$	
I_{GSS}	Gate-Source Leakage Current		10	250	nA	$V_{GS} = 15\ \text{V}, V_{DS} = 0\ \text{V}$	
$R_{DS(on)}$	Drain-Source On-State Resistance		25	34	m Ω	$V_{GS} = 15\ \text{V}, I_D = 33.5\ \text{A}$	Fig. 4, 5, 6
			33			$V_{GS} = 15\ \text{V}, I_D = 33.5\ \text{A}, T_J = 175^\circ\text{C}$	
g_{fs}	Transconductance		25		S	$V_{DS} = 20\ \text{V}, I_{DS} = 33.5\ \text{A}$	Fig. 7
			24			$V_{DS} = 20\ \text{V}, I_{DS} = 33.5\ \text{A}, T_J = 175^\circ\text{C}$	
C_{iss}	Input Capacitance		2980		pF	$V_{GS} = 0\ \text{V}, V_{DS} = 0\ \text{V to } 600\ \text{V}$ $F = 1\ \text{Mhz}$ $V_{AC} = 25\ \text{mV}$	Fig. 17, 18
C_{oss}	Output Capacitance		178				
C_{rss}	Reverse Transfer Capacitance		12				
$C_{ol(er)}$	Effective Output Capacitance (Energy Related)		236				
$C_{ol(tr)}$	Effective Output Capacitance (Time Related)		340			$V_{GS} = 0\ \text{V}, V_{DS} = 0\ \text{V to } 400\ \text{V}$	Note: 1
E_{oss}	C_{oss} Stored Energy		37		μJ	$V_{DS} = 600\ \text{V}, F = 1\ \text{Mhz}$	Fig. 16
E_{ON}	Turn-On Switching Energy (Body Diode)		121		μJ	$V_{DS} = 400\ \text{V}, V_{GS} = -4\ \text{V}/15\ \text{V}, I_D = 33.5\ \text{A},$ $R_{G(ext)} = 2.5\ \Omega, L = 59\ \mu\text{H}, T_J = 175^\circ\text{C}$ FWD = Internal Body Diode of MOSFET	Fig. 25
E_{OFF}	Turn Off Switching Energy (Body Diode)		53				
E_{ON}	Turn-On Switching Energy (External Diode)		73		μJ	$V_{DS} = 400\ \text{V}, V_{GS} = -4\ \text{V}/15\ \text{V}, I_D = 33.5\ \text{A},$ $R_{G(ext)} = 2.5\ \Omega, L = 59\ \mu\text{H}, T_J = 175^\circ\text{C}$ FWD = External SiC DIODE	Fig. 25
E_{OFF}	Turn Off Switching Energy (External Diode)		82				
$t_{d(on)}$	Turn-On Delay Time		12		ns	$V_{DD} = 400\ \text{V}, V_{GS} = -4\ \text{V}/15\ \text{V}$ $I_D = 33.5\ \text{A}, R_{G(ext)} = 2.5\ \Omega$ Timing relative to V_{DS} Inductive load	Fig. 26
t_r	Rise Time		18				
$t_{d(off)}$	Turn-Off Delay Time		25				
t_f	Fall Time		8				
$R_{G(int)}$	Internal Gate Resistance		1.3		Ω	$f = 1\ \text{MHz}, V_{AC} = 25\ \text{mV}$	
Q_{gs}	Gate to Source Charge		34		nC	$V_{DS} = 400\ \text{V}, V_{GS} = -4\ \text{V}/15\ \text{V}$ $I_D = 33.5\ \text{A}$ Per IEC60747-8-4 pg 21	Fig. 12
Q_{gd}	Gate to Drain Charge		33				
Q_g	Total Gate Charge		112				

Note (1): $C_{ol(er)}$, a lumped capacitance that gives same stored energy as C_{oss} while V_{ds} is rising from 0 to 400V
 $C_{ol(tr)}$, a lumped capacitance that gives same charging time as C_{oss} while V_{ds} is rising from 0 to 400V



Reverse Diode Characteristics ($T_c = 25^\circ\text{C}$ unless otherwise specified)

Symbol	Parameter	Typ.	Max.	Unit	Test Conditions	Note
V_{SD}	Diode Forward Voltage	5.0		V	$V_{GS} = -4\text{ V}, I_{SD} = 16.8\text{ A}, T_J = 25^\circ\text{C}$	Fig. 8, 9, 10
		4.5		V	$V_{GS} = -4\text{ V}, I_{SD} = 16.8\text{ A}, T_J = 175^\circ\text{C}$	
I_S	Continuous Diode Forward Current		52	A	$V_{GS} = -4\text{ V}, T_c = 25^\circ\text{C}$	
$I_{S,pulse}$	Diode pulse Current		251	A	$V_{GS} = -4\text{ V}$, pulse width t_p limited by T_{Jmax}	
t_{rr}	Reverse Recover time	16		ns	$V_{GS} = -4\text{ V}, I_{SD} = 33.5\text{ A}, V_R = 400\text{ V}$ $di/dt = 5560\text{ A}/\mu\text{s}, T_J = 175^\circ\text{C}$	
Q_{rr}	Reverse Recovery Charge	453		nC		
I_{rm}	Peak Reverse Recovery Current	54		A		
t_{rr}	Reverse Recover time	22		ns	$V_{GS} = -4\text{ V}, I_{SD} = 33.5\text{ A}, V_R = 400\text{ V}$ $di/dt = 1575\text{ A}/\mu\text{s}, T_J = 175^\circ\text{C}$	
Q_{rr}	Reverse Recovery Charge	293		nC		
I_{rm}	Peak Reverse Recovery Current	22		A		

Thermal Characteristics

Symbol	Parameter	Typ.	Unit	Test Conditions	Note
$R_{\theta JC}$	Thermal Resistance from Junction to Case	0.46	$^\circ\text{C}/\text{W}$		Fig. 21
$R_{\theta JA}$	Thermal Resistance From Junction to Ambient	40			

Typical Performance

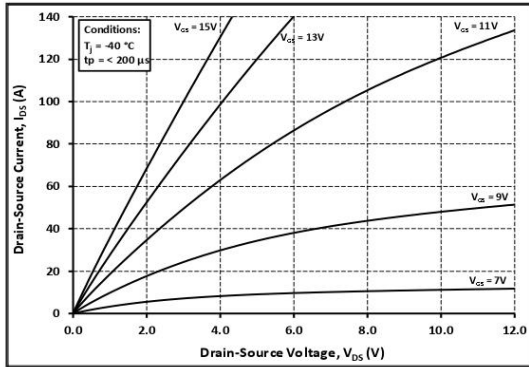


Figure 1. Output Characteristics $T_J = -40\text{ }^\circ\text{C}$

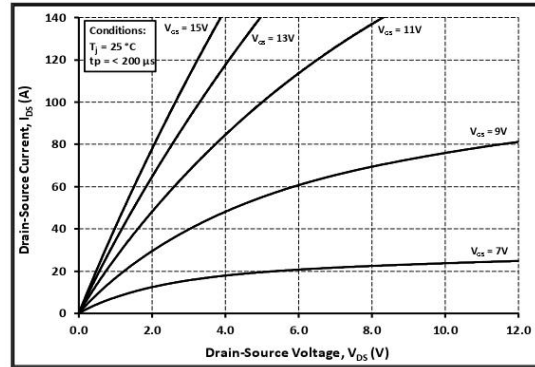


Figure 2. Output Characteristics $T_J = 25\text{ }^\circ\text{C}$

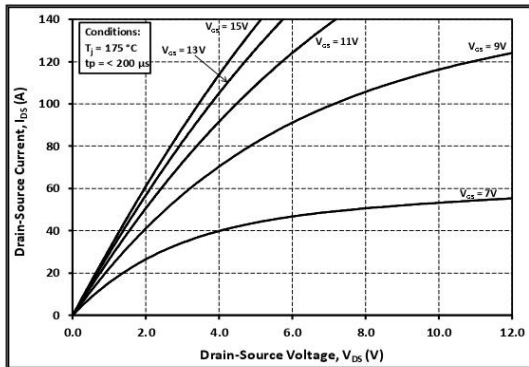


Figure 3. Output Characteristics $T_J = 175\text{ }^\circ\text{C}$

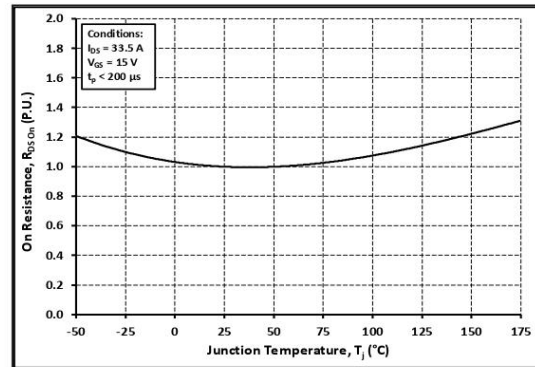


Figure 4. Normalized On-Resistance vs. Temperature

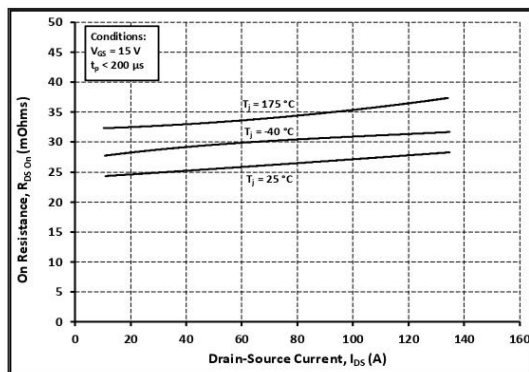


Figure 5. On-Resistance vs. Drain Current For Various Temperatures

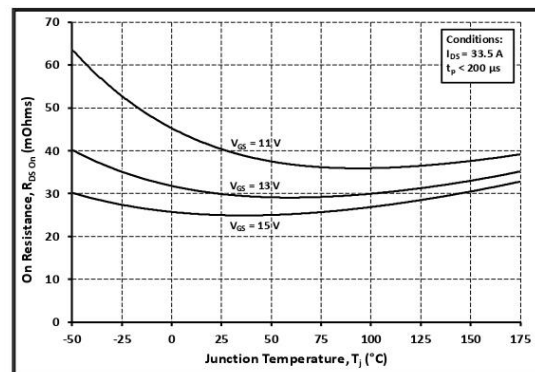


Figure 6. On-Resistance vs. Temperature For Various Gate Voltage

Typical Performance

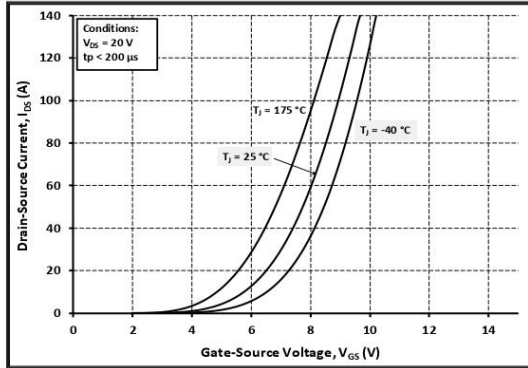


Figure 7. Transfer Characteristic for Various Junction Temperatures

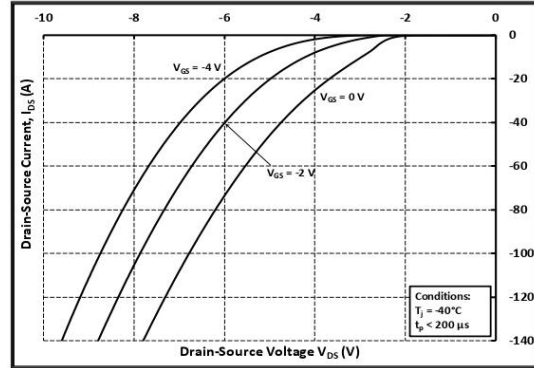


Figure 8. Body Diode Characteristic at -40 °C

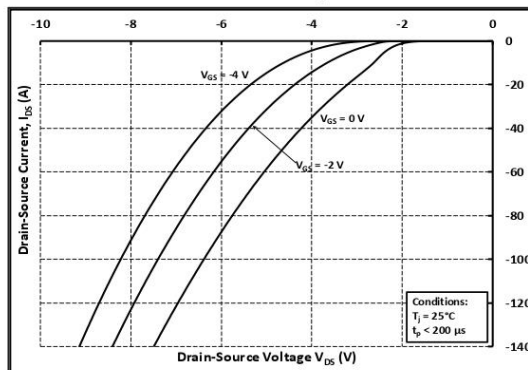


Figure 9. Body Diode Characteristic at 25 °C

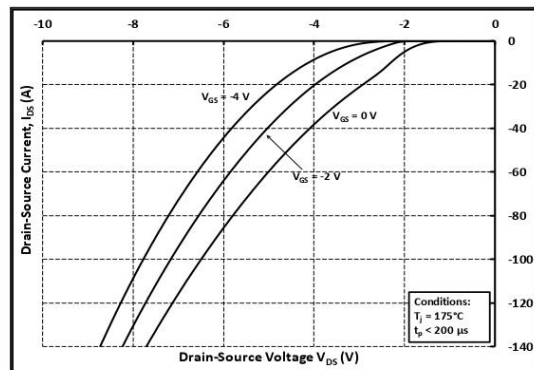


Figure 10. Body Diode Characteristic at 175 °C

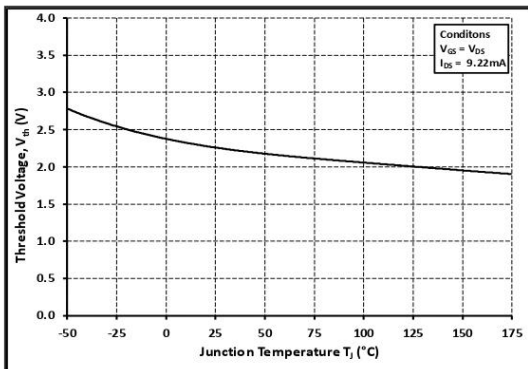


Figure 11. Threshold Voltage vs. Temperature

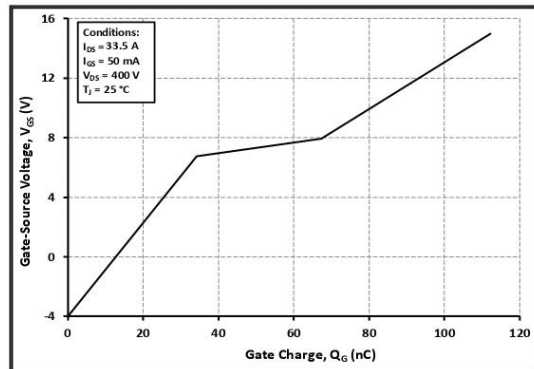


Figure 12. Gate Charge Characteristics

Typical Performance

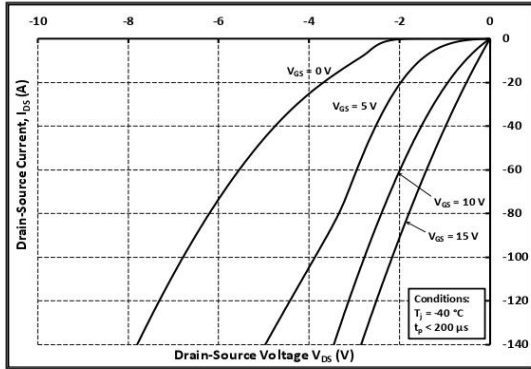


Figure 13. 3rd Quadrant Characteristic at $-40\text{ }^\circ\text{C}$

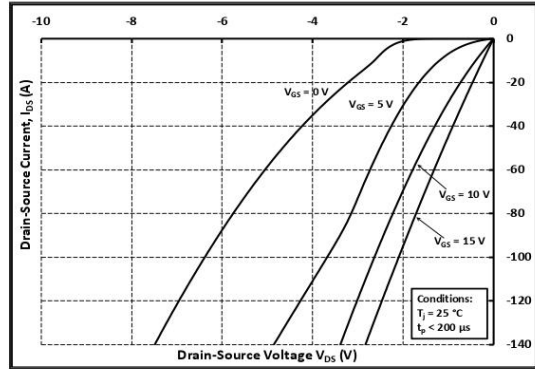


Figure 14. 3rd Quadrant Characteristic at $25\text{ }^\circ\text{C}$

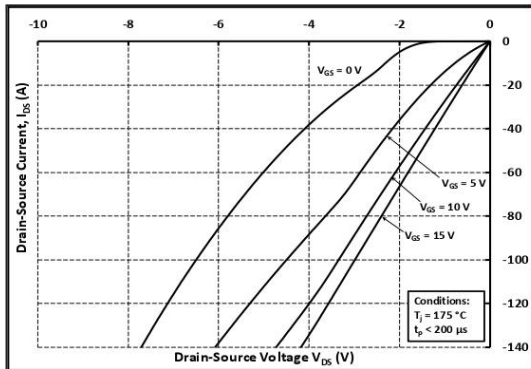


Figure 15. 3rd Quadrant Characteristic at $175\text{ }^\circ\text{C}$

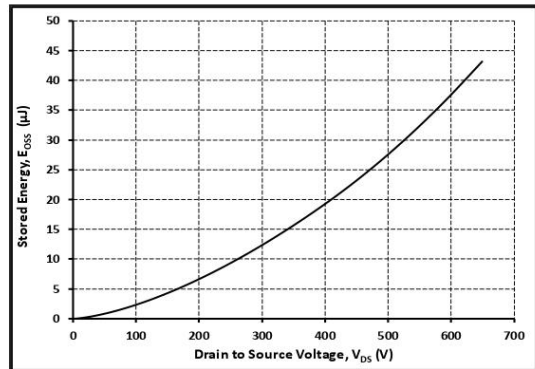


Figure 16. Output Capacitor Stored Energy

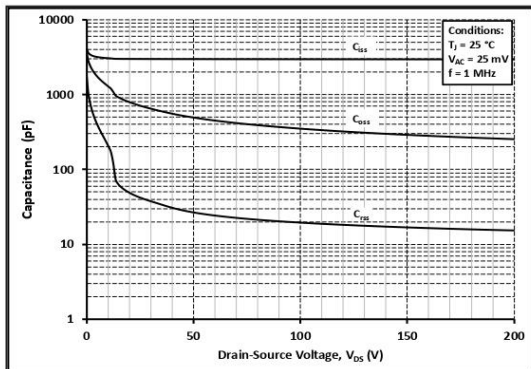


Figure 17. Capacitances vs. Drain-Source Voltage (0 - 200V)

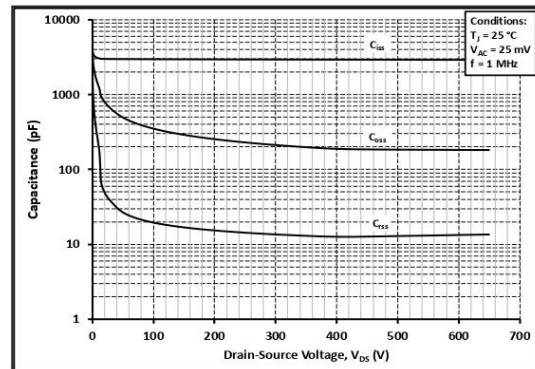


Figure 18. Capacitances vs. Drain-Source Voltage (0 - 650V)

Typical Performance

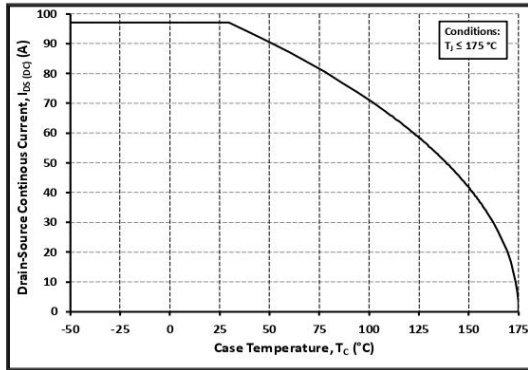


Figure 19. Continuous Drain Current Derating vs. Case Temperature

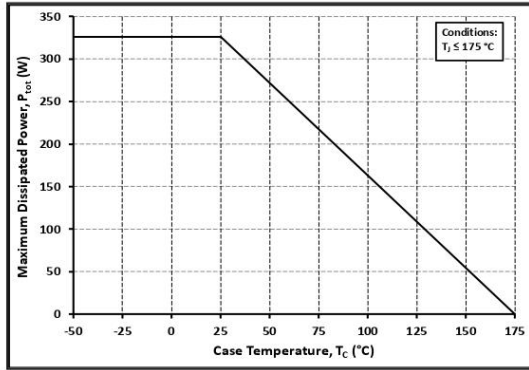


Figure 20. Maximum Power Dissipation Derating vs. Case Temperature

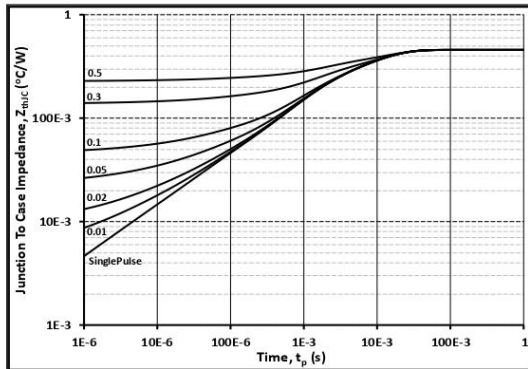


Figure 21. Transient Thermal Impedance (Junction - Case)

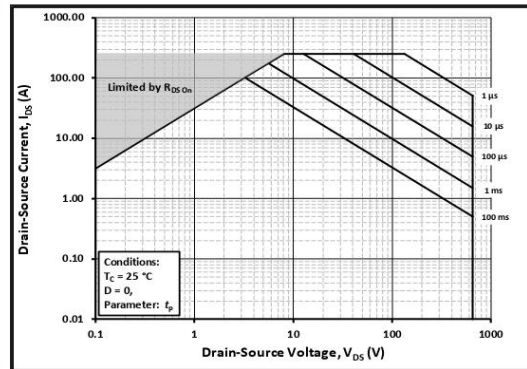


Figure 22. Safe Operating Area

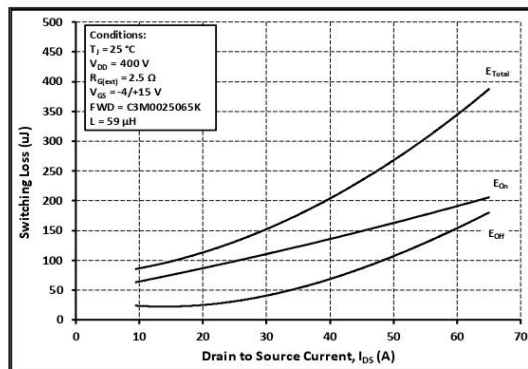


Figure 23. Clamped Inductive Switching Energy vs. Drain Current ($V_{DD} = 400V$)

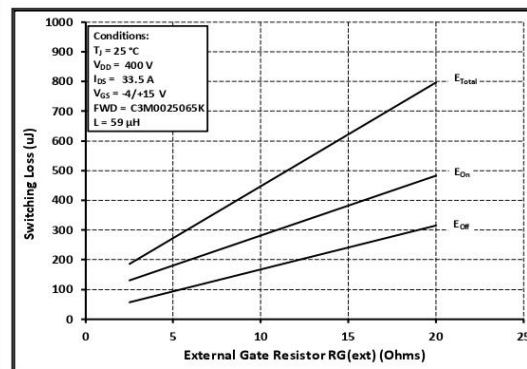


Figure 24. Clamped Inductive Switching Energy vs. $R_{G(ext)}$



Typical Performance

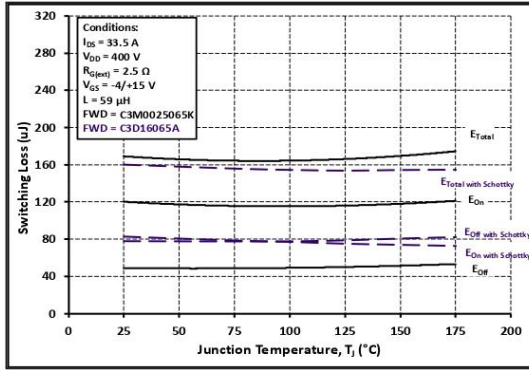


Figure 25. Clamped Inductive Switching Energy vs. Temperature

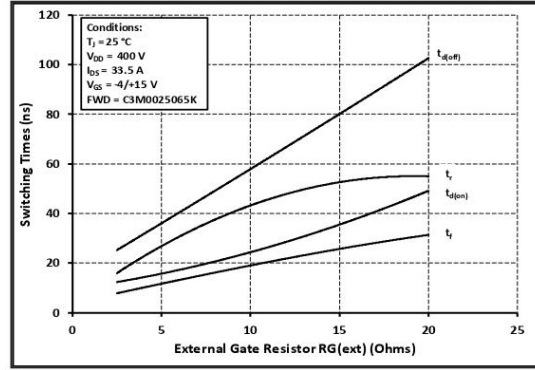


Figure 26. Switching Times vs. $R_{G(ext)}$

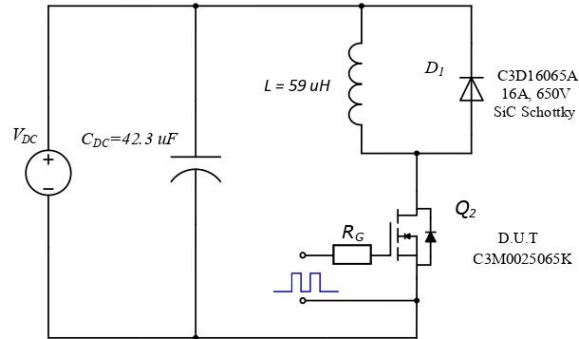


Figure 27. Clamped Inductive Switching Waveform Test Circuit

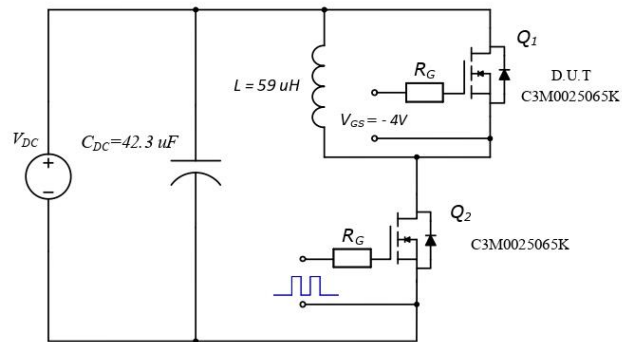


Figure 28. Body Diode Recovery Test Circuit

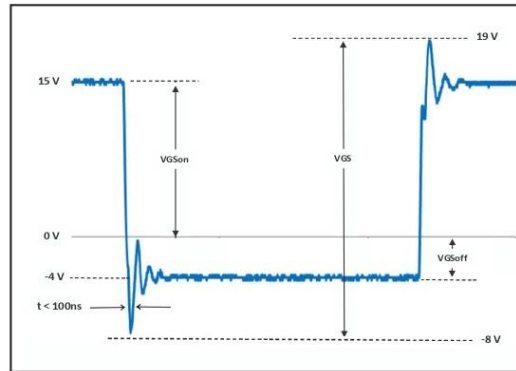
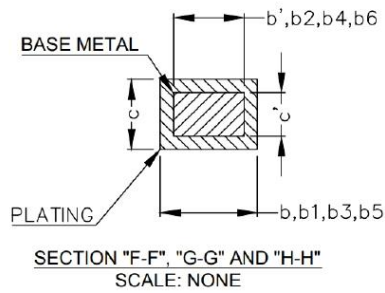
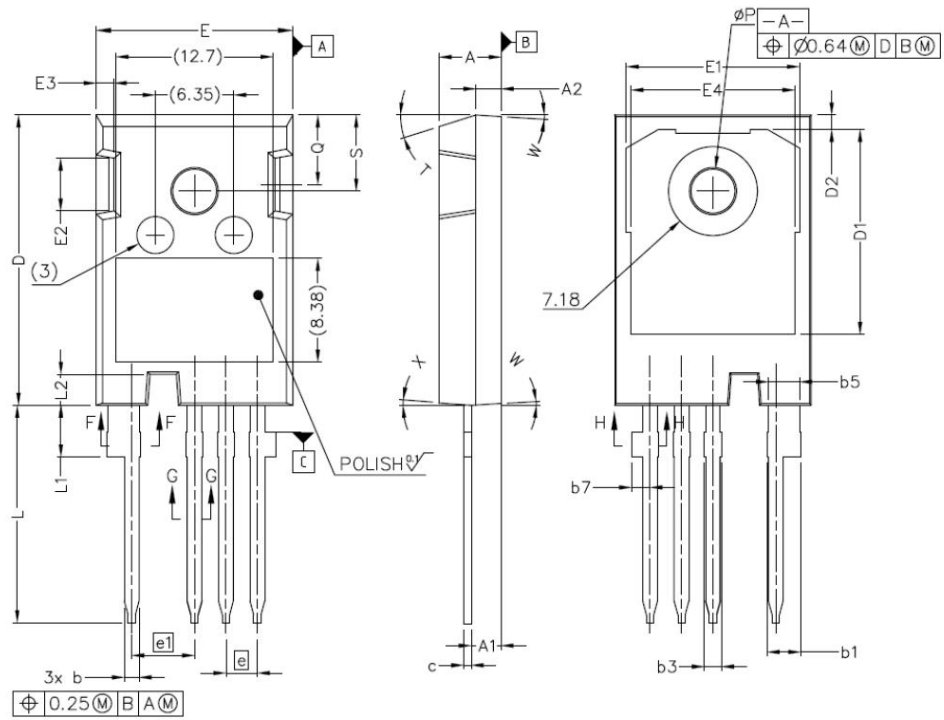


Figure 29. V_{GS} Waveform Example



Package Dimensions

Package TO-247-4L





Package Dimensions

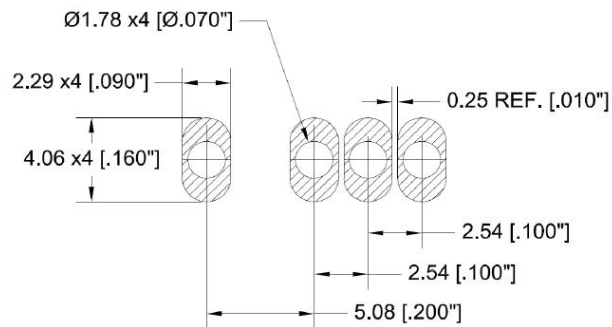
Package TO-247-4L

NOTE ;

1. ALL METAL SURFACES: TIN PLATED, EXCEPT AREA OF CUT
2. DIMENSIONING & TOLERANCEING CONFIRM TO ASME Y14.5M-1994.
3. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
4. 'N' IS THE NUMBER OF TERMINAL POSITIONS

SYM	MILLIMETERS	
	MIN	MAX
A	4.83	5.21
A1	2.29	2.54
A2	1.91	2.16
b`	1.07	1.28
b	1.07	1.33
b1	2.39	2.94
b2	2.39	2.84
b3	1.07	1.60
b4	1.07	1.50
b5	2.39	2.69
b6	2.39	2.64
b7	1.30	1.70
c`	0.55	0.65
c	0.55	0.68
D	23.30	23.60
D1	16.25	17.65
D2	0.95	1.25
E	15.75	16.13

SYM	MILLIMETERS	
	MIN	MAX
E1	13.10	14.15
E2	3.68	5.10
E3	1.00	1.90
E4	12.38	13.43
e	2.54 BSC	
e1	5.08 BSC	
N*	4	
L	17.31	17.82
L1	3.97	4.37
L2	2.35	2.65
∅ P	3.51	3.65
Q	5.49	6.00
S	6.04	6.30
T	17.5° REF.	
W	3.5° REF.	
X	4° REF.	





Notes

- **RoHS Compliance**
The levels of RoHS restricted materials in this product are below the maximum concentration values (also referred to as the threshold limits) permitted for such substances, or are used in an exempted application, in accordance with EU Directive 2011/65/EC (RoHS2), as implemented January 2, 2013. RoHS Declarations for this product can be obtained from your Cree representative or from the Product Documentation sections of www.cree.com.
- **REACH Compliance**
REACH substances of high concern (SVHCs) information is available for this product. Since the European Chemical Agency (ECHA) has published notice of their intent to frequently revise the SVHC listing for the foreseeable future, please contact a Cree representative to insure you get the most up-to-date REACH SVHC Declaration. REACH banned substance information (REACH Article 67) is also available upon request.
- This product has not been designed or tested for use in, and is not intended for use in, applications implanted into the human body nor in applications in which failure of the product could lead to death, personal injury or property damage, including but not limited to equipment used in the operation of nuclear facilities, life-support machines, cardiac defibrillators or similar emergency medical equipment, aircraft navigation or communication or control systems, air traffic control systems.

Related Links

- **SPICE Models:** <http://wolfspeed.com/power/tools-and-support>
- **SiC MOSFET Isolated Gate Driver reference design:** <http://wolfspeed.com/power/tools-and-support>
- **SiC MOSFET Evaluation Board:** <http://wolfspeed.com/power/tools-and-support>

Copyright © 2020 Cree, Inc. All rights reserved.
The information in this document is subject to change without notice.
Cree, the Cree logo, and Zero Recovery are registered trademarks of Cree, Inc.

Cree, Inc.
4600 Silicon Drive
Durham, NC 27703
USA Tel: +1.919.313.5300
Fax: +1.919.313.5451
www.wolfspeed.com/power

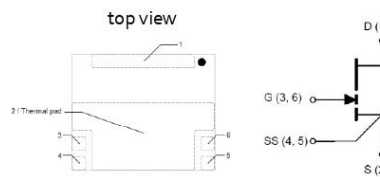
Features

- AEC-Q101 and AutoQual+™ (Enhanced-AEC-Q101)
- 650 V enhancement mode power transistor
- Bottom-cooled, low inductance GaN_{PX}® package
- $R_{DS(on)} = 25 \text{ m}\Omega$
- $I_{DS(max)} = 60 \text{ A}$
- Ultra-low FOM
- Simple gate drive requirements (0 V to 6 V)
- Transient tolerant gate drive (-20 / +10 V)
- Very high switching frequency (> 10 MHz)
- Fast and controllable fall and rise times
- Reverse conduction capability
- Zero reverse recovery loss
- Small 11 x 9 mm² PCB footprint
- Dual gate pads for optimal board layout
- RoHS 3 (6+4) compliant



Package Outline

Circuit Symbol



The thermal pad is internally connected to Source (pad 2) and substrate

Applications

- On Board Chargers
- Traction Drive
- DC-DC Converters
- Industrial Motor Drives
- Solar Inverters
- Bridgeless Totem Pole PFC

Description

The GS-065-060-5-B-A is an Automotive-grade 650 V enhancement mode GaN-on-Silicon power transistor. The properties of GaN allow for high current, high voltage breakdown and high switching frequency. GaN Systems innovates with industry leading advancements such as patented **Island Technology**® and **GaN_{PX}**® packaging. **Island Technology**® cell layout realizes high-current die and high yield. **GaN_{PX}**® packaging enables low inductance & low thermal resistance in a small package. The GS-065-060-5-B-A is a bottom-side cooled transistor that offers very low junction-to-case thermal resistance for demanding high power applications. These features combine to provide very high efficiency power switching.

Absolute Maximum Ratings ($T_{case} = 25\text{ °C}$ except as noted)

Parameter	Symbol	Value	Unit
Operating Junction Temperature	T_J	-55 to +150	°C
Storage Temperature Range	T_S	-55 to +150	°C
Drain-to-Source Voltage	V_{DS}	650	V
Transient Drain-to-Source Voltage (Note 1)	$V_{DS(transient)}$	900	V
Gate-to-Source Voltage	V_{GS}	-10 to + 7	V
Gate-to-Source Voltage - transient (Note 1)	$V_{GS(transient)}$	-20 to +10	V
Continuous Drain Current ($T_{case} = 25\text{ °C}$)	I_{DS}	60	A
Continuous Drain Current ($T_{case} = 100\text{ °C}$)	I_{DS}	41	A
Pulse Drain Current (Pulse width 10 μ s, $V_{GS} = 6\text{ V}$) (Note 2)	$I_{DS\ Pulse}$	120	A

(1) For $\leq 1\ \mu$ s

(2) Defined by product design and characterization. Value is not tested to full current in production.

Thermal Characteristics (Typical values unless otherwise noted)

Parameter	Symbol	Value	Units
Thermal Resistance (junction-to-case) – bottom side	$R_{\theta JC}$	0.35	°C /W
Maximum Soldering Temperature (MSL3 rated)	T_{SOLD}	260	°C

Ordering Information

Ordering code	Package type	Packing method	Qty	Reel Diameter	Reel Width
GS-065-060-5-B-A-TR	GaNPX® Bottom-Side Cooled	Tape-and-Reel	2000	13" (330 mm)	24mm
GS-065-060-5-B-A-MR	GaNPX® Bottom-Side Cooled	Mini-Reel	250	7" (180 mm)	24mm

Electrical Characteristics (Typical values at $T_J = 25\text{ }^\circ\text{C}$, $V_{GS} = 6\text{ V}$ unless otherwise noted)

Parameters	Sym.	Min.	Typ.	Max.	Units	Conditions
Drain-to-Source Blocking Voltage	$V_{(BL)DSS}$	650			V	$V_{GS} = 0\text{ V}$, $I_{DSS} \leq 120\text{ }\mu\text{A}$
Drain-to-Source On Resistance	$R_{DS(on)}$		25	32	$\text{m}\Omega$	$V_{GS} = 6\text{ V}$, $T_J = 25\text{ }^\circ\text{C}$ $I_{DS} = 18\text{ A}$
Drain-to-Source On Resistance	$R_{DS(on)}$		65		$\text{m}\Omega$	$V_{GS} = 6\text{ V}$, $T_J = 150\text{ }^\circ\text{C}$ $I_{DS} = 18\text{ A}$
Gate-to-Source Threshold	$V_{GS(th)}$	1.1	1.7	2.6	V	$V_{DS} = V_{GS}$, $I_{DS} = 16.4\text{ mA}$
Gate-to-Source Current	I_{GS}		320		μA	$V_{GS} = 6\text{ V}$, $V_{DS} = 0\text{ V}$
Gate Plateau Voltage	V_{plat}		3		V	$V_{DS} = 400\text{ V}$, $I_{DS} = 60\text{ A}$
Drain-to-Source Leakage Current	I_{DSS}		4	120	μA	$V_{DS} = 650\text{ V}$, $V_{GS} = 0\text{ V}$ $T_J = 25\text{ }^\circ\text{C}$
Drain-to-Source Leakage Current	I_{DSS}		160		μA	$V_{DS} = 650\text{ V}$, $V_{GS} = 0\text{ V}$ $T_J = 150\text{ }^\circ\text{C}$
Internal Gate Resistance	R_G		1		Ω	$f = 5\text{ MHz}$, open drain
Input Capacitance	C_{ISS}		516		pF	$V_{DS} = 400\text{ V}$
Output Capacitance	C_{OSS}		127		pF	$V_{GS} = 0\text{ V}$
Reverse Transfer Capacitance	C_{RSS}		2.4		pF	$f = 100\text{ kHz}$
Effective Output Capacitance Energy Related (Note 3)	$C_{O(ER)}$		212		pF	$V_{GS} = 0\text{ V}$
Effective Output Capacitance Time Related (Note 4)	$C_{O(TR)}$		338		pF	$V_{DS} = 0\text{ to }400\text{ V}$
Total Gate Charge	Q_G		14		nC	$V_{GS} = 0\text{ to }6\text{ V}$ $V_{DS} = 400\text{ V}$
Gate-to-Source Charge	Q_{GS}		3.8		nC	
Gate-to-Drain Charge	Q_{GD}		4.1		nC	
Output Charge	Q_{OSS}		135		nC	$V_{GS} = 0\text{ V}$, $V_{DS} = 400\text{ V}$
Reverse Recovery Charge	Q_{RR}		0		nC	

(3) $C_{O(ER)}$ is the fixed capacitance that would give the same stored energy as C_{OSS} while V_{DS} is rising from 0 V to the stated V_{DS} .

(4) $C_{O(TR)}$ is the fixed capacitance that would give the same charging time as C_{OSS} while V_{DS} is rising from 0 V to the stated V_{DS} .

Electrical Characteristics cont'd (Typical values at $T_J = 25\text{ }^\circ\text{C}$, $V_{GS} = 6\text{ V}$ unless otherwise noted)

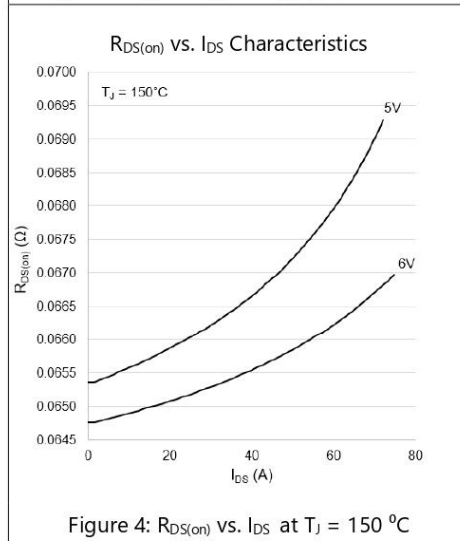
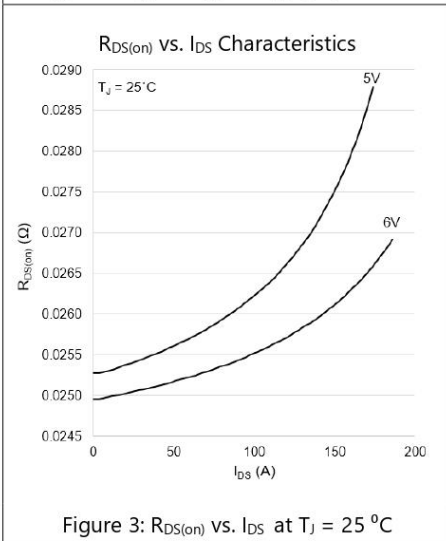
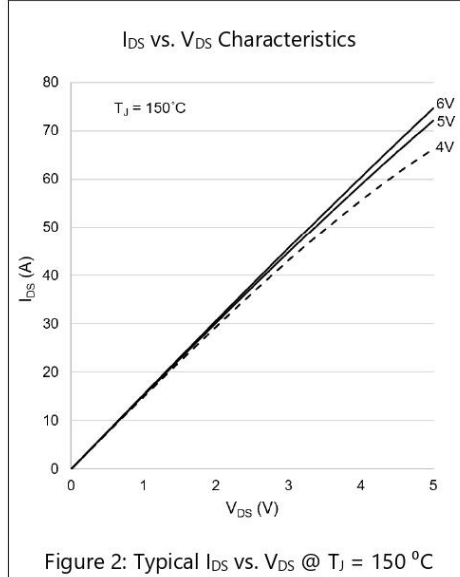
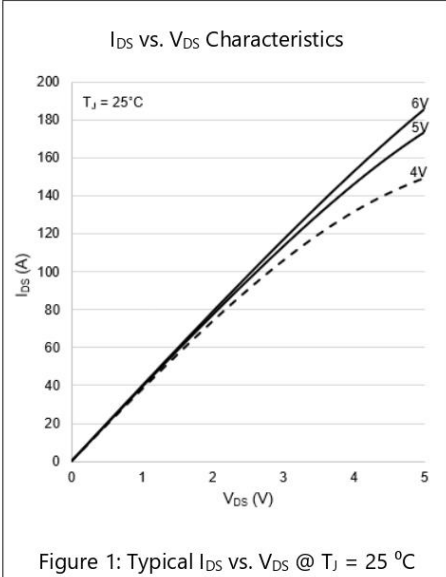
Parameters	Sym.	Min.	Typ.	Max.	Units	Conditions
Turn-On Delay	$t_{D(on)}$		8.1		ns	$V_{DD} = 400\text{ V}$, $V_{GS} = +6\text{ V}/-3\text{ V}$ $I_{DS} = 20\text{ A}$, $R_{G(on)} = 10\ \Omega$, $R_{G(off)} = 2\ \Omega$, $L = 65\ \mu\text{H}$, $L_p = 4\ \text{nH}$ (Notes 5,6,7)
Rise Time	t_R		8.5		ns	
Turn-Off Delay	$t_{D(off)}$		9.8		ns	
Fall Time	t_F		7.7		ns	
Switching Energy during turn-on	E_{on}		117		μJ	
Switching Energy during turn-off	E_{off}		17.2		μJ	
Output Capacitance Stored Energy	E_{OSS}		17		μJ	$V_{DS} = 400\text{ V}$ $V_{GS} = 0\text{ V}$, $f = 100\text{ kHz}$

(5) See Figure 16 for switching test circuit diagram.

(6) See Figure 17 for switching time definition waveforms.

(7) L_p = parasitic inductance.

Electrical Performance Graphs



Electrical Performance Graphs

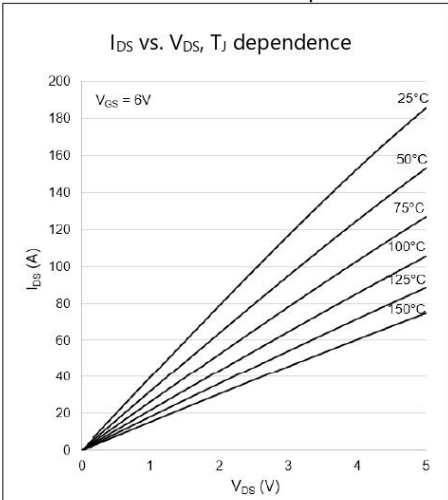


Figure 5: Typical I_{DS} vs. V_{DS} @ $V_{GS} = 6\text{ V}$

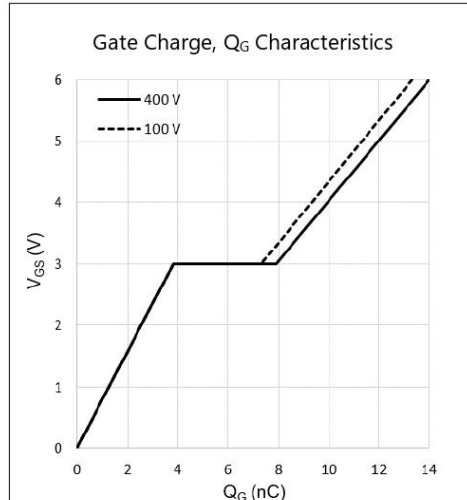


Figure 6: Typical V_{GS} vs. Q_G @ $V_{DS}=100, 400\text{V}$

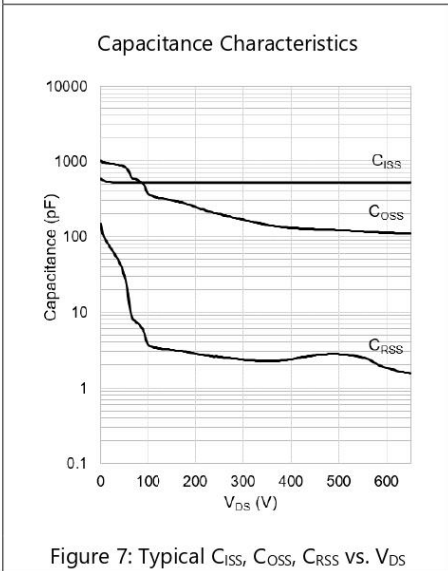


Figure 7: Typical C_{ISS} , C_{OSS} , C_{RSS} vs. V_{DS}

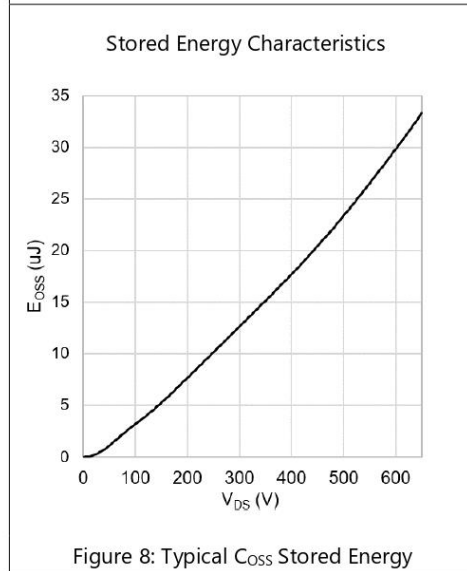


Figure 8: Typical C_{OSS} Stored Energy

Electrical Performance Graphs

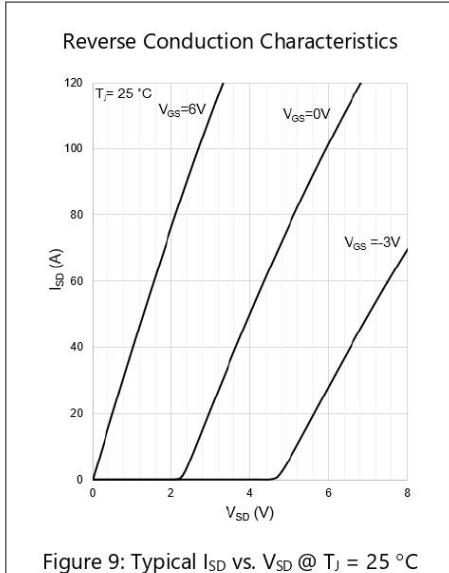


Figure 9: Typical I_{SD} vs. V_{SD} @ $T_j = 25\text{ }^\circ\text{C}$

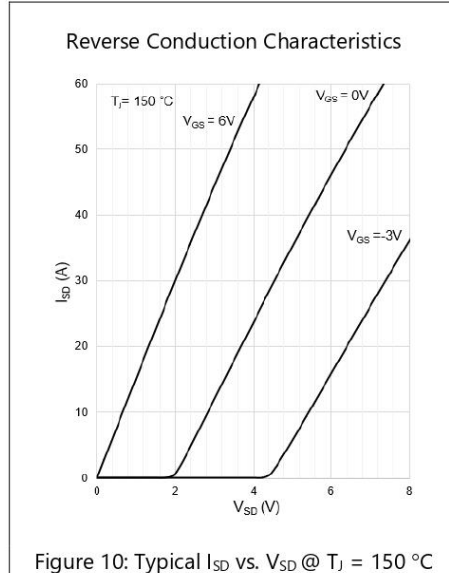


Figure 10: Typical I_{SD} vs. V_{SD} @ $T_j = 150\text{ }^\circ\text{C}$

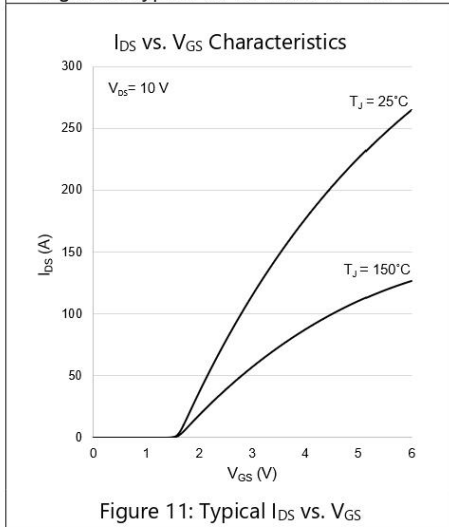


Figure 11: Typical I_{DS} vs. V_{GS}

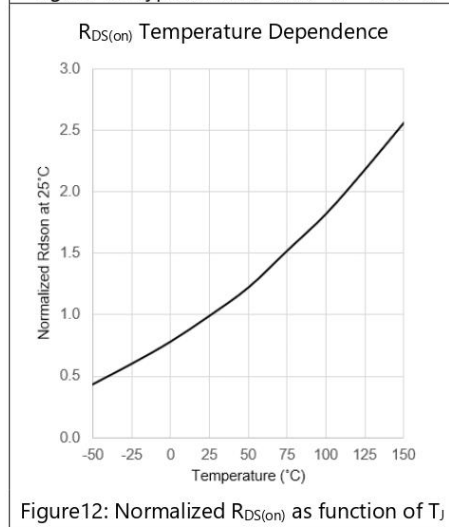


Figure 12: Normalized $R_{DS(on)}$ as function of T_j

Thermal Performance Graphs

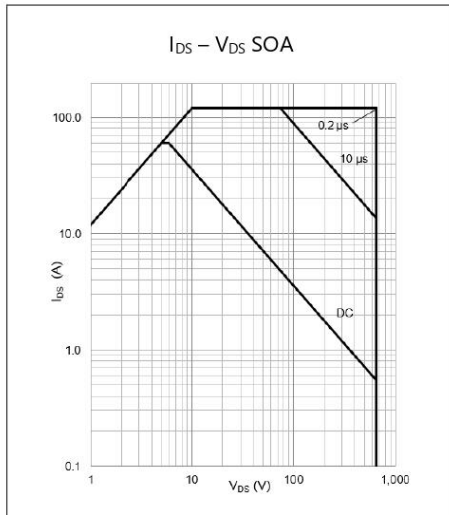


Figure 13: Safe Operating Area @ $T_{case} = 25^{\circ}C$

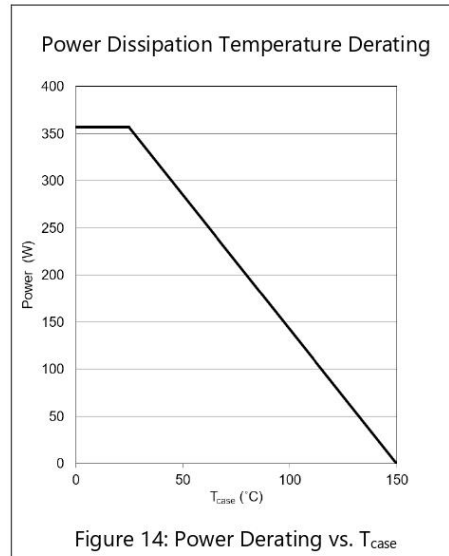


Figure 14: Power Derating vs. T_{case}

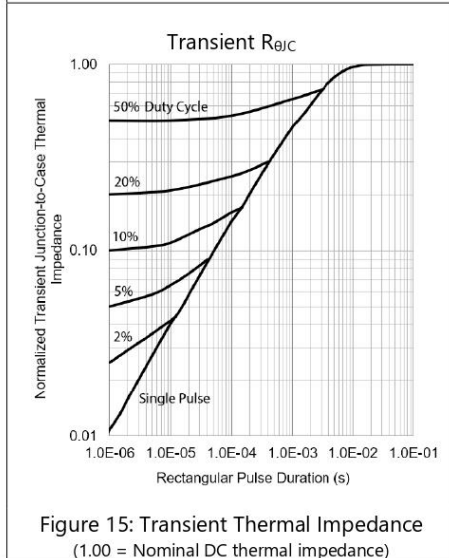


Figure 15: Transient Thermal Impedance
(1.00 = Nominal DC thermal impedance)

Test Circuits

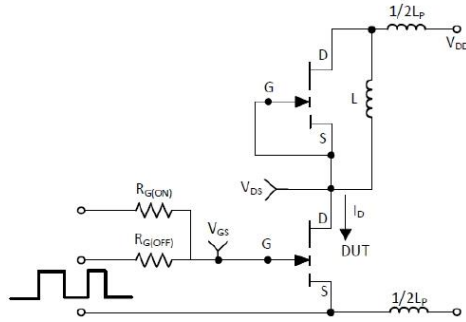


Figure 16: Switching Test Circuit

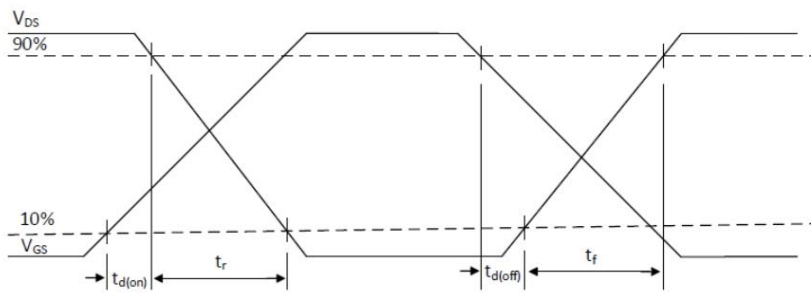


Figure 17: Switching Time Waveforms

Application Information

For more information, please refer to the application note entitled: "An Introduction to GaN Enhancement Mode HEMTs" at www.gansystems.com

Gate Drive

The recommended gate drive voltage range, V_{GS} , is 0 V to + 6 V for optimal $R_{DS(on)}$ performance. Also, the repetitive gate to source voltage, maximum rating, $V_{GS(AC)}$, is +7 V to -10 V. The gate can survive non-repetitive transients up to +10 V and - 20 V for pulses up to 1 μ s. These specifications allow designers to easily use 6.0 V or 6.5 V gate drive settings. At 6 V gate drive voltage, the enhancement mode high electron mobility transistor (E-HEMT) is fully enhanced and reaches its optimal efficiency point. A 5 V gate drive can be used but may result in lower operating efficiency. Inherently, GaN Systems E-HEMT do not require negative gate bias to turn off. Negative gate bias, typically $V_{GS} = -3$ V, ensures safe operation against the voltage spike on the gate, however it may increase reverse conduction losses if not driven properly. For more details, please refer to the gate driver application note "Gate Driver Circuit Design with GaN E-HEMTs" at www.gansystems.com

Similar to a silicon MOSFET, an external gate resistor can be used to control the switching speed and slew rate. Adjusting the resistor to achieve the desired slew rate may be needed. Lower turn-off gate resistance, $R_{G(OFF)}$ is recommended for better immunity to cross conduction. Please see the gate driver application note for more details.

A standard MOSFET driver can be used provided that it supports 6 V for gate drive and the UVLO is suitable for 6 V operation. Gate drivers with low impedance and high peak current are recommended for fast switching speed. GaN Systems E-HEMTs have significantly lower Q_G when compared to equally sized $R_{DS(on)}$ MOSFETs, so high speed can be reached with smaller and lower cost gate drivers.

Some non-isolated half bridge MOSFET drivers are not compatible with 6 V gate drive due to their high under-voltage lockout threshold. Also, a simple bootstrap method for high side gate drive may not be able to provide tight tolerance on the gate voltage. Therefore, special care should be taken when you select and use the half bridge drivers. Please see the gate driver application note for more details.

Parallel Operation

Design wide tracks or polygons on the PCB to distribute the gate drive signals to multiple devices. Keep the drive loop length to each device as short and equal length as possible.

The dual gate drive pins are used to achieve balanced gate drive, especially useful in parallel GaN transistors operation. Both gate drive pins are internally connected to the gate, so only one needs to be connected. Connecting both may lead to timing improvements at very high frequencies. The two gates on the GS-065-060-5-B-A bottom-side cooled device are not designed to be used as a signal pass-through. When multiple devices are used in parallel, it is not recommended to use one gate connection to the other (on the same transistor) as a signal path for the gate drive to the next device. Design wide tracks or polygons on the PCB to distribute the gate drive signals to multiple devices. Keep the drive loop length to each device as short and equal length as possible.

GaN enhancement mode HEMTs have a positive temperature coefficient on-state resistance which helps to balance the current. However, special care should be taken in the driver circuit and PCB layout since the device switches at very fast speed. It is recommended to have a symmetric PCB layout and equal gate drive loop length (star connection if possible) on all parallel devices to ensure balanced dynamic current sharing. Adding a small gate resistor (1-2 Ω) on each gate is strongly recommended to minimize the gate parasitic oscillation.

Source Sensing

The package has two dedicated source sense pins. The GaNPX® packaging utilizes no wire bonds so the source connection is very low inductance. The dedicated source sense pins will further enhance performance by eliminating the common source inductance if a dedicated gate drive signal kelvin connection is created. This can be achieved connecting the gate drive signal from the driver to the gate pad and returning from the source sense pad to the driver ground reference.

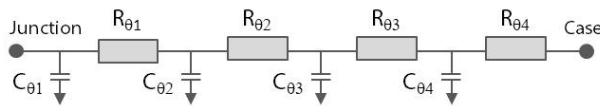
Thermal

The substrate is internally connected to the source/thermal pad on the bottom-side of the package. The transistor is designed to be cooled using the printed circuit board. The Drain pad is not as thermally conductive as the thermal pad. However, adding more copper under this pad will improve thermal performance by reducing the package temperature.

Thermal Modeling

RC thermal models are available to support detailed thermal simulation using SPICE. The thermal models are created using the Cauer model, an RC network model that reflects the real physical property and packaging structure of our devices. This thermal model can be extended to the system level by adding extra R_{θ} and C_{θ} to simulate the Thermal Interface Material (TIM) or Heatsink.

RC thermal model:



RC breakdown of $R_{\theta jc}$

R_{θ} ($^{\circ}\text{C}/\text{W}$)	C_{θ} ($\text{W}\cdot\text{s}/^{\circ}\text{C}$)
$R_{\theta 1} = 0.008$	$C_{\theta 1} = 1.8\text{E}-04$
$R_{\theta 2} = 0.080$	$C_{\theta 2} = 1.3\text{E}-03$
$R_{\theta 3} = 0.222$	$C_{\theta 3} = 9.5\text{E}-03$
$R_{\theta 4} = 0.040$	$C_{\theta 4} = 3.7\text{E}-03$

For more detail, please refer to Application Note entitled “Modeling Thermal Behavior of GaN Systems’ GaNPX® Using RC Thermal SPICE Models” available at www.gansystems.com

Reverse Conduction

GaN Systems enhancement mode HEMTs do not have an intrinsic body diode and there is zero reverse recovery charge. The devices are naturally capable of reverse conduction and exhibit different characteristics depending on the gate voltage. Anti-parallel diodes are not required for GaN Systems transistors as is the case for IGBTs to achieve reverse conduction performance.

On-state condition ($V_{GS} = +6\text{ V}$): The reverse conduction characteristics of a GaN Systems enhancement mode HEMT in the on-state is similar to that of a silicon MOSFET, with the I-V curve symmetrical about the origin and it exhibits a channel resistance, $R_{DS(on)}$, similar to forward conduction operation.

Off-state condition ($V_{GS} \leq 0\text{ V}$): The reverse characteristics in the off-state are different from silicon MOSFETs as the GaN device has no body diode. In the reverse direction, the device starts to conduct when the gate voltage, with respect to the drain, V_{GD} , exceeds the gate threshold voltage. At this point the device exhibits a channel resistance. This condition can be modeled as a "body diode" with slightly higher V_F and no reverse recovery charge.

If negative gate voltage is used in the off-state, the source-drain voltage must be higher than $V_{GS(th)} + V_{GS(off)}$ in order to turn the device on. Therefore, a negative gate voltage will add to the reverse voltage drop " V_F " and hence increase the reverse conduction loss.

Blocking Voltage

The blocking voltage rating, $V_{(BL)DSS}$, is defined by the drain leakage current. The hard (unrecoverable) breakdown voltage is approximately 30 % higher than the rated $V_{(BL)DSS}$. As a general practice, the maximum drain voltage should be de-rated in a similar manner as IGBTs or silicon MOSFETs. All GaN E-HEMTs do not avalanche and thus do not have an avalanche breakdown rating. The maximum drain-to-source rating is 650 V and does not change with negative gate voltage. GaN Systems tests devices in production with a 900 V Drain-to-source voltage pulse to insure blocking voltage margin.

Packaging and Soldering

The package material is high temperature epoxy-based PCB material which is similar to FR4 but has a higher temperature rating, thus allowing the GS-065-060-5-B-A device to be specified to 150 °C. The device can handle at least 3 reflow cycles.

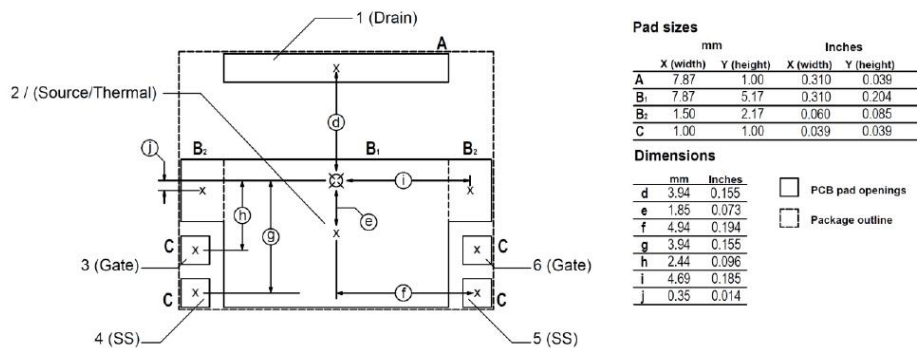
It is recommended to use the reflow profile in IPC/JEDEC J-STD-020 REV D.1 (March 2008)

The basic temperature profiles for Pb-free (Sn-Ag-Cu) assembly are:

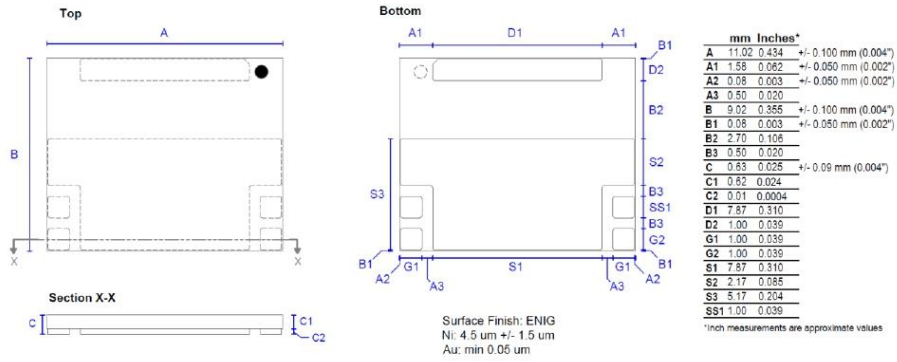
- Preheat/Soak: 60-120 seconds. $T_{min} = 150\text{ °C}$, $T_{max} = 200\text{ °C}$.
- Reflow: Ramp up rate 3°C/sec, max. Peak temperature is 260 °C and time within 5 °C of peak temperature is 30 seconds.
- Cool down: Ramp down rate 6 °C/sec max.

Using “No-Clean” soldering paste and operating at high temperatures may cause a reactivation of the “No-Clean” flux residues. In extreme conditions, unwanted conduction paths may be created. Therefore, when the product operates at greater than 100 °C it is recommended to also clean the “No-Clean” paste residues. Avoid placing printed circuit board traces with high differential voltage to the source or drain directly underneath the bottom-cooled GS-065-060-5-B-A package on the PCB to avoid potential electro-migration and solder mask isolation issues during high temperature or/and voltage operation.

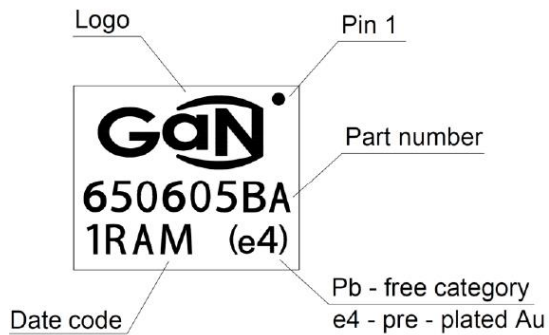
Recommended PCB Footprint



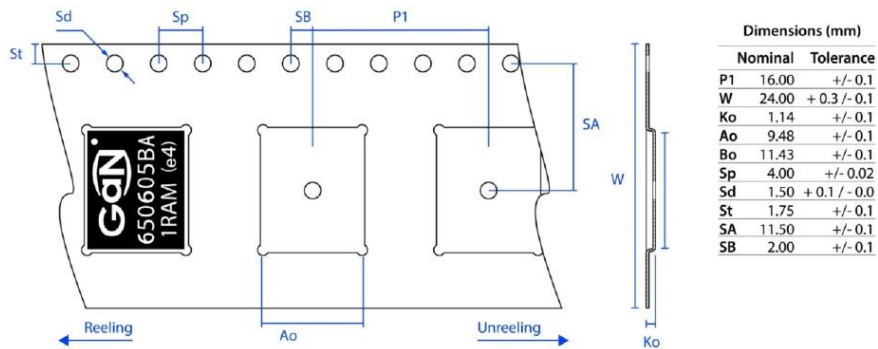
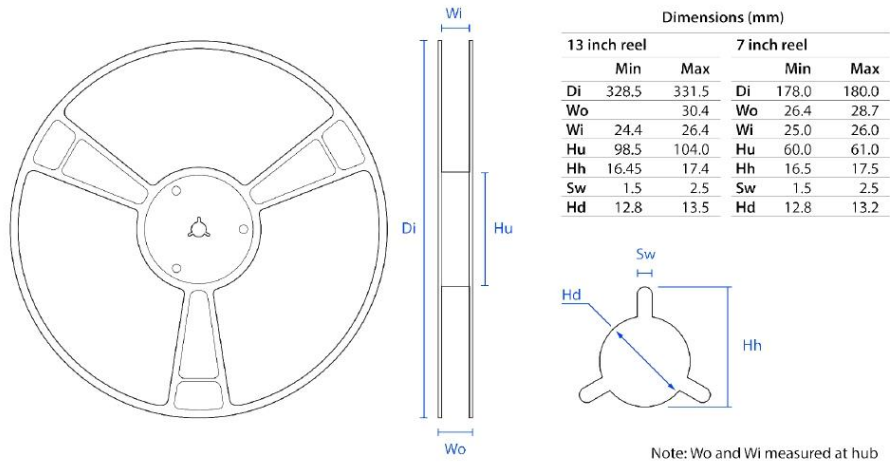
Package Dimensions



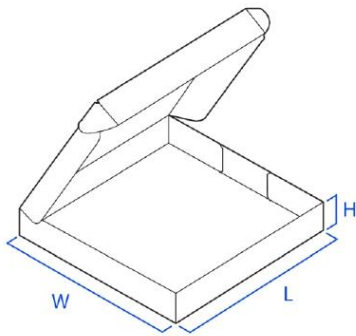
Part Marking



Tape and Reel Information



Tape and Reel Box Dimensions



Outside dimensions (mm)

	13 inch reel		7 inch reel	
	Min	Max	Min	Max
W	197.0	203.5	W	337.0
L	204.0	218.5	L	355.0
H		32.0	H	50.0

www.gansystems.com

Important Notice – Unless expressly approved in writing by an authorized representative of GaN Systems, GaN Systems components are not designed, authorized or warranted for use in lifesaving, life sustaining, military, aircraft, or space applications, nor in products or systems where failure or malfunction may result in personal injury, death, or property or environmental damage. The information given in this document shall not in any event be regarded as a guarantee of performance. GaN Systems hereby disclaims any or all warranties and liabilities of any kind, including but not limited to warranties of non-infringement of intellectual property rights. All other brand and product names are trademarks or registered trademarks of their respective owners. Information provided herein is intended as a guide only and is subject to change without notice. The information contained herein or any use of such information does not grant, explicitly, or implicitly, to any party any patent rights, licenses, or any other intellectual property rights. GaN Systems standard terms and conditions apply. All rights reserved.