



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA



DEPARTAMENTO
DE INGENIERÍA
ELECTRÓNICA

UNIVERSITAT POLITÈCNICA DE VALÈNCIA

Dpto. de Ingeniería Electrónica

ESTUDIO Y COMPARACIÓN DE TOPOLOGÍAS Y
MÉTODOS DE COMPENSACIÓN PARA LDOs

Trabajo Fin de Máster

Máster Universitario en Ingeniería de Sistemas Electrónicos

AUTOR/A: Esteve Reula, Pablo

Tutor/a: Herrero Bosch, Vicente

Cotutor/a externo: GONZALEZ MORENO, JOSE LUIS

CURSO ACADÉMICO: 2022/2023

RESUMEN

Este trabajo es un estudio comparativo entre diferentes arquitecturas de LDOs (Low Dropout Regulators) y varios métodos de compensación que se pueden aplicar durante su diseño. Para ello se empezará analizando cuáles son las especificaciones principales que afectan a un circuito de estas características y cómo cada uno de los componentes que forman parte del lazo modifican las prestaciones.

Después se continuará con los diseños propiamente dichos, donde primero se distinguirá entre el tipo de transistor de paso nMOS o pMOS, se estudiará su efecto en la respuesta del lazo y la PSRR (Power Supply Rejection Ratio), y se dimensionará acorde a las especificaciones propuestas, y segundo se propondrán varias soluciones sobre las que se aplicarán las distintas arquitecturas de amplificador de error y redes de realimentación, y los métodos de compensación con la capacidad de Miller, la capacidad paralela, y el uso de buffers. Estas soluciones estarán enfocadas principalmente a la obtención de la estabilidad y la PSRR, donde se analizarán los límites de cada propiedad, a que se deben, y se simularán las mejores para generar un punto de comparación entre ellas.

Los resultados de este estudio muestran una mejor respuesta de la PSRR en transistores de paso tipo nMOS frente a los pMOS debido a su mayor impedancia vista desde la fuente de alimentación, aunque el inconveniente de esta elección es el de tener que emplear siempre una fuente de alimentación adicional y superior a la primera para alimentar la etapa anterior. La aplicación de los métodos de compensación y la variante del amplificador de error elegida también se revelan fundamentales para el correcto control de la respuesta en frecuencia del lazo y obtener la mejor PSRR posible en los diseños más restrictivos.

Palabras clave: LDO; Compensación; PSRR

ABSTRACT

This thesis is a comparative study between different LDO (Low Dropout Regulators) architectures and various compensation methods that can be applied during their design. It will start by analyzing which are the main specifications points that affect a circuit of these characteristics and how each of the components that are part of the loop modify the performance.

Then it will continue with the actual designs, where it will first distinguish between the nMOS or pMOS type pass transistor, study its effect on the loop response and the PSRR (Power Supply Rejection Ratio), and size it according to the proposed specifications, and secondly it will propose several solutions on which the different architectures of error amplifiers and feedback networks, and compensation methods with Miller capacitance, parallel capacitance, and the use of buffers will be applied. These solutions will be mainly focused on obtaining stability and PSRR, finding where the limits of each property are and what they are due to, and simulating the best ones to generate a common point of comparison between them.

The results of this study show a better response of the PSRR in nMOS type pass transistors versus pMOS due to their higher impedance seen from the power supply, although the drawback of this choice is always having to use an additional and higher voltage power supply than the first one to feed the previous stage. The application of the compensation methods and the chosen error amplifier variant also prove to be essential for the correct control of the loop frequency response and to obtain the best possible PSRR in the most restrictive designs.

Key words: LDO; Compensation; PSRR

Índice de contenidos

Capítulo 1.	Introducción.....	1
1.1.	Objetivo.....	2
Capítulo 2.	Especificaciones	3
2.1.	Corriente de carga	4
2.2.	Estabilidad	6
2.3.	PSRR	7
2.4.	Precisión	8
2.5.	Otras	11
Capítulo 3.	Arquitectura de los LDOs	12
3.1.	Transistor de paso	13
3.2.	Amplificador de error.....	16
3.3.	Realimentación	23
Capítulo 4.	Diseños.....	29
4.1.	nMOS.....	29
4.1.1.	Dimensionamiento del transistor de paso (nMOS).....	31
4.1.2.	PSRR (nMOS).....	36
4.1.3.	Solución 1: OTA de 5 transistores y level-shifter.....	52
4.1.3.1.	$p_a < p_o$ (nMOS).....	55
4.1.3.2.	$p_o < p_a$ (nMOS).....	57
4.1.3.3.	Capacidad paralela (simulación nMOS)	58
4.1.3.4.	Capacidad paralela (otras soluciones nMOS)	73
4.1.4.	Solución 2: folded cascode	75
4.2.	pMOS.....	80
4.2.1.	Dimensionamiento del transistor de paso (pMOS).....	82
4.2.2.	PSRR (pMOS).....	85
4.2.3.	Solución 3: OTA de 5 transistores (pMOS)	101
4.2.3.1.	$p_a < p_o$ (pMOS)	104
4.2.3.2.	$p_o < p_a$ (pMOS)	105
4.2.3.3.	Capacidad paralela (pMOS)	107
4.2.3.4.	Capacidad de Miller (simulación pMOS).....	110
4.2.3.5.	Capacidad de Miller (otras soluciones pMOS).....	120
4.2.4.	Solución 4: buffer y capacidad paralela.....	122
Capítulo 5.	Comparativa de resultados	136
Capítulo 6.	Conclusión	142
Capítulo 7.	Futuros trabajos	143
Capítulo 8.	Bibliografía.....	144

Índice de figuras

Figura 1. Ejemplo de esquema de distribución de energía.....	1
Figura 2. Esquema en pequeña señal de un MOSFET.....	4
Figura 3. Gráfica de margen de fase (PM) y margen de ganancia (GM).	6
Figura 4. Diagrama de la atenuación de ruido en función del tiempo a través de un LDO.	7
Figura 5. Diagrama de un sistema realimentado negativamente.	8
Figura 6. Diagrama de control de un LDO.	12
Figura 7. Modelo de divisor resistivo para el transistor de paso de un LDO.	13
Figura 8. Conexiones del transistor de paso para (a) nMOS y (b) pMOS.	14
Figura 9. Modelo de capacidades parásitas de (a) nMOS y (b) pMOS.	15
Figura 10. Modelo para estabilidad de un amplificador de error para LDO.....	16
Figura 11. Esquema de un OTA de 5 transistores con (a) par diferencial tipo N y (b) par diferencial tipo P.	17
Figura 12. (a) Gran variación de tensión drenador-surtidor en un transistor y (b) uso de un cascode para reducir esta variación.	19
Figura 13. Esquema de un OTA de 5 transistores con cascodos con (a) par diferencial tipo N y (b) par diferencial tipo P.	20
Figura 14. Esquema de un OTA de 5 transistores con par diferencial tipo P y level-shifter a la salida.	21
Figura 15. Esquema de un cascode plegado con par diferencial tipo N.....	23
Figura 16. Diagrama de la red de realimentación por divisor resistivo en un LDO.	24
Figura 17. Modelo de estabilidad de la realimentación.....	25
Figura 18. Compensación en frecuencia de un divisor resistivo con capacidad parásita.	26
Figura 19. Esquema de realimentación por corriente para un LDO y su red de polarización para la referencia.....	27
Figura 20. Etapa del transistor de paso tipo N en un LDO en configuración source-follower.	29
Figura 21. Conexión de un transistor de paso tipo N en un LDO.	32
Figura 22. Modelo para el dimensionamiento del transistor de paso.	35
Figura 23. (a) OTA de 5 transistores con espejo de corriente abajo y (b) su modelo para PSRR.	37
Figura 24. Modelo simplificado para PSRR en un transistor de paso tipo N.....	38
Figura 25. Modelo de PSRR para RGSO en transistor de paso tipo N.....	40
Figura 26. Modelo de PSRR para RLO en transistor de paso tipo N.	41
Figura 27. Modelo de PSRR para RGSGD en transistor de paso tipo N.....	42
Figura 28. Modelo de PSRR para RLGS en transistor de paso tipo N.....	43
Figura 29. Modelo de PSRR para H^0 en transistor de paso tipo N.....	43
Figura 30. Modelo de PSRR para H^{GD} en transistor de paso tipo N.....	44
Figura 31. Modelo de PSRR para H^{GS} en transistor de paso tipo N.....	45

Figura 32. Respuesta aproximada de la PSRR en un transistor de paso tipo N si p_a es el polo dominante.....	48
Figura 33. Respuesta aproximada de la PSRR en un transistor de paso tipo N si p_o es el polo dominante.....	48
Figura 34. Modelo simplificado para PSRR en un transistor de paso tipo N con compensación por capacidad paralela.....	49
Figura 35. Esquema de un OTA de 5 transistores con level-shifter como amplificador de error de un LDO.....	53
Figura 36. Modelo simplificado de la respuesta en frecuencia de la solución 1.....	53
Figura 37. Distribución de polos requerida para lograr el margen de fase esperado.....	54
Figura 38. Distribución de polos para conseguir la estabilidad en la solución 1: $p_a < p_o$	55
Figura 39. Distribución de polos para conseguir la estabilidad en la solución 1: $p_o < p_a$	57
Figura 40. Modelo simplificado de la respuesta en frecuencia de la solución 1 con compensación por capacidad paralela.....	59
Figura 41. Aproximación de la respuesta en frecuencia y PSRR de la solución 1 con capacidad paralela.....	60
Figura 42. Modelo simplificado de la respuesta de la PSRR en alta frecuencia.....	61
Figura 43. Respuesta en frecuencia y PSRR esperadas para la solución 1 con capacidad paralela.....	62
Figura 44. Esquema de la solución 1 con capacidad paralela.....	65
Figura 45. Gráfica de ganancia de lazo en la solución 1 con capacidad paralela.....	66
Figura 46. Gráfica de fase en la solución 1 con capacidad paralela.....	66
Figura 47. Gráfica de PSRR en la solución 1 con capacidad paralela.....	67
Figura 48. Gráfica de ganancia de lazo en la solución 1 con capacidad paralela en los peores corners.....	68
Figura 49. Gráfica de fase en la solución 1 con capacidad paralela en los peores corners.....	69
Figura 50. Gráfica de PSRR en la solución 1 con capacidad paralela en los peores corners.....	69
Figura 51. Gráfica de ganancia de lazo en la solución 1 con capacidad paralela y C_L de 500 pF.....	71
Figura 52. Gráfica de fase en la solución 1 con capacidad paralela y C_L de 500 pF.....	71
Figura 53. Gráfica de PSRR en la solución 1 con capacidad paralela y C_L de 500 pF.....	72
Figura 54. Solución alternativa para conseguir la estabilidad empleando R_p en la solución 1... 74	74
Figura 55. Soluciones alternativas para la PSRR de la solución 1.....	74
Figura 56. Esquema de la solución 2 con capacidad paralela.....	76
Figura 57. Gráfica de ganancia de lazo en la solución 2 con capacidad paralela.....	76
Figura 58. Gráfica de fase en la solución 2 con capacidad paralela.....	77
Figura 59. Gráfica de PSRR en la solución 2 con capacidad paralela.....	77
Figura 60. Gráfica de ganancia de lazo en la solución 2 con capacidad paralela en los peores corners.....	78

Figura 61. Gráfica de fase en la solución 2 con capacidad paralela en los peores corners.	79
Figura 62. Gráfica de PSRR en la solución 2 con capacidad paralela en los peores corners. ..	79
Figura 63. Etapa del transistor de paso tipo P en un LDO en configuración surtidor común.	81
Figura 64. Conexión de un transistor de paso tipo P en un LDO.	82
Figura 65. Modelo para el dimensionamiento del transistor de paso.	84
Figura 66. (a) OTA de 5 transistores con espejo de corriente arriba y (b) su modelo para PSRR.	86
Figura 67. Modelo simplificado para PSRR en un transistor de paso tipo P.	87
Figura 68. Modelo simplificado para PSRR en un transistor de paso tipo P con compensación por capacidad de Miller.	88
Figura 69. Modelo de PSRR para <i>RM0</i> en transistor de paso tipo P con compensación por capacidad de Miller.	89
Figura 70. Modelo de PSRR para <i>RLO</i> en transistor de paso tipo P con compensación por capacidad de Miller.	90
Figura 71. Modelo de PSRR para <i>RMGS</i> en transistor de paso tipo P con compensación por capacidad de Miller.	90
Figura 72. Modelo de PSRR para <i>RLGS</i> en transistor de paso tipo P con compensación por capacidad de Miller.	91
Figura 73. Modelo de PSRR para <i>RLM</i> en transistor de paso tipo P con compensación por capacidad de Miller.	92
Figura 74. Modelo de PSRR para H^0 en transistor de paso tipo P con compensación por capacidad de Miller.	93
Figura 75. Modelo de PSRR para H^{GS} en transistor de paso tipo P con compensación por capacidad de Miller.	93
Figura 76. Modelo de PSRR para H^M en transistor de paso tipo P con compensación por capacidad de Miller.	94
Figura 77. Modelo de PSRR para H^{GSM} en transistor de paso tipo P con compensación por capacidad de Miller.	95
Figura 78. Respuesta aproximada de la PSRR en un transistor de paso tipo P si p_M es el polo dominante.	98
Figura 79. Respuesta aproximada de la PSRR en un transistor de paso tipo P si p_o es el polo dominante.	98
Figura 80. Modelo simplificado para PSRR en un transistor de paso tipo P con compensación por capacidad paralela.	99
Figura 81. Esquema de un OTA de 5 transistores como amplificador de error de un LDO. ...	102
Figura 82. Modelo simplificado de la respuesta en frecuencia de la solución 3.	102
Figura 83. Distribución de polos requerida para lograr el margen de fase esperado.	103
Figura 84. Distribución de polos para conseguir la estabilidad en la solución 3: $p_a < p_o$	104
Figura 85. Distribución de polos para conseguir la estabilidad en la solución 3: $p_o < p_a$	106

Figura 86. Modelo simplificado de la respuesta en frecuencia de la solución 3 con compensación por capacidad paralela.	107
Figura 87. Distribución de polos para conseguir la estabilidad en la solución 3: capacidad paralela.	108
Figura 88. Distribución de polos para conseguir la estabilidad en la solución 3: capacidad y resistencia paralela.	109
Figura 89. Modelo simplificado de la respuesta en frecuencia de la solución 3 con compensación por capacidad de Miller.	110
Figura 90. Respuesta en frecuencia y PSRR esperadas para la solución 3 con capacidad de Miller.	113
Figura 91. Modelo simplificado de la respuesta de la PSRR en alta frecuencia para la solución 3 con compensación por capacidad de Miller.	114
Figura 92. Esquema de la solución 3 con capacidad de Miller.	115
Figura 93. Gráfica de ganancia de lazo en la solución 3 con capacidad de Miller.	116
Figura 94. Gráfica de fase en la solución 3 con capacidad de Miller.	117
Figura 95. Gráfica de PSRR en la solución 3 con capacidad de Miller.	117
Figura 96. Gráfica de ganancia de lazo en la solución 3 con capacidad de Miller en los peores corners.	118
Figura 97. Gráfica de fase en la solución 3 con capacidad de Miller en los peores corners.	119
Figura 98. Gráfica de PSRR en la solución 3 con capacidad de Miller en los peores corners.	119
Figura 99. Soluciones alternativas para la PSRR de la solución 3.	121
Figura 100. Modelo simplificado de la respuesta en frecuencia de la solución 4 con compensación por buffer y capacidad paralela.	122
Figura 101. Aproximación de la respuesta en frecuencia de la solución 4 con compensación por buffer y capacidad paralela.	123
Figura 102. Aproximación de la PSRR de la solución 4 con compensación por buffer y capacidad paralela.	125
Figura 103. Modelo simplificado de la respuesta de la PSRR en alta frecuencia para la solución 4.	127
Figura 104. Esquema de la solución 4.	130
Figura 105. Gráfica de ganancia de lazo en la solución 4.	130
Figura 106. Gráfica de fase en la solución 4.	131
Figura 107. Gráfica de PSRR en la solución 4.	131
Figura 108. Gráfica de ganancia de lazo en la solución 4 en los peores corners.	133
Figura 109. Gráfica de fase en la solución 4 en los peores corners.	133
Figura 110. Gráfica de PSRR en la solución 4 en los peores corners.	134

Índice de tablas

Tabla 1. Comparación de resultados de la solución 1 con capacidad paralela.	67
Tabla 2. Comparación de resultados de la solución 1 con capacidad paralela en los peores corners.....	69
Tabla 3. Comparación de resultados de la solución 1 con capacidad paralela y C_L de 500 pF. 72	
Tabla 4. Comparación de resultados de la solución 2 con capacidad paralela.	77
Tabla 5. Comparación de resultados de la solución 2 con capacidad paralela en los peores corners.....	79
Tabla 6. Resultados de dimensionamiento del transistor de paso tipo P.	85
Tabla 7. Comparación de resultados de la solución 3 con capacidad de Miller.	117
Tabla 8. Comparación de resultados de la solución 3 con capacidad de Miller en los peores corners.....	119
Tabla 9. Comparación de resultados de la solución 4.	131
Tabla 10. Comparación de resultados de la solución 4 en los peores corners.	134
Tabla 11. Soluciones a comparar teniendo en cuenta el tipo de transistor de paso, amplificador de error y método de compensación aplicado.	136
Tabla 12. Dificultad para lograr la estabilidad teniendo en cuenta el método de compensación aplicado.	137
Tabla 13. Prestaciones de la PSRR teniendo en cuenta el tipo de transistor de paso y el método de compensación aplicado.....	138
Tabla 14. Error sistemático esperado teniendo en cuenta la arquitectura del amplificador de error.	139
Tabla 15. Estimación del área empleada teniendo en cuenta el método de compensación aplicado.	139
Tabla 16. Consumo de corriente esperado teniendo en cuenta la arquitectura del LDO.....	140
Tabla 17. Complejidad de diseño esperada teniendo en cuenta la arquitectura del LDO.....	140
Tabla 18. Nivel de control durante el proceso de diseño teniendo en cuenta la arquitectura del LDO.	141

Capítulo 1. Introducción

La gestión y distribución de energía es una de las secciones fundamentales dentro de un circuito microelectrónico. Cada subsistema dentro del silicio necesita ser alimentado a partir de un valor de tensión concreto y con distintos requisitos, además de transportar la energía hasta los puntos en que se necesite.

Los LDOs o *low dropout regulators* son los circuitos que se encargan de generar este nivel de tensión estable a partir de una tensión superior y que conforman el bloque principal de la gestión de energía en microelectrónica.

Un ejemplo de esquema de distribución de energía podría ser el que se muestra en la Figura 1. Desde una o varias fuentes de tensión externas al silicio se generan niveles de tensión que deberán ser regulados para alimentar correctamente cada circuito interno y, por lo tanto, cada LDO deberá cumplir con unas especificaciones diferentes dependiendo del desempeño que se espere de este.

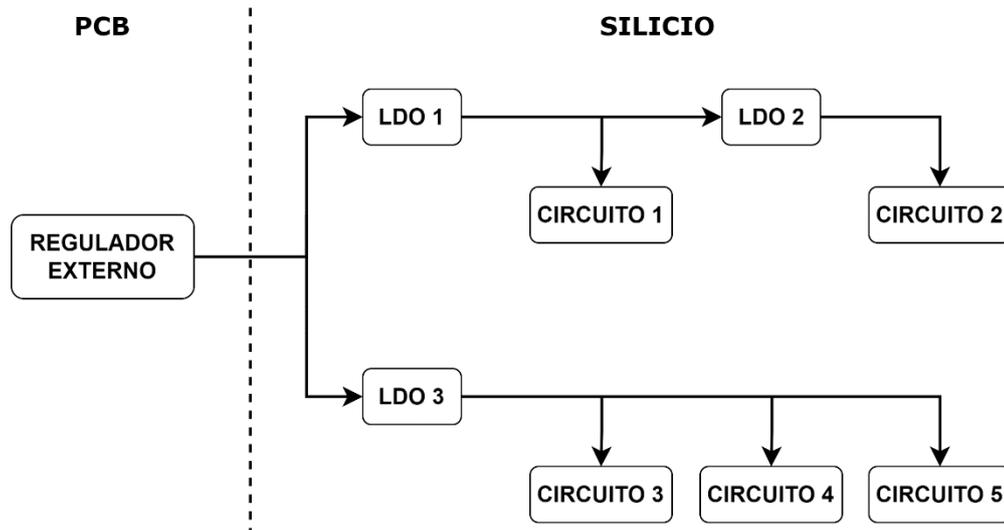


Figura 1. Ejemplo de esquema de distribución de energía.

Algunos de los atributos más importantes de un LDO son su nivel de tensión de entrada y salida, corriente de funcionamiento, ruido o precisión y, dependiendo de cuales de estos aspectos van a estar más restringidos por las especificaciones, existen distintos métodos de diseño para potenciar su desempeño en los aspectos más restrictivos y conseguir un diseño equilibrado.

1.1. Objetivo

El objetivo de este trabajo es el de comparar diferentes topologías y métodos de compensación para LDOs y ver qué limitaciones tiene cada una, a que se deben, y cuál se usaría en cada ocasión dependiendo de las especificaciones requeridas y las herramientas que se tengan a disposición.

Para lograr esto, primero se van a estudiar estas opciones de forma teórica para determinar su viabilidad, y después se va a proceder al diseño y las simulaciones para verificar su funcionamiento. Debido a que las prestaciones de cada tecnología en microelectrónica son diferentes, se va a presentar una lista de especificaciones restrictivas para esta tecnología (16 nm FinFET) sobre la que se van a basar los diseños y que servirá como meta para realizar las comparaciones.

Cabe destacar que el propósito de este trabajo no es el de diseñar un LDO para cumplir con las especificaciones, sino el de proponer varias soluciones, analizar su desempeño, y determinar cuál sería la óptima en cada situación.

Capítulo 2. Especificaciones

Las especificaciones sobre las que se van a basar los diseños y se van a realizar las comparativas son las siguientes:

- Corriente de carga mínima 1 mA
- Corriente de carga máxima 100 mA
- Salida del LDO 0.9 V

- Fuentes disponibles 1.2 V y 1.8 V +/-5%
- Tensión de referencia 0.9 V

- Estabilidad: PM>60°, GM>10 dB en todos los corners
- PSRR: 30dB@1MHz, 20dB@100MHz, 40dB@500MHz
- Precisión 1% (mismatch + error sistemático)

- Corner de proceso: TT, SS, FF
- Rango de temperatura: -40 °C, 125 °C

Dentro de estas especificaciones podemos diferenciar entre dos tipos. Las primeras son las funcionales, las que afectan directamente a la operación del circuito. Estas especificaciones son esenciales y siempre se deben cumplir para tener un funcionamiento correcto. En este caso son el rango de corriente de salida y la estabilidad.

Las segundas son las especificaciones de rendimiento. Estas no son estrictamente necesarias para el funcionamiento de un circuito, pero son un indicativo del desempeño que tendrá el LDO. El llegar a cumplirlas por completo puede depender de otros factores como, por ejemplo, el área disponible para el diseño o la corriente que se desea consumir. En este caso son la PSRR y la precisión.

Esta distinción en las especificaciones provoca un cambio a la hora de enfocar el proceso de diseño. El primer objetivo de cualquier posible solución será el de cumplir las especificaciones funcionales, especialmente la estabilidad, y como segundo paso habrá que conseguir maximizar la PSRR y precisión para acercarse y, si es posible, cumplir el objetivo.

A continuación, se va a pasar a explicar los aspectos más importantes de cada una de ellas y cómo pueden afectar al diseño.

2.1. Corriente de carga

El rango de corriente de salida es un punto importante a la hora de diseñar un LDO. Este rango existe porque los circuitos que se van a alimentar varían su consumo dependiendo del modo de funcionamiento en el que están trabajando y, para todos estos casos, el LDO debe de ser capaz de funcionar correctamente y suministrar energía cumpliendo con el resto de las especificaciones.

Típicamente, el valor de corriente de carga máxima corresponde con el modo de funcionamiento normal, en el que todos los circuitos que se alimentan están funcionando a pleno rendimiento. El valor mínimo es normalmente aplicable en modos de funcionamiento en reposo, en el que los circuitos sólo consumen una cantidad de corriente baja a la espera de que se activen.

Esta situación ofrece la posibilidad de si, en caso de estar en modo de bajo consumo, no se llega a cumplir con algunas de las especificaciones de rendimiento, es posible que esto no influya al comportamiento del circuito. Dependiendo del caso en el que se encuentre el diseñador es posible que esta sea una opción viable, aunque siempre será mejor cumplir con todas ellas en todos los casos.

Las dificultades a la hora de diseñar para esta especificación se encuentran en la respuesta del transistor de paso. Dependiendo de la corriente que pase por este, su comportamiento va a variar y va a complicar el cumplimiento del resto de especificaciones. Para analizar este efecto, en la Figura 2 se muestra el esquema en pequeña señal de un MOSFET.

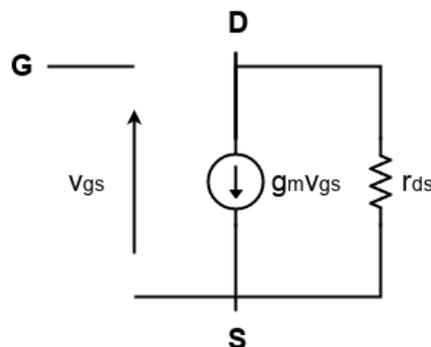


Figura 2. Esquema en pequeña señal de un MOSFET.

La resistencia de longitud de canal (r_{ds}) va a variar de forma inversamente proporcional a la corriente de drenador a surtidor [1, p. 7].

$$r_{ds} \propto \frac{1}{I_D} \quad (1)$$

Esto va a provocar un cambio en la impedancia del nodo de salida y, por lo tanto, en la frecuencia del polo de salida y en la respuesta de la PSRR.

La transconductancia (g_m) también se va a ver afectada por este cambio en la corriente de salida. Analizando la ecuación de la corriente de drenador a surtidor (I_D) en gran señal, se obtiene

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2)$$

donde μ_n y C_{ox} son parámetros constantes del proceso de manufactura, W y L hacen referencia a las dimensiones del transistor, V_{GS} es la tensión puerta-surtidor, y V_{TH} es la tensión umbral. El único parámetro que se puede modificar al variar la corriente es V_{GS} . Esto provoca un cambio en el punto de operación en DC, donde la tensión en la puerta (V_G)

$$V_{GS} = V_G - V_S \quad (3)$$

subirá o bajará en función de la corriente, aumentando la tensión para valores de corriente más altos y viceversa.

Teniendo en cuenta este efecto, la transconductancia

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (4)$$

$$= \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \quad (5)$$

también se verá afectada por este cambio.

Dependiendo del tipo de transistor de paso, esta variación en la transconductancia puede suponer un cambio en la impedancia de salida de LDO o incluso en la ganancia de lazo. Las capacidades parásitas también se ven ligeramente afectadas por los cambios del punto de funcionamiento.

Esta complejidad en la respuesta del circuito a la corriente de carga provoca que el rango de corriente de salida sea uno de los puntos iniciales y más restrictivos del diseño, siendo necesario un buen dimensionamiento del transistor de paso antes de continuar con los siguientes pasos.

2.2. Estabilidad

La forma más común de medir la estabilidad es con el margen de fase o *phase margin (PM)*, y con el margen de ganancia o *gain margin (GM)* [1, p. 410]. Ambos son parámetros que se miden en la respuesta en frecuencia en lazo abierto y que sirven como indicadores para determinar qué tan estable va a ser un circuito.

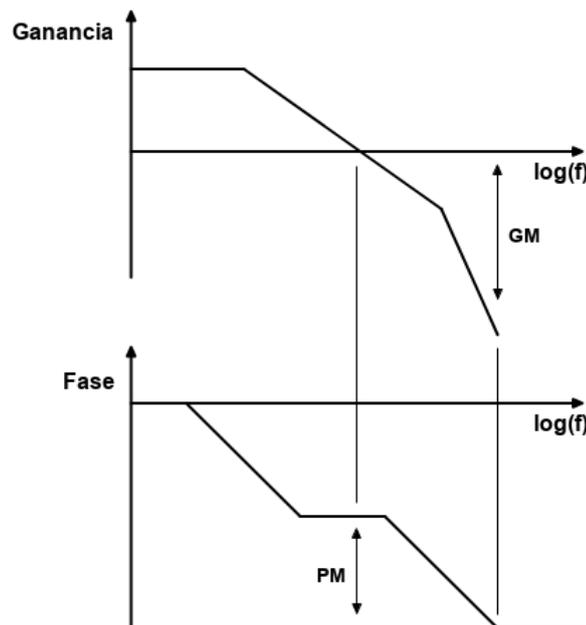


Figura 3. Gráfica de margen de fase (PM) y margen de ganancia (GM).

Al estar directamente relacionados con la respuesta en frecuencia, estas van a ser las especificaciones que más van a delimitar la posición de polos y ceros y la ganancia de lazo del circuito. Un correcto estudio de las impedancias y capacidades de los nodos y la elección de arquitectura y métodos de compensación va a resultar imprescindible para cumplir con ellas en todos los casos. Debido a ser unas de las especificaciones funcionales más importantes y complejas de

cumplir, los criterios de estabilidad van a ser uno de los puntos iniciales de los diseños.

2.3. PSRR

Una de las funciones que debe cumplir un LDO es la de atenuar el ruido que le llega por la entrada de tensión para no transmitirlo por su salida al resto de circuitos. Esto es debido a que el sistema de distribución de energía en microelectrónica conecta muchos puntos del silicio entre ellos y, por lo tanto, crea caminos por los que se pueden acoplar y transmitir señales de ruido interno o externo.

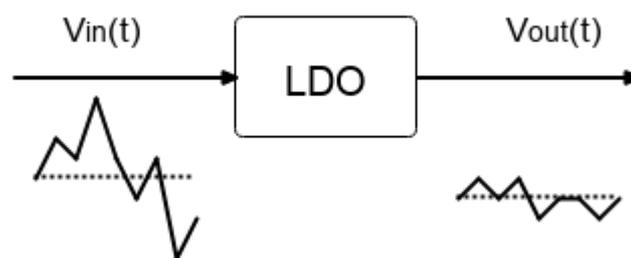


Figura 4. Diagrama de la atenuación de ruido en función del tiempo a través de un LDO.

La Relación de Rechazo de la Fuente de Alimentación o *Power Supply Rejection Ratio (PSRR)* es la función de transferencia entre la entrada y la salida de un LDO que sirve como medidor para indicar el desempeño que tiene el circuito a la hora de atenuar el ruido que se propaga a través de este.

Esta función de transferencia se calcula entre la entrada y la salida del LDO en función de la frecuencia

$$PSRR(f) = \frac{V_{OUT}(f)}{V_{IN}(f)} \quad (6)$$

y se deberá evaluar de forma teórica sobre el circuito teniendo en cuenta todos los posibles caminos que el ruido pueda tomar. Los componentes que van a jugar un papel crucial a la hora de mejorar la PSRR van a ser el transistor de paso por sus capacidades parásitas y ganancia, la capacidad de salida para absorber

el ruido de alta frecuencia, los métodos de compensación, y el diseño del amplificador de error. Todos ellos serán abordados con más detalle en el apartado de Arquitectura de los LDOs donde se estudiará el efecto de cada componente sobre las especificaciones y en el apartado de Diseños donde se aplicarán estos efectos sobre diseños reales.

2.4. Precisión

Las dos fuentes de error principales que afectan a la precisión de la salida de un LDO son el error sistemático y el error por *mismatch*. En el peor de los casos y en conjunto, nunca se deberá superar un error del 1% sobre los 0.9 V de salida para cumplir con las especificaciones propuestas para este trabajo.

El error sistemático es un tipo de error recurrente y constante que proviene mayoritariamente de la ganancia de lazo. En un sistema realimentado negativamente como el que se muestra en la Figura 5, la ganancia de lazo cerrado no va a ser constante, sino que va a depender de la ganancia de lazo abierto.

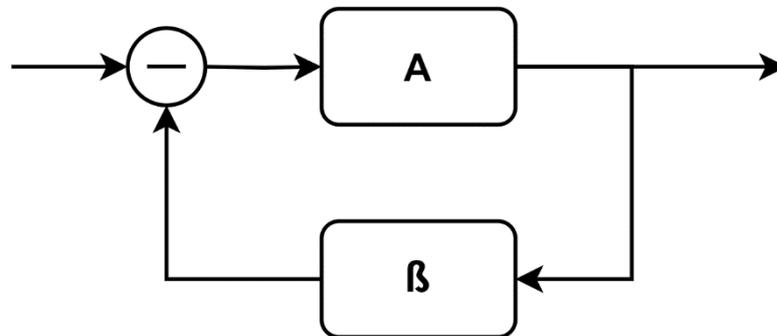


Figura 5. Diagrama de un sistema realimentado negativamente.

La ganancia en lazo cerrado es:

$$CL_{gain} = \frac{A}{1 + A\beta} \quad (7)$$

Analizándola para el caso extremo ideal en que la ganancia A es infinita se obtiene:

$$\lim_{A \rightarrow \infty} \frac{A}{1 + A\beta} = \frac{1}{\beta} \quad (8)$$

Sabiendo esto, se puede realizar una comparación entre el valor real y el ideal añadiendo un factor de error para saber cuál es la diferencia entre ellas en función de la ganancia:

$$\frac{A}{1 + A\beta} = (1 - error) \frac{1}{\beta} \quad (9)$$

Despejando la ganancia de lazo ($A\beta$), de la ecuación (9) se llega a

$$A\beta = \frac{1 - error}{error} \quad (10)$$

y sustituyendo el valor de error del 1% (0.01) que aparece en las especificaciones, se obtiene que la ganancia en lazo abierto ha de ser de

$$A\beta = \frac{1 - 0.01}{0.01} = 99 \quad (11)$$

en ganancia lineal o de

$$20 \cdot \log_{10}(99) = 39.91 \text{ dB} \quad (12)$$

para llegar a ese nivel de error.

Con este valor de ganancia calculado no se puede asegurar que la precisión se cumpla para todos los casos, ya que hay otras muchas fuentes de imprecisión que no se han tenido en cuenta, como por ejemplo el efecto de los *corners* de proceso y temperatura o el *mismatch*. Este valor calculado sirve solo objetivo mínimo a la hora de diseñar y, dependiendo del caso y del impacto que tendrán el resto de los factores sobre la precisión, será necesaria más ganancia de lazo para cumplir con la especificación.

Otro de los factores que va a sumar al error sistemático va a ser el de las esquinas o *corners*. En el proceso de manufactura del silicio se van a producir ligeras imperfecciones que van a provocar variaciones en algunos parámetros de los MOSFET como su tensión umbral o transconductancia. En la simulación se deberá comprobar cuál es el impacto de dicho efecto y ajustar el resto de las fuentes de imprecisión acorde.

Los cambios de temperatura también van a provocar un cambio en el punto de operación del circuito, variando el nivel DC de la salida y aportando a su error, al igual que la tolerancia de las fuentes de tensión disponibles.

El otro gran factor que va a afectar a la precisión es el *mismatch*. Este efecto aparece cuando dos transistores que están dimensionados para que sean iguales o un múltiplo el uno del otro realmente no lo son por errores en el proceso de manufactura. Estos errores provienen de diferencias en los niveles de dopado en las puertas de los transistores, que modifican el valor de la tensión umbral, o de variaciones microscópicas en las longitudes y anchuras de los propios componentes entre otros [1, p. 591].

Algunos de los circuitos más afectados por el *mismatch* son los espejos de corriente y los pares diferenciales, que en la realidad no funcionan de forma ideal y aparecen desequilibrios en corrientes o tensiones que deberían ser iguales o proporcionales.

En el caso de un LDO, el *mismatch* afecta principalmente al amplificador de error. Este desequilibrio en el par diferencial provoca una diferencia entre las dos ramas que a su vez provoca un error en DC a su salida que se propaga por el transistor de paso hasta la salida del propio LDO, afectando así a su precisión.

La forma de disminuir este efecto es mediante la estadística. Si se incrementa el área de los transistores que producen esta desviación manteniendo estable su dimensionamiento (W/L) para que no cambien el resto de las propiedades, el error se promedia entre áreas más grandes y su efecto se reduce. Controlar el *mismatch* es uno de los últimos pasos a realizar, una vez terminada la fase preliminar del diseño.

Como se puede observar, son muchos los principios que agregan a la precisión de salida de un LDO. Por esto, hay que conseguir un equilibrio entre todos ellos para lograr cumplir con el valor de la especificación. Dependiendo del caso y del diseño, será más sencillo mejorar la respuesta actuando sobre un causante u otro.

2.5. Otras

Además de las especificaciones que aparecen en esta lista, todo LDO debe cumplir también con unas especificaciones de segundo orden. Algunos ejemplos podrían ser el ruido de salida, la regulación de carga, respuesta frente a transitorios o secuencias de encendido y apagado. Pese a ser también imprescindibles para un buen diseño, son factores secundarios que no se consideran en las fases iniciales de diseño.

Debido a que este trabajo se centra en la comparación de arquitecturas y métodos de compensación, que es uno de los pasos iniciales, se ha limitado el alcance de las especificaciones solo a las principales y más restrictivas. En el caso de que se quisiera cumplir con ellas, las modificaciones al circuito serían menores y complementarias al diseño inicial.

Capítulo 3. Arquitectura de los LDOs

La estructura de control de un LDO analógico está formada por varios elementos, cada uno con una función específica y con el objetivo de regular y estabilizar la salida. El mecanismo que consigue esto es la realimentación negativa, donde se mide la variable que se desea controlar, se compara con una referencia, y se aplica una señal contraria a esa desviación en el elemento que la controla directamente.

Esta es la estructura de control de un LDO:

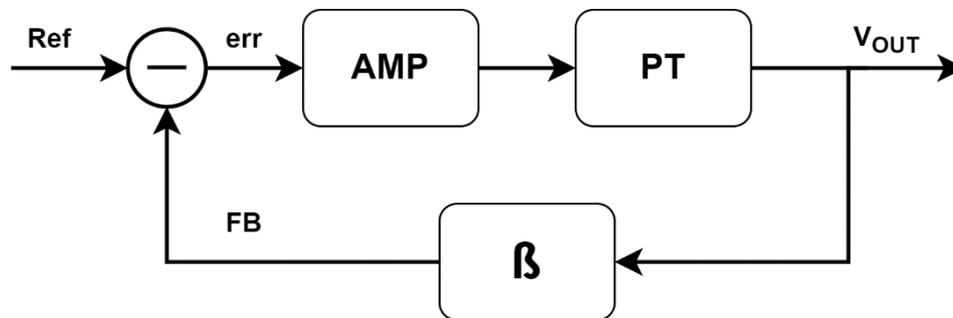


Figura 6. Diagrama de control de un LDO.

Analizando los componentes de este bucle y empezando desde la salida de tensión (V_{out}), ésta se mide mediante un bloque de sensado (β) que genera la señal de realimentación o *feedback* (FB) que es proporcional a la señal medida. A partir de ahí, la señal de realimentación se compara con una referencia fija y conocida (Ref) para generar la señal de error (err), que indica que tan lejos está la salida real de la deseada. Esta señal de error se amplifica a través del bloque llamado amplificador (AMP) y se aplica en forma de tensión en la puerta del transistor de paso (PT), que es el que controla directamente la tensión de salida, cerrando así el bucle.

Cada uno de estos bloques tiene una función concreta que se puede implementar de formas distintas, con prestaciones diferentes y que dan lugar a varias arquitecturas dependiendo del objetivo de diseño que se tenga. A continuación, se van a enumerar estas partes, desarrollar la función que cumplen, y exponer cuáles con las especificaciones en las que más influyen.

3.1. Transistor de paso

El componente principal de un regulador lineal, como lo es un LDO, es el transistor de paso. Este transistor es un dispositivo que se sitúa en serie entre la entrada y la salida de tensión y que, mediante su tercer terminal de la puerta, regula la salida para ajustarla al valor requerido.

En la Figura 7 se muestra un modelo simplificado del comportamiento de este dispositivo con un divisor resistivo, donde el transistor de paso (*PT*) funciona como una resistencia variable que modifica su valor en función de cómo cambie la carga que se está alimentando (*LOAD*) para generar una tensión constante en el nodo de salida de este divisor.

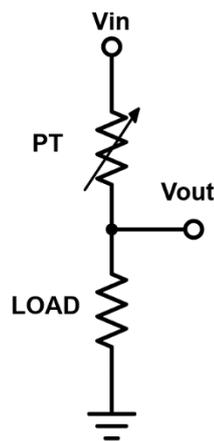


Figura 7. Modelo de divisor resistivo para el transistor de paso de un LDO.

En tecnología CMOS existen dos tipos de transistores: el nMOS y el pMOS. El comportamiento en pequeña señal de ambos viene dado por:

$$i_d = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \quad (13)$$

i_d es la corriente entre drenador y surtidor o, en el caso del transistor de paso de un LDO, la propia corriente de salida que se aplica a la carga. μ_n y C_{ox} son la movilidad de los electrones y la capacidad de puerta a oxido por unidad de área respectivamente, parámetros constantes para cada tecnología. W y L son la anchura y longitud del transistor, dimensiones que se van a modificar para controlar la respuesta del transistor diseñado. V_{gs} es la tensión de puerta a surtidor, lugar

en el que se va a aplicar la señal de control para regular la tensión de salida. Y V_{th} es la tensión umbral, otro parámetro constante para cada tecnología y tipo de transistor.

El comportamiento de resistencia variable mostrado en la Figura 7 se extrae de la ecuación (13). Un cambio en la tensión aplicada en la puerta del transistor se convierte en un cambio en la corriente de drenador a surtidor o, visto de otra forma, su conductividad [2].

En la Figura 8 se muestra el esquema de conexiones para ambos dispositivos en el caso de que funcionen como transistor de paso en un LDO. Entre el drenador (D) y el surtidor (S) se sitúan la tensión de entrada a regular (V_{in}) y la salida de tensión (V_{out}). El tercer terminal, la puerta (G), es donde se aplicará la señal de control proveniente del amplificador de error (Figura 6).

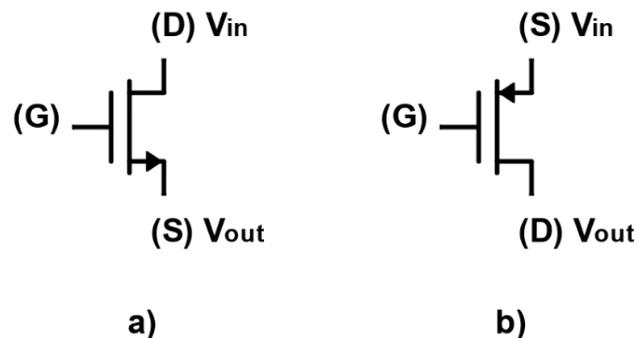


Figura 8. Conexiones del transistor de paso para (a) nMOS y (b) pMOS.

Cada uno de este tipo de transistores tiene propiedades distintas al cumplir con esta función, como por ejemplo la ganancia de la etapa, el efecto inversor o no inversor, o los niveles de tensión DC que se esperan en cada uno de los terminales. Estas se verán en detalle los apartados de Diseños relativos al tipo de transistor de paso o su dimensionamiento.

Uno de los puntos comunes se encuentra al analizar su modelo en pequeña señal incluyendo las capacidades parásitas:

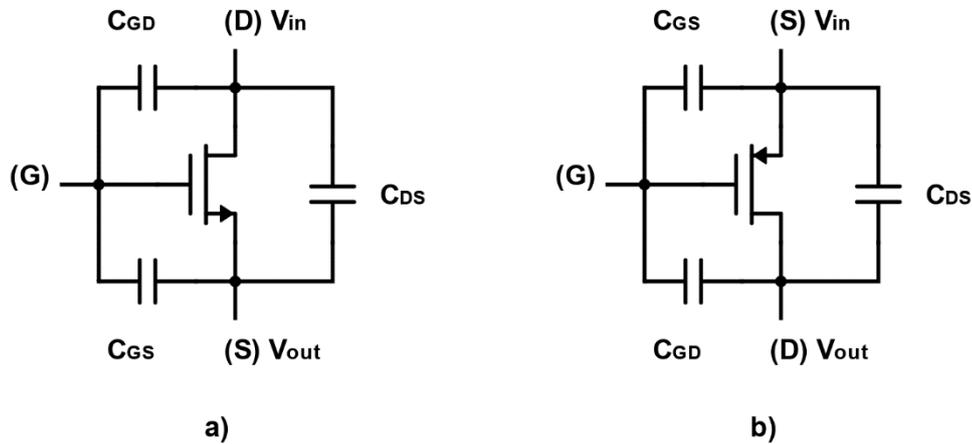


Figura 9. Modelo de capacidades parásitas de (a) nMOS y (b) pMOS.

Como la corriente de salida del LDO la deberá soportar por completo este transistor, su tamaño deberá ser igualmente grande para poder conducirla. Esto provoca un *tradeoff* entre la corriente de salida y los efectos capacitivos parásitos que van a ser determinantes en dos de las especificaciones más restrictivas del diseño: la estabilidad y la PSRR.

En estabilidad, las capacidades vistas desde la puerta van a provocar un polo en relativa baja frecuencia que va a delimitar el ancho de banda y la posición del resto de polos y ceros del bucle para conseguir el margen de fase deseado. En el caso de un pMOS, su capacidad de puerta-drenador (C_{GD}) se verá incluso amplificada debido al efecto Miller [1, p. 174].

En PSRR, estas capacidades van a provocar caminos de baja impedancia para la alta frecuencia, que van a unir principalmente la puerta con la salida de tensión y el drenador con el surtidor, disminuyendo así el efecto atenuador del ruido.

El estudio de este comportamiento es imprescindible ya que, a la hora de dimensionar el transistor de paso, factores como la corriente de salida y niveles de tensión van a ser los factores limitantes que van a restringir su tamaño. Debido a esto, no es una opción viable modificar su tamaño para ajustar sus capacidades parásitas a los requisitos del diseño.

Por estas razones, el transistor de paso es un punto clave a la hora de diseñar un LDO y uno de los componentes donde la aplicación de las técnicas de compensación será más efectiva.

3.2. Amplificador de error

La función que desempeña el amplificador de error en un LDO es la de comparar la señal de la realimentación con la referencia para generar la señal de error, amplificarla, y aplicarla a la puerta del transistor de paso para regular la salida. Retomando el diagrama de lazo de la Figura 6, este bloque conformaría el restador y el bloque llamado *AMP* en un solo circuito.

A partir de estos requisitos de funcionamiento, se puede delimitar que la arquitectura del amplificador ha de ser de entrada diferencial con salida *single-ended*, con la ganancia adecuada como para cumplir con la precisión y la estabilidad del lazo, y con un rango de tensión de entrada y salida que coincida con el que pueda proporcionar la realimentación y la referencia, y con el necesario para el transistor de paso.

El modelo para analizar la respuesta en frecuencia de este amplificador se muestra en la Figura 10. La entrada diferencial recibirá la señal de realimentación (*FB*) y la referencia (V_{ref}), una por la entrada inversora y otra por la entrada no inversora para conseguir la realimentación negativa. La transconductancia vendrá dada por g_{m_A} , la resistencia de salida por r_{o_A} , y la capacidad parásita equivalente desde la salida hasta masa por C_{o_A} .

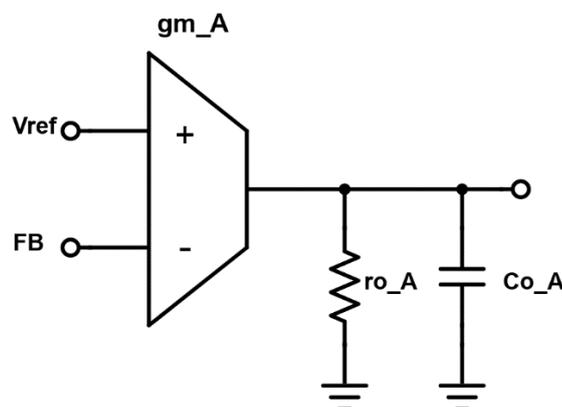


Figura 10. Modelo para estabilidad de un amplificador de error para LDO.

Teniendo en cuenta todos estos factores, la mejor opción es emplear un Amplificador Operacional de Transconductancia o *Operational Transconductance Amplifier (OTA)*. La variante más simple del OTA se llama de 5 transistores (Figura 11) y tiene dos variantes: una con el par diferencial tipo N y el espejo de corriente arriba (a), y otra con el par diferencial tipo P y el espejo de corriente abajo (b). Las fuentes de corriente M_5 estarán compuestas por un espejo de corriente de un solo transistor.

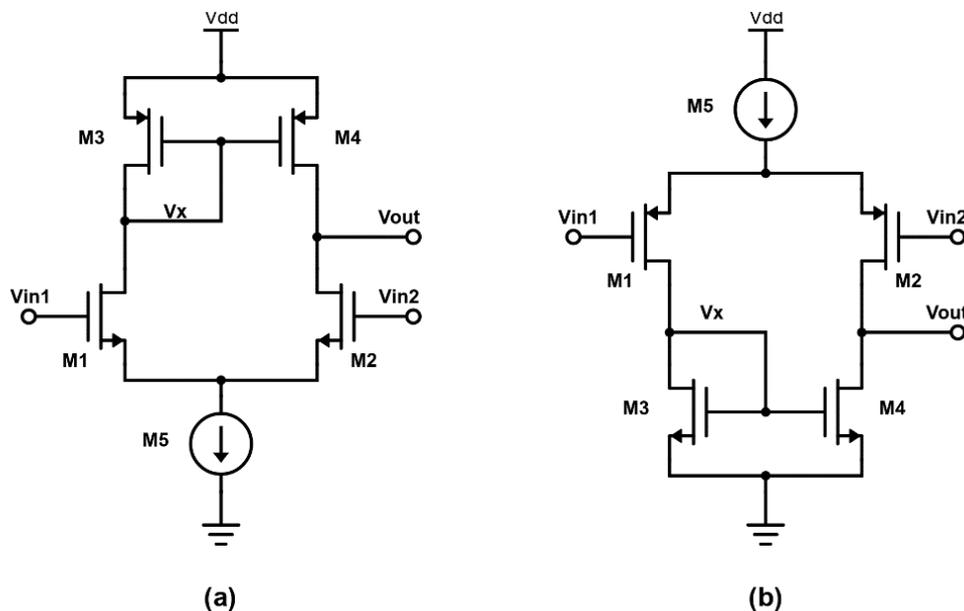


Figura 11. Esquema de un OTA de 5 transistores con (a) par diferencial tipo N y (b) par diferencial tipo P.

Este tipo de arquitectura para el amplificador de error en un LDO es excelente ya que su salida por corriente de alta impedancia permite actuar sobre la gran carga capacitiva del transistor de paso y formar el nodo ideal sobre el que tener uno de los polos principales del lazo. Al disponer de una entrada por tensión a la puerta de un MOSFET, también simplifica mucho la red de realimentación.

Analizando los rangos de tensión de entrada y salida, se puede ver cuáles van a ser las situaciones más limitantes de estas topologías. Para que un transistor se mantenga en la región de saturación y no entre en triodo, la tensión drenador-surtidor deberá ser mayor que la diferencia entre la tensión puerta-surtidor y la tensión umbral [1, p. 10].

$$V_{DS} \geq V_{GS} - V_{TH} \quad (14)$$

En (a), este efecto es relevante en el transistor M_2 , donde la tensión en su drenador (V_{out}) no podrá estar por debajo de este valor para que la etapa no pierda ganancia.

$$V_{out,min(a)} = V_{in,2} - V_{th,2} \quad (15)$$

A su misma manera, para que un transistor esté en saturación, su tensión puerta-surtidor (V_{GS}) deberá ser mayor que su tensión umbral (V_{TH}). Por esto y suponiendo que el transistor M_2 del par diferencial siempre ha de estar en saturación, la entrada del amplificador no podrá estar por debajo de

$$V_{IN2(a)} > V_{DS,sat,5} + V_{TH,2} \quad (16)$$

para que la fuente de corriente M_5 tenga la suficiente tensión drenador-surtidor como para funcionar correctamente.

Este efecto provoca que para (a) la tensión de realimentación deba ser lo suficientemente alta como para mantener M_5 en saturación siguiendo la ecuación (16), y, a su vez, lo suficientemente baja como para permitir que la salida pueda llegar hasta su mínimo requerido siguiendo la ecuación (15).

Lo mismo ocurre con la otra variante de la Figura 11 (b). Para mantener M_4 en saturación la salida (V_{out}) no podrá estar por debajo de

$$V_{out,min(b)} = V_{ds,sat,4} \quad (17)$$

y para que no ocurra lo mismo con M_2 , su máximo estará limitado por el nivel de la entrada

$$V_{out,max(b)} = V_{in,2} + V_{th,2} \quad (18)$$

Aquí la señal de entrada procedente de la realimentación deberá ser lo suficientemente alta como para no limitar el valor máximo de la salida, y habrá que dimensionar y polarizar M_4 como para que su tensión drenador-surtidor en saturación no influya en la operación del LDO. Como se verá más tarde en la sección de Realimentación, esta señal de *feedback* estará limitada por la salida de 0.9 V del LDO, ya que se va a emplear un divisor resistivo para medir esta variable. Esto

pone un límite al valor máximo de salida del amplificador que, si no es suficiente con esta topología de amplificador, deberá ser cambiada por otra que no lo tenga.

Uno de los puntos débiles de esta primera arquitectura está en la precisión. Idealmente, el nodo de salida (V_{out}) y el nodo de la rama opuesta (V_x) (Figura 11) deberían estar siempre a la misma tensión para asegurar la simetría de ambas ramas. Así, no habría corrientes indeseadas que se propagasen por las resistencias de longitud de canal (r_{ds}) del par diferencial o el espejo de corriente, desequilibrando el circuito. Estas corrientes desiguales generan un *offset* que se propaga por el transistor de paso hasta la salida afectando a la precisión [1, p. 593].

Al existir un rango de corriente de salida del LDO bastante alto, la tensión en la puerta del transistor de paso también deberá oscilar ampliamente para regular la salida correctamente. Este es el mecanismo por el que el amplificador degrada la precisión.

Una forma de permitir que la salida del amplificador tenga un rango amplio pero que el par diferencial y el espejo de corriente no deban soportarlo es empleando cascodos. Como se muestra en la Figura 12 (b), al colocar un cascodo en serie con la salida se aumenta la impedancia en este punto, disminuyendo así la señal que deberá soportar el transistor inferior [1, p. 82].

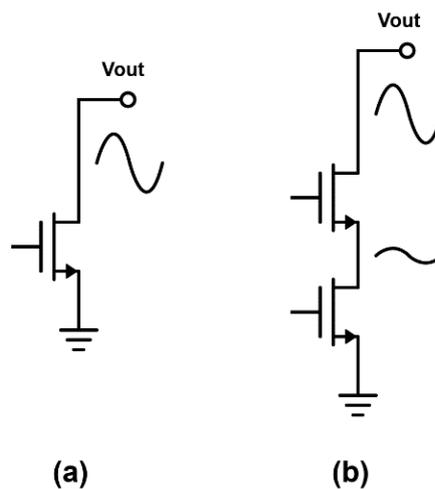


Figura 12. (a) Gran variación de tensión drenador-surtidor en un transistor y (b) uso de un cascodo para reducir esta variación.

Aplicando este concepto sobre la arquitectura del OTA de 5 transistores, se propone una modificación en la que se añaden cascodos tanto al par diferencial como al espejo de corriente.

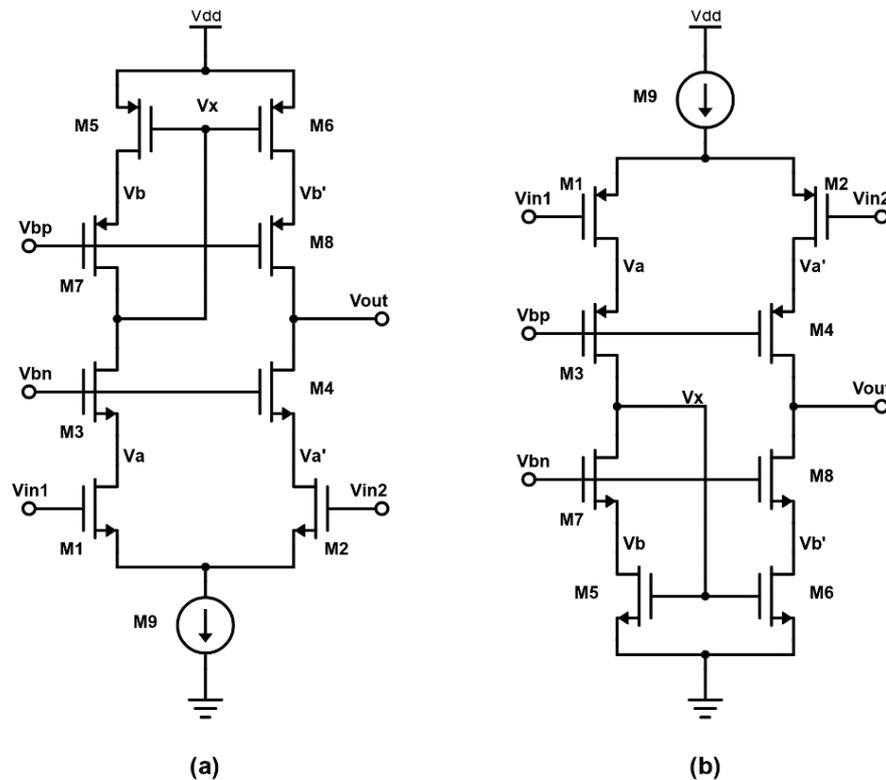


Figura 13. Esquema de un OTA de 5 transistores con cascodos con (a) par diferencial tipo N y (b) par diferencial tipo P.

Esta nueva variante del amplificador podrá ser usada en escenarios en que la precisión sea un factor limitante, pero a pesar de la mejora en esta especificación, van a aparecer nuevos inconvenientes en otros aspectos del diseño.

Uno de los cambios más importante que va a requerir esta nueva variante se encuentra en la alimentación. Al tener ahora una altura de cinco en vez de tres transistores se requerirá una alimentación mayor para asegurar que cada uno de ellos dispone del margen necesario de V_{DS} para funcionar.

Además de añadir los propios cascodos, también será necesaria una red de polarización o *biasing* que requerirá de más tiempo de diseño y consumirá energía y área. La impedancia de salida aumentará, propiedad que puede ser beneficiosa o no al diseño.

El rango a la salida también va a disminuir. Ahora, además de asegurarse de que el par diferencial y espejo de corriente estén en saturación, también habrá que añadirles la tensión drenador-surtidor en saturación de los cascodos. Los nuevos límites de la salida sobre el esquema de la Figura 13 son los siguientes:

$$V_{out,min} (a) = V_{in2} - V_{gs2} + V_{DS,sat4} \quad (19)$$

$$V_{out,max} (a) = V_{DD} - V_{DS,sat6} - V_{DS,sat8} \quad (20)$$

$$V_{out,min} (b) = V_{DS,sat6} + V_{DS,sat8} \quad (21)$$

$$V_{out,max} (b) = V_{in,2} + V_{th,2} - V_{DS,sat4} \quad (22)$$

Al igual que con la variante sin cascodos, la salida máxima con el par diferencial tipo P (b) va a estar fuertemente restringida por el nivel de la realimentación. En caso de que este sea un factor limitante, una opción viable sería situar un convertor de nivel o *level-shifter* a la salida para ajustar los rangos de amplificador y transistor de paso. Realmente, este circuito funciona como un *folded cascode single-ended* a la salida del amplificador, donde M_6 sería el cascodado de M_2 . A pesar de esto, a partir de este punto en el trabajo se le va a pasar a nombrar siempre como *level-shifter* para no confundirlo con la topología de amplificador que se verá al final de este apartado.

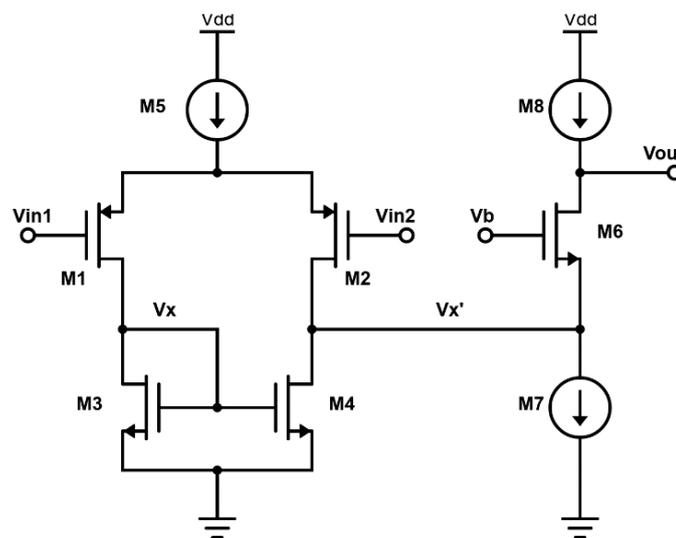


Figura 14. Esquema de un OTA de 5 transistores con par diferencial tipo P y level-shifter a la salida.

Esta nueva etapa funciona como una *common-gate* o puerta común [1, p. 75] en que la entrada por corriente proveniente del OTA pasa a ver una resistencia reducida en el nodo v_x' de aproximadamente

$$R_{v_x'} \approx \frac{1}{g_{m6}} \quad (23)$$

que, juntamente con la nueva impedancia de salida de

$$Z_{out} = ((1 + g_{m6}r_{d6})r_{d7} + r_{d6})//r_{d8} \quad (24)$$

otorgará una ganancia muy similar a la versión anterior sin el *level-shifter* si se considera que la fuente de corriente M_8 se construye con solo un transistor. La diferencia más grande estará en el nivel DC a la salida que aumenta y ahora pasa a estar limitada por la fuente de corriente M_8

$$V_{out,max} = V_{DD} - V_{DS,sat8} \quad (25)$$

y por el cascode del *level-shifter* M_6

$$V_{out,min} = V_b - V_{gs,6} + V_{sat,6} \quad (26)$$

Sin entrar en el dimensionamiento y polarización del *level-shifter*, con esta arquitectura de amplificador se permite tener ahora un rango de salida mucho más elevado y no limitado por el nivel máximo de la realimentación.

La opción más completa para mejorar todos estos problemas en las situaciones de diseño más restringidas pasaría por cambiar por completo la topología del amplificador por una llamada cascode plegado o *folded cascode*.

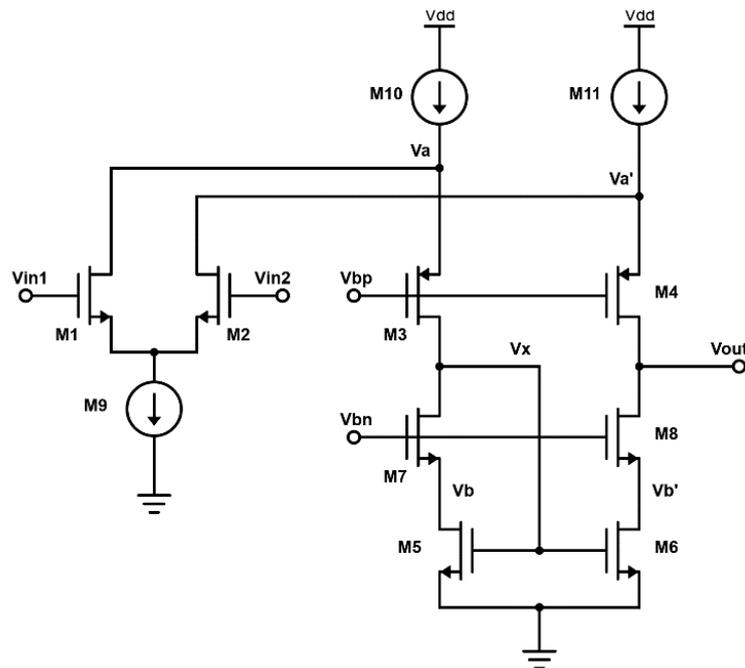


Figura 15. Esquema de un cascado plegado con par diferencial tipo N.

Esta combina el uso de cascodos para mejorar la precisión y modifica el par diferencial para que no limite el rango de salida. Su rango de salida quedaría como:

$$V_{out,min} = V_{DS,sat6} + V_{DS,sat8} \quad (27)$$

$$V_{out,max} = V_{DD} - V_{DS,sat11} - V_{DS,sat4} \quad (28)$$

Todas estas arquitecturas de amplificador de error tienen su lugar en diferentes diseños dependiendo de los requisitos y herramientas que se tengan a disposición.

3.3. Realimentación

La función de la realimentación en un LDO es la de medir la tensión de salida y generar una señal proporcional a este valor para que se compare con la referencia. Conociendo que esta comparación se va a realizar en la entrada de tensión del amplificador, que es de alta impedancia, el método más sencillo consiste en emplear un divisor resistivo.

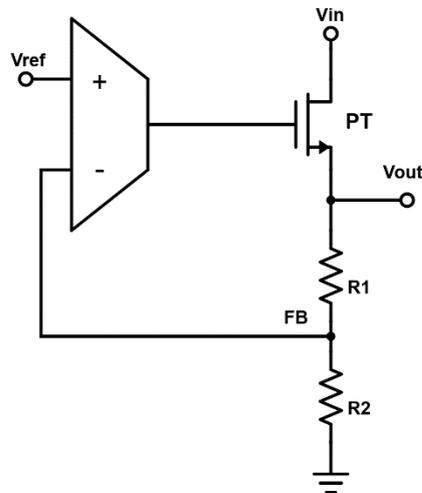


Figura 16. Diagrama de la red de realimentación por divisor resistivo en un LDO.

Este divisor resistivo determinará el factor beta del diagrama del lazo (Figura 6) por la ecuación

$$\beta = \frac{R_2}{R_1 + R_2} \quad (29)$$

, considerando que la impedancia de entrada del amplificador en baja frecuencia es infinita debido a que es la puerta de un MOSFET. La elección de este factor beta es relevante para la ganancia de lazo, que se podrá disminuir eligiendo una relación de resistencias más pequeñas, y para el nivel DC de la realimentación, que se podrá ajustar para coincidir con el diseñado y no limitar la salida del amplificador posterior en los casos en que sea relevante como se ha demostrado en el apartado Amplificador de error.

El punto más extremo de este divisor sería el de la realimentación directa, donde el factor beta sería igual a uno. En ese caso no serían necesarias las resistencias y se conectaría directamente la salida del LDO con la entrada para la realimentación.

Respecto a la referencia, el circuito que se encarga de generarla y asegurarse de que sea estable para cambios de temperatura o errores en el proceso de fabricación es el *bandgap*. Para compararse correctamente con la señal de realimentación, ambas deberán tener el mismo valor. A pesar de tener una

especificación de 0.9 V para este trabajo, es fácilmente modificable o programable dependiendo del circuito que se emplee. Por esta razón, no se va a limitar ningún diseño con este parámetro y se va a suponer que se puede modificar para coincidir con los requisitos del circuito.

Pasando ahora a la estabilidad, el nodo que se forma entre ambas resistencias puede llegar a ser problemático. La impedancia vista desde ese punto (R_{FB}) es igual al paralelo de la red de realimentación

$$R_{FB} = \frac{R_1 \cdot R_2}{R_1 + R_2} \quad (30)$$

y la capacidad provendría principalmente de los parásitos a la entrada del amplificador (C_{FB}).

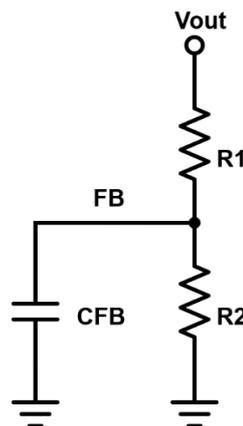


Figura 17. Modelo de estabilidad de la realimentación.

Eso provoca un polo en frecuencia

$$p_{FB} = \frac{1}{R_{FB} C_{FB}} \quad (31)$$

que, en caso de que la capacidad o la resistencia sean muy altas, puede llegar a influir en la estabilidad del lazo. En el caso de que se emplee la realimentación directa, esto no sería un problema ya que la resistencia sería cero al no usar divisor resistivo. El caso contrario ocurriría si se emplearan resistencias de un valor muy elevado para reducir el consumo estático de la red de realimentación.

Dependiendo del caso de diseño, si este polo en la realimentación aparece a mucha más frecuencia del cruce por ganancia cero, donde ya no afecta en estabilidad, se puede despreciar su efecto. En caso de que no, hay diferentes técnicas para controlar su respuesta.

La opción más simple consiste en emplear un sistema como el que se muestra en la Figura 18 donde se añade una capacidad de *feedforward* (C_{FF}) en paralelo con R_1 con el objetivo de generar un cero que compense el polo de la realimentación [3].

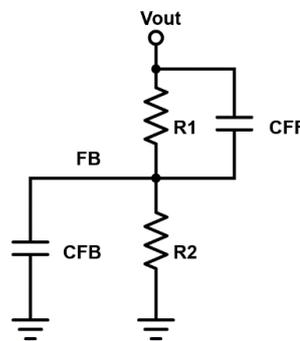


Figura 18. Compensación en frecuencia de un divisor resistivo con capacidad parásita.

Este nuevo cero entre la capacidad de compensación y la resistencia vista entre sus terminales tiene un valor de

$$Z_{FF} = \frac{1}{R_1 C_{FF}} \quad (32)$$

Si igualamos ambos valores se obtiene el siguiente resultado:

$$p_{FB} = Z_{FF} \quad (33)$$

$$\frac{1}{\frac{R_1 R_2}{R_1 + R_2} C_{FB}} = \frac{1}{R_1 C_{FF}} \quad (34)$$

$$C_{FF} = \frac{R_2}{R_1 + R_2} C_{FB} \quad (35)$$

$$C_{FF} = \beta C_{FB} \quad (36)$$

La capacidad de compensación deberá tener un valor igual a beta veces la capacidad parásita en el nodo de realimentación. Esta se deberá obtener desde

las simulaciones para poder ajustar correctamente el cero que genera. El uso de esta capacidad no modifica el valor en continua de la red de realimentación, que es el que determina el valor beta. Solo modifica su comportamiento en alta frecuencia para controlar la estabilidad.

Otra opción más drástica para lidiar con el efecto de este polo consiste en un cambio completo de la topología de realimentación y amplificador de error a una realimentación por corriente como la que se muestra en la Figura 19.

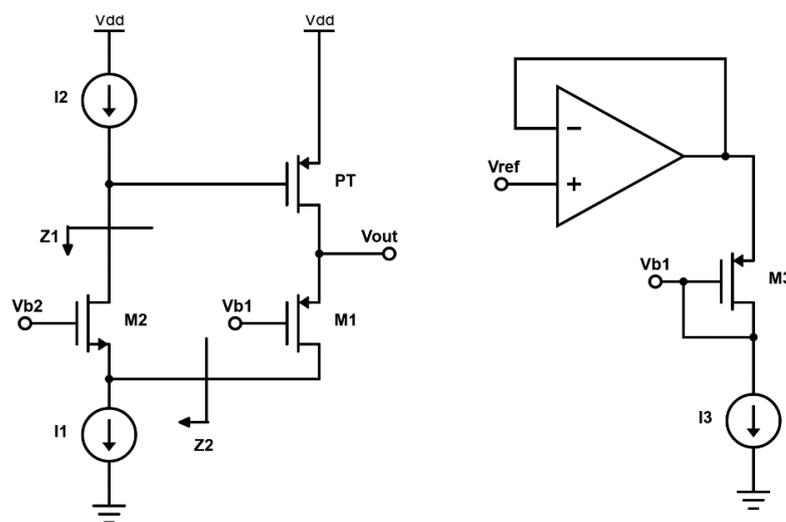


Figura 19. Esquema de realimentación por corriente para un LDO y su red de polarización para la referencia.

Con este nuevo esquema, la impedancia del nodo de realimentación se reduce mucho gracias al efecto del cascode M_2 , que deja una impedancia aproximada de

$$Z_2 \approx \frac{1}{g_{m2}} \quad (37)$$

Esto consigue que el polo de la realimentación se mueva a mucha más alta frecuencia para no afectar a la estabilidad.

La mecánica principal que permite realizar este tipo de realimentación se encuentra en el transistor M_1 , que efectúa tanto la resta entre la salida y la referencia como la conversión a corriente de la señal de error. Observando su circuito de polarización, hay que elegir una tensión de referencia (V_{ref}) igual a la tensión

de salida deseada, dimensionar M_3 igual que M_1 , y elegir la corriente I_3 igual a la que pasa por M_1 (I_1-I_2). También podría ser posible con otros tamaños siempre que la relación tamaño-corriente de todos estos sea la misma. Así, la tensión de polarización V_{b1} será la necesaria como para regular la salida al mismo valor que la referencia.

La tensión puerta-surtidor de M_1 es la que realiza la resta del valor de salida con la referencia, y lo multiplica por su transconductancia para generar la corriente de realimentación.

$$g_{m1}(V_{out} - V_{b1}) \quad (38)$$

Esta corriente luego entra por el surtidor del cascode M_2 y se multiplica por la impedancia del nodo superior para dar la ganancia del amplificador de error.

$$Z_1 = (1 + g_{m2}r_{d2})r_{d1} + r_{d1} \quad (39)$$

El uso de este esquema de realimentación está limitado al transistor de paso tipo P, ya que su efecto inversor provoca que, para un tipo N, no se tenga realimentación negativa, sino positiva. Para el resto de los aspectos del LDO como la estabilidad o la PSRR todo sigue exactamente igual, solo que habrá que sustituir los valores de impedancia de salida del amplificador o capacidades parásitas por los nuevos valores.

Como cierre al apartado de realimentación, el proceso de diseño de este bloque sería el siguiente. (1) Diseñar un divisor resistivo con el factor beta deseado, (2) medir el efecto del polo de realimentación y compensarlo con la capacidad de *feedforward* si fuera necesario y (3), en caso de que no sea suficiente, plantear la realimentación por corriente para disminuir la impedancia del nodo y mover este polo a mucha más alta frecuencia.

Capítulo 4. Diseños

La primera distinción que se va a realizar entre los diseños va a ser con el tipo de transistor de paso: primero con nMOS y después con pMOS. Ya dentro de cada una de estas secciones se va a tratar en más profundidad el funcionamiento y dimensionamiento de cada uno. A partir de ahí, se calculará la respuesta de la PSRR en varias configuraciones y se mostrarán las propias soluciones teóricas y simulaciones pertinentes con los resultados.

En las soluciones teóricas se presentarán modelos para la estabilidad y se propondrán diferentes distribuciones de polos y ceros exponiendo cuales son los factores limitantes de cada una y como se propone cumplir con los criterios de estabilidad. También se mostrará la respuesta para el resto de las especificaciones de rendimiento como la PSRR o la precisión. En las soluciones que también estén simuladas se realizará el mismo estudio teórico, pero, además, se presentarán resultados reales simulados que servirán como punto de comparación entre ellas.

4.1. nMOS

La configuración en que va a estar conectado el transistor de paso tipo N en un LDO se conoce como seguidora o *source-follower*.

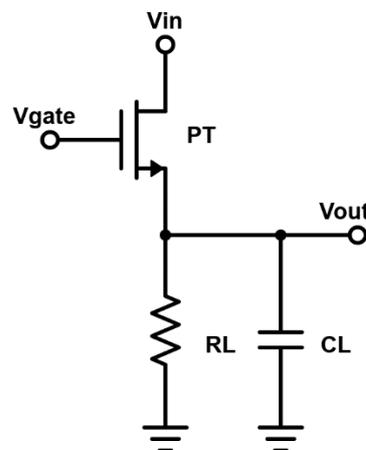


Figura 20. Etapa del transistor de paso tipo N en un LDO en configuración source-follower.

En esta el transistor de paso (*PT*) se sitúa en la parte superior con su surtidor directamente a la salida y controlando una carga (R_L) conectada desde ahí hasta masa. Esta se caracteriza por tener una impedancia de salida en baja frecuencia muy pequeña de aproximadamente

$$Z_{out} \approx \frac{1}{g_m} \quad (40)$$

considerando que la resistencia de carga sea mucho mayor.

Esta característica supone que el polo que se forma en el nodo de salida (p_o) con la capacidad de carga (C_L) no sea tan dominante como en una etapa de ganancia normal, afectando al modo en que se va a buscar la estabilidad.

$$p_o = \frac{1}{Z_{out} C_L} \quad (41)$$

$$= \frac{1}{\frac{1}{g_m} C_L} \quad (42)$$

$$= \frac{g_m}{C_L} \quad (43)$$

El valor de la impedancia de salida también afecta a la ganancia, dando como resultado un valor próximo a la unidad.

$$Gain = g_m R_{out} \quad (44)$$

$$= g_m \frac{1}{g_m} \quad (45)$$

$$= 1 \quad (46)$$

Además, estudiando su respuesta en pequeña señal de la ecuación (13), un aumento en la tensión de puerta supone un aumento en la corriente que, a su vez, sube la tensión de salida dando una respuesta no inversora a la etapa.

Estas propiedades son las que le dan a la configuración el nombre de *source-follower*. La salida, situada en el surtidor del transistor, seguirá exactamente el movimiento de la tensión en la puerta con un offset negativo de V_{th} . Este offset supone que la tensión DC en la puerta ha de ser superior a

$$V_{gate,DC} > V_{out} + V_{TH} \quad (47)$$

Para este caso, si se emplea como tensión de alimentación del LDO 1.2 V y se desea una salida de 0.9 V (dejando 0.3 V entre el drenador y surtidor del transistor de paso), el nivel de la puerta deberá superar siempre la tensión de entrada. Esto supone que siempre será necesario emplear una fuente de tensión adicional y superior a la primera (1.8 V en este caso) para alimentar el amplificador de error o etapa anterior.

El uso de este tipo de transistor de paso va a ser beneficioso para algunos casos de diseño en estabilidad y PSRR comparado con el pMOS como se verá en las soluciones. El mayor inconveniente se encuentra en la necesidad de emplear una fuente de tensión adicional que, en caso de no tenerse disponible, haría imposible emplear este tipo de transistor de paso.

4.1.1. Dimensionamiento del transistor de paso (nMOS)

El dimensionamiento del transistor de paso es una de las fases fundamentales en el diseño de un LDO. Como muchas de las características de su respuesta estarán influenciadas por este componente, su diseño ha de ser uno de los puntos iniciales.

Observando primero los niveles de tensión en cada terminal y su región de operación, en su terminal de salida (surtidor) se tendrán los 0.9 V de la especificación que se tiene como objetivo de diseño. En su entrada (drenador) existe la opción de emplear ambas fuentes de tensión disponibles, la de 1.2 V y la de 1.8 V. Ambas son completamente viables, dejando el suficiente margen de caída de tensión entre ambos terminales. La mejor opción es emplear la de 1.2 V para tener 0.3 V de caída y no reducir la eficiencia del circuito innecesariamente.

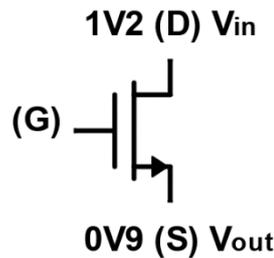


Figura 21. Conexión de un transistor de paso tipo N en un LDO.

Por su parte, la tensión de puerta variará en pequeña señal para regular la salida del LDO, pero también cambiará su valor DC dependiendo de en qué punto del rango de corriente de salida se encuentre, determinando así la región de operación del transistor de paso. Siguiendo la ecuación de diseño (13), para el valor de corriente de salida mínima su valor llegará también al mínimo, aproximándose a la región de subthreshold.

$$V_{GS} > V_{TH} \quad (48)$$

$$V_G - V_S > V_{TH} \quad (49)$$

$$V_{G,min} = V_S + V_{TH} \quad (50)$$

Para el valor de corriente máxima, la tensión en la puerta también llegará a su máximo. Este valor puede llegar a ser conflictivo si se desea que el transistor de paso esté en saturación.

$$V_{DS} > V_{GS} - V_{TH} \quad (51)$$

$$V_{G,max} = V_D + V_{TH} \quad (52)$$

Si la tensión en la puerta superase este valor, lo que pasaría es que ya no se cumpliría el requisito de saturación y el transistor de paso entraría en la región de triodo o lineal. Esta región de funcionamiento se caracteriza por una pérdida de ganancia en la etapa y un comportamiento resistivo del transistor, pero en el caso de emplear este tipo de etapa que ya de por sí tiene ganancia unidad, que esta disminuya para los valores de corriente de salida máxima a cambio de que la tensión en la puerta pueda subir un poco más no supone ningún inconveniente real.

Por esta razón, la tensión en la puerta no estará limitada por la región del transistor de paso (Ecuación (52)), sino que lo estará por el máximo al que pueda subir la etapa anterior, el amplificador de error. Al ser necesario alimentarla a 1.8 V (V_{DD}) para que su valor de salida pueda subir lo suficiente, se puede suponer que este valor máximo de tensión de puerta sea

$$V_{G,max} = V_{DD} - V_{DS,sat} \quad (53)$$

donde $V_{D,sat}$ representa el margen que se deberá dejar a la salida para que espejos de corriente y cascodos del amplificador funcionen correctamente. Este valor dependerá de la arquitectura del propio amplificador, por lo que será necesario conocerla de antemano y estimarla para poder dimensionar el transistor de paso. Para estos diseños, se propone dejar un margen inicial de 0.5 V para realizar la aproximación teórica:

$$V_{G,max} = 1.8 - 0.5 \quad (54)$$

$$= 1.3 \text{ V} \quad (55)$$

Al ser imprescindible emplear una fuente de tensión adicional de valor superior para alimentar la etapa anterior, es necesario tenerla disponible en las especificaciones, como es el caso de este trabajo. Si esto no fuera así, una posible solución consistiría en emplear un circuito conocido como *charge pump*, que genera un valor de tensión mayor a partir de uno menor con el uso de una señal de reloj para controlar un circuito de capacidades conmutadas. Si no se pudiera conseguir esta nueva fuente de tensión de ninguna forma, el uso del transistor de paso tipo N sería inviable.

Conociendo ahora los rangos de tensión admisibles para la puerta, la mejor opción es emplear el tipo de transistor nMOS con la menor tensión umbral posible para reducir la tensión mínima admisible y aumentar así el rango en la puerta. Los transistores ULVT o *ultra low voltage threshold* son versiones de transistores con la tensión umbral más reducida y será el que se empleará en los diseños. En concreto, se empleará la versión *core* de este, ya que en el modo de operación normal no se superará una tensión máxima entre terminales de 0.8 V si no se

consideran los procesos de encendido y apagado. Si no, se emplearía la versión IO que puede llegar a soportar hasta 1.8 V.

A pesar de estar empleando para las simulaciones una tecnología de 16 nm, la longitud (L) elegida para este será la mínima recomendada para circuitos analógicos, 36 nm, con el objetivo de disminuir el área total del componente y sus capacidades parásitas. La anchura (W) se elegirá con el objetivo de que, para el valor de corriente de salida máximo, cuando la tensión en la puerta también llegará a su máximo, esta no supere su límite permitido. De ahí se puede sacar la siguiente relación a partir de la ecuación en pequeña señal:

$$\frac{W}{L_{min}} = \frac{I_{D,max}}{\frac{1}{2} \mu_n C_{ox} (V_{G,max} - V_S - V_{th})^2} \quad (56)$$

Si se extraen ahora los parámetros del tipo de transistor elegido del simulador

$$\mu_n C_{ox} = 370 \frac{\mu A}{V^2} \quad (57)$$

$$V_{th} = 0.2071 V \quad (58)$$

se puede realizar una primera aproximación teórica del tamaño del transistor de paso para emplear como punto inicial en la simulación:

$$\frac{W}{L_{min}} = \frac{0.1}{\frac{1}{2} 370 \cdot 10^{-6} (1.2 - 0.9 - 0.2071)^2} \quad (59)$$

$$= 14526.59 \quad (60)$$

El cuarto terminal de un MOSFET, el *body*, deberá estar conectado preferentemente al surtidor en esta aplicación para aumentar el efecto de ganancia de corriente y no necesitar así un transistor tan grande. Como es un efecto de segundo orden y es más difícil de calcular de forma teórica e igualmente habrá que realizar simulaciones para ajustar el tamaño final, es mejor obviarlo en este cálculo.

A partir de esta primera aproximación teórica, se debe pasar a la simulación para realizar un ajuste fino de la anchura teniendo en cuenta la respuesta real del transistor y los efectos de los *corners* para asegurar un correcto funcionamiento en todos los casos. El modelo empleado para la simulación es el siguiente:

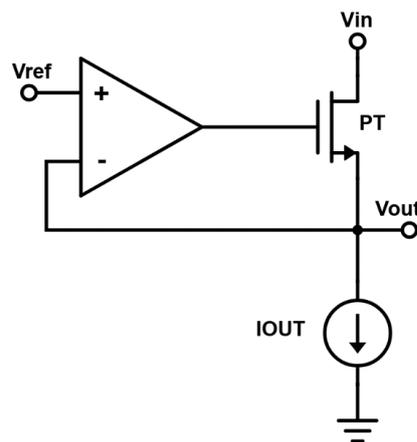


Figura 22. Modelo para el dimensionamiento del transistor de paso.

La corriente de salida (I_{out}) tomará los valores límite de las especificaciones, 1 y 100 mA. La tensión de entrada (V_{in}) será de 1.2 V con el 5% de tolerancia. La tensión de referencia (V_{ref}) será de 0.9 V para ajustar la salida (V_{out}) a este mismo valor con una etapa de ganancia ideal que servirá para cerrar el bucle sin modificar la respuesta del transistor de paso. También se tendrán en cuenta los *corners* de proceso y el rango de temperatura para simular todos los casos posibles y asegurar así un correcto funcionamiento en todos los casos.

Para obtener el tamaño final del transistor, se partirá desde el tamaño obtenido de la aproximación teórica y se irá iterando hasta llegar a un tamaño final que asegure una buena tensión en la puerta para todos los casos.

Los resultados finales son los siguientes. Para una longitud (L) de 36 nm y una anchura (W) de 700800 nm o 700.8 μm , el tamaño final (W/L) es de 19466.66. La transconductancia en el modo de funcionamiento típico para 1 mA es de 35.5 mA/V, con una inversa ($1/g_m$) de 28.32 Ω , y para 100 mA de 1010.35 mA/V, con inversa de 0.989 Ω . Los puntos más extremos de esta variable son de un mínimo de 27.18 mA/V para el caso SS 1 mA y 125 $^{\circ}\text{C}$, y un máximo de 1233 mA/V para

el caso FF 100 mA y $-40\text{ }^{\circ}\text{C}$. La tensión en la puerta llega a su máximo en el caso SS 100 mA y $125\text{ }^{\circ}\text{C}$, que es el que menos transconductancia da para 100 mA, y sube hasta 1.225 V dejando el margen suficiente como para que la etapa anterior esté dentro de su rango de funcionamiento. Respecto a las capacidades parásitas, el valor más importante es la capacidad puerta-drenador (C_{GD}), que afectará de forma directa a estabilidad y PSRR y tendrá un valor máximo de 884.1 fF también en SS 100 mA $125\text{ }^{\circ}\text{C}$.

El resultado de dimensionamiento de un transistor de paso no es único. Existen tamaños ligeramente más grandes o pequeños que seguirían estando dentro de los márgenes de funcionamiento. La elección de este valor final es un punto intermedio donde ninguno de sus características está al límite y otorga un comportamiento más seguro y robusto.

4.1.2. PSRR (nMOS)

El efecto *source-follower* que tiene la etapa de este tipo transistor de paso genera unos efectos indeseados en su respuesta PSRR. Al igual que cualquier señal que se tenga en la puerta se transmite directamente a la salida, lo mismo ocurre con el ruido. Por esta razón, hay que asegurar que este nodo del circuito esté lo más aislado posible del ruido procedente de la alimentación.

El camino principal por el que se transmite este ruido hacia la puerta es el amplificador de error que conforma la etapa anterior. Debido a esto habrá que elegir un amplificador que atenúe lo máximo posible este camino. Repasando los tipos de amplificadores presentados en la sección Amplificador de error, las variantes con el espejo de corriente activo en la parte inferior son las que cumplen con esta propiedad.

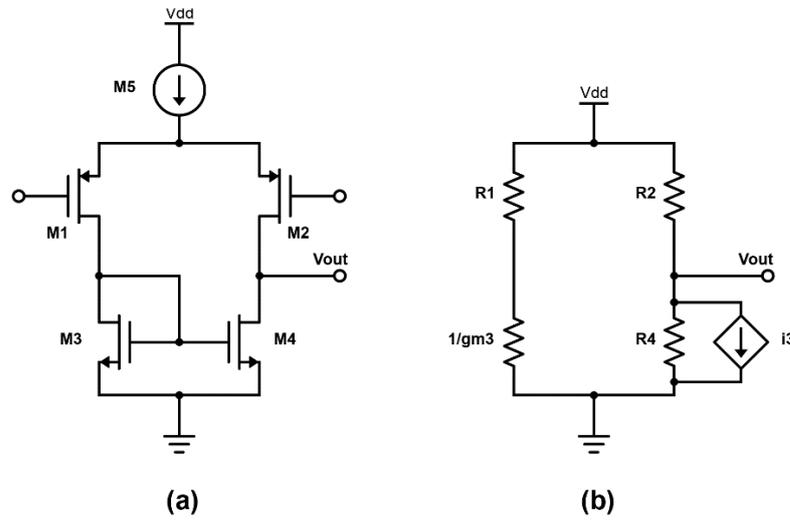


Figura 23. (a) OTA de 5 transistores con espejo de corriente abajo y (b) su modelo para PSRR.

Para analizar esta característica del amplificador hay que emplear un modelo simplificado representando el efecto que va a tener cada componente (Figura 23 (b)). En este la respuesta del par de entrada M_1 y M_2 se representa con unas resistencias R_1 y R_2 que serán equivalentes, ya que ambos transistores van a ser iguales. Respecto al espejo de corriente, al estar M_3 conectado en modo diodo la impedancia que se va a ver desde la alimentación va a ser de $1/g_{m3}$, mientras que la otra parte del espejo (M_4) también estará representada con una resistencia R_4 distinta a las dos primeras, pero con una fuente de corriente dependiente en paralelo que tomará el valor de la corriente por la otra rama del espejo (i_3) y modeliza el efecto de copia de corriente.

Calculando la función de transferencia entre alimentación y salida se llega a la siguiente conclusión:

$$i_3 = \frac{v_{dd}}{R_1}, \left(\frac{1}{g_{m3}} \ll R_1 \right) \quad (61)$$

$$v_{out} = v_{dd} \frac{R_4}{R_2 + R_4} - i_3 \frac{R_2 R_4}{R_2 + R_4} \quad (62)$$

$$= v_{dd} \frac{R_4}{R_2 + R_4} - \frac{v_{dd}}{R_1} \frac{R_2 R_4}{R_2 + R_4} \quad (63)$$

$$= v_{dd} \frac{R_4}{R_2 + R_4} - v_{dd} \frac{R_4}{R_2 + R_4}, (R_1 \equiv R_2) \quad (64)$$

$$= 0 \quad (65)$$

Existe una gran atenuación (idealmente infinita) entre alimentación y salida, formando el tipo de amplificador ideal para mejorar la PSRR del transistor de paso tipo N [4]. Lo mismo ocurre si se incluye un *level-shifter* a su salida, ya que el nodo V_{out} del amplificador seguirá teniendo impedancia baja hasta masa gracias al espejo de corriente.

La elección de este tipo de amplificador de error asegura que la respuesta en DC o baja frecuencia de la PSRR sea muy buena, con un valor igual a la inversa de la ganancia de lazo:

$$PSRR_{DC} = \frac{1}{A\beta} \quad (66)$$

Para la alta frecuencia, el bucle de regulación va perdiendo efecto conforme disminuye su ganancia y los efectos parásitos y capacitivos empiezan a influir más en el resultado. Por esta razón, es necesario emplear un modelo simplificado teniéndolos en cuenta para obtener un resultado en estas frecuencias.

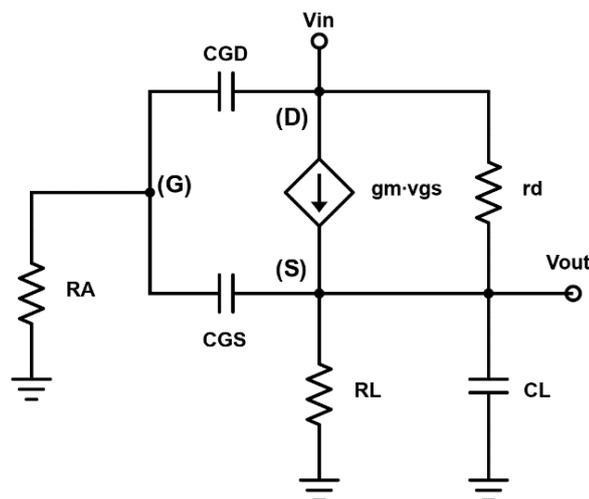


Figura 24. Modelo simplificado para PSRR en un transistor de paso tipo N.

En la Figura 24 se muestra dicho modelo en el que se tienen en cuenta los componentes que van a afectar mayoritariamente: el transistor de paso, el

amplificador de error, y la carga de salida. La resistencia de salida del amplificador (R_A) está conectada desde la puerta hasta masa simulando la alta PSRR del propio amplificador, las capacidades parásitas de puerta-drenador (C_{GD}) y puerta-surtidor (C_{GS}) entre dichos terminales, la resistencia de longitud de canal (r_d), el propio efecto del transistor con la fuente de corriente, y las cargas de salida resistiva (R_L) y capacitiva (C_L). Otros componentes como la capacidad drenador-surtidor o efectos de segundo orden como el *body-effect* quedan fuera de este modelo debido a su bajo impacto en relación con el resto de los elementos del modelo.

Para calcular esta función de transferencia, el método más eficaz es el de las constantes de transferencia de tiempo o *time transfer constants*. El procedimiento que se va a emplear se detalla en [5].

El número de polos va a ser igual al número de condensadores a los que se les puede forzar una tensión independientemente, en este caso dos. El número de ceros va a ser igual al número de condensadores en los que, si tuvieran un valor infinito, todavía se tendría una señal a la salida, en este caso también dos porque C_L no cumple con la condición. La forma que tendrá esta función de transferencia de dos polos y dos ceros será la siguiente:

$$H(s) = \frac{H^0 + (\sum_1^n H^i \tau_i^0) s + (\sum_1^n \sum_{i < j} H^{ij} \tau_i^0 \tau_j^i) s^2}{1 + (\sum_1^n \tau_i^0) s + (\sum_1^n \sum_{i < j} \tau_i^0 \tau_j^i) s^2} \quad (67)$$

Donde τ_x^y es la constante de tiempo del condensador C_x cuando C_y tiene un valor infinito y el resto valen cero, y τ_x^0 la misma constante de tiempo de C_x , pero con todo el resto de los condensadores con valor nulo. H^{xy} es la función de transferencia cuando C_x y C_y tienen un valor infinito y el resto valen cero, mientras que H^0 es esa misma función de transferencia, pero con todos los condensadores con valor nulo. A continuación, se van a calcular todos estos parámetros por separado mostrando los circuitos equivalentes en los casos en que se requiera.

Al eliminar todos los condensadores menos C_{GD} , R_A es la única resistencia que queda en serie con este:

$$\tau_{GD}^0 = R_A C_{GD} \quad (68)$$

Para C_{GS} , el modelo de la Figura 25 muestra la resistencia entre sus terminales (R_{GS}^0):

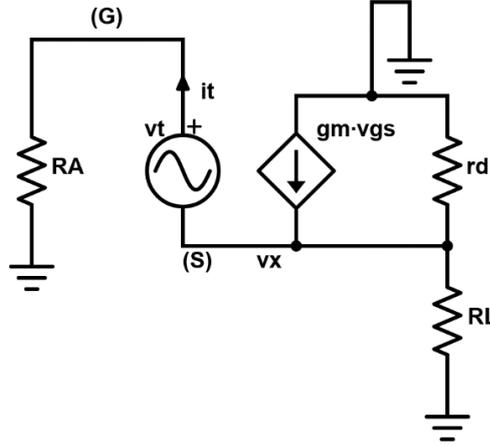


Figura 25. Modelo de PSRR para R_{GS}^0 en transistor de paso tipo N.

$$\tau_{GS}^0 = R_{GS}^0 C_{GS} \quad (69)$$

$$g_m v_t = i_t + \frac{v_x}{r_d // R_L} \quad (70)$$

$$v_x = i_t R_A - v_t \quad (71)$$

$$g_m v_t = i_t + \frac{(i_t R_A - v_t)(R_L + r_d)}{r_d R_L} \quad (72)$$

$$R_L r_d g_m v_t = i_t R_L r_d + i_t R_A R_L - R_L v_t + r_d i_t R_A - r_d v_t \quad (73)$$

$$v_t (R_L r_d g_m + R_L + r_d) = i_t (R_L r_d + R_A R_L + r_d R_A) \quad (74)$$

$$\frac{v_t}{i_t} = R_{GS}^0 \quad (75)$$

$$= \frac{R_L r_d + R_A R_L + r_d R_A}{R_L r_d g_m + R_L + r_d} \quad (76)$$

$$\tau_{GS}^0 = \frac{R_L r_d + R_A R_L + r_d R_A}{R_L r_d g_m + R_L + r_d} C_{GS} \quad (77)$$

Para C_L , el modelo de la Figura 26 muestra la resistencia entre sus terminales (R_L^0):

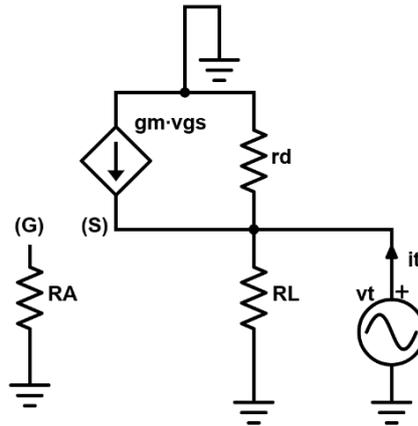


Figura 26. Modelo de PSRR para R_L^0 en transistor de paso tipo N.

$$\tau_L^0 = R_L^0 C_L \quad (78)$$

$$i_t = \frac{v_t}{r_d} + \frac{v_t}{R_L} + g_m v_t \quad (79)$$

$$i_t = v_t \left(\frac{1}{r_d} + \frac{1}{R_L} + g_m \right) \quad (80)$$

$$\frac{v_t}{i_t} = R_L^0 \quad (81)$$

$$= \frac{1}{\frac{1}{r_d} + \frac{1}{R_L} + g_m} \quad (82)$$

$$\tau_L^0 = \frac{1}{\frac{1}{r_d} + \frac{1}{R_L} + g_m} C_L \quad (83)$$

Para las constantes de tiempo de segundo orden, el modelo de la Figura 27 muestra la resistencia entre sus terminales (R_{GS}^{GD}):

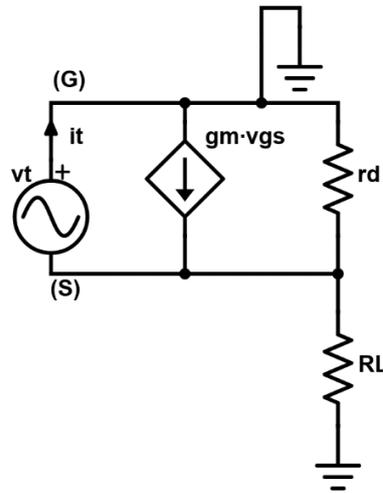


Figura 27. Modelo de PSRR para R_{GS}^{GD} en transistor de paso tipo N.

$$\tau_{GS}^{GD} = R_{GS}^{GD} C_{GS} \quad (84)$$

$$i_t = g_m v_t + \frac{v_t}{r_d} + \frac{v_t}{R_L} \quad (85)$$

$$\frac{v_t}{i_d} = R_{GS}^{GD} \quad (86)$$

$$= \frac{1}{\frac{1}{r_d} + \frac{1}{R_L} + g_m} \quad (87)$$

$$\tau_{GS}^{GD} = \frac{1}{\frac{1}{r_d} + \frac{1}{R_L} + g_m} C_{GS} \quad (88)$$

El R_L^{GD} no va a cambiar con respecto al cálculo de R_L^0 de la Figura 26:

$$\tau_L^{GD} = R_L^{GD} C_L \quad (89)$$

$$= \frac{1}{\frac{1}{r_d} + \frac{1}{R_L} + g_m} C_L \quad (90)$$

Y la última constante de tiempo se calcula con el modelo de la Figura 28:

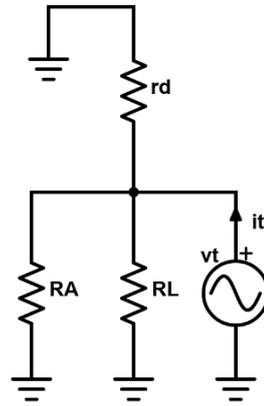


Figura 28. Modelo de PSRR para R_L^{GS} en transistor de paso tipo N.

$$\tau_L^{GS} = R_L^{GS} C_L \quad (91)$$

$$R_L^{GS} = R_L // r_d // R_A \quad (92)$$

$$\tau_L^{GS} = \frac{1}{\frac{1}{R_L} + \frac{1}{r_d} + \frac{1}{R_A}} C_L \quad (93)$$

Para las funciones de transferencia, el modelo para calcular H^0 está representado en la Figura 29:

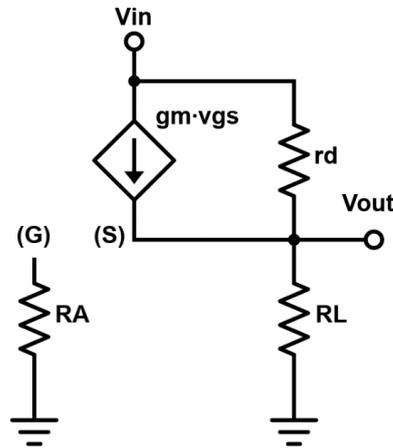


Figura 29. Modelo de PSRR para H^0 en transistor de paso tipo N.

$$\frac{V_{out}}{R_L} + \frac{V_{out} - V_{in}}{r_d} + g_m V_{out} = 0 \quad (94)$$

$$\frac{r_d V_{out} + R_L V_{out} - R_L V_{in} + r_d R_L g_m V_{out}}{R_L r_d} = 0 \quad (95)$$

$$V_{out}(r_d + R_L + R_L r_d g_m) = V_{in}(R_L) \quad (96)$$

$$\frac{V_{out}}{V_{in}} = H^0 \quad (97)$$

$$= \frac{R_L}{R_L + r_d + R_L r_d g_m} \quad (98)$$

Para el término H^{GD} , el modelo de la Figura 30:

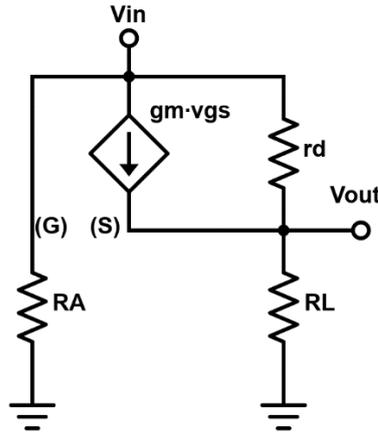


Figura 30. Modelo de PSRR para H^{GD} en transistor de paso tipo N.

$$\frac{V_{out}}{R_L} + \frac{V_{out} - V_{in}}{r_d} + g_m(V_{out} - V_{in}) = 0 \quad (99)$$

$$\frac{r_d V_{out} + R_L V_{out} - R_L V_{in} + r_d R_L g_m V_{out} - r_d R_L g_m V_{in}}{R_L r_d} = 0 \quad (100)$$

$$V_{out}(r_d + R_L + R_L r_d g_m) = V_{in}(R_L + r_d R_L g_m) \quad (101)$$

$$\frac{V_{out}}{V_{in}} = H^{GD} \quad (102)$$

$$= \frac{R_L + R_L r_d g_m}{R_L + r_d + R_L r_d g_m} \quad (103)$$

Para el término H^{GS} , el modelo de la Figura 31:

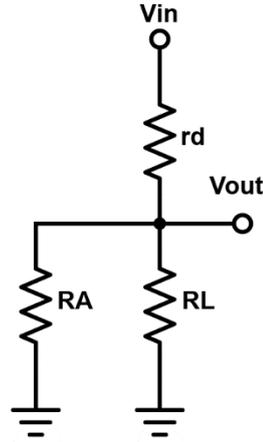


Figura 31. Modelo de PSRR para H^{GS} en transistor de paso tipo N.

$$H^{GS} = \frac{(R_L // R_A)}{(R_L // R_A) + r_d} \quad (104)$$

$$= \frac{\frac{R_L R_A}{R_L + R_A}}{\frac{R_L R_A}{R_L + R_A} + r_d} \quad (105)$$

$$= \frac{R_L R_A (R_L + R_A)}{(R_L + R_A)((R_L R_A) + (R_L + R_A)r_d)} \quad (106)$$

$$= \frac{R_L R_A}{R_L R_A + R_L r_d + R_A r_d} \quad (107)$$

El término H^L será nulo ya que, un valor infinito de C_L provoca un cortocircuito entre la salida y masa que no permite llegar señal a la salida nunca.

$$H^L = 0 \quad (108)$$

Algo similar ocurre con los tres términos restantes. H^{GDGS} crea un camino directo entre entrada y salida, obteniendo una función de transferencia unidad. Y H^{GDL} y H^{GSL} tienen la misma propiedad que H^L :

$$H^{GDGS} = 1 \quad (109)$$

$$H^{GDL} = 0 \quad (110)$$

$$H^{GSL} = 0 \quad (111)$$

Una vez obtenidas todas las constantes de tiempo y funciones de transferencia, se calculan y simplifican los términos de la función de transferencia completa partiendo de la ecuación (67):

$$H(s) = \frac{a_0 + a_1s + a_2s^2}{1 + b_1s + b_2s^2} \quad (112)$$

$$a_0 = H^0 \quad (113)$$

$$= \frac{R_L}{R_L + r_d + R_L r_d g_m} \quad (114)$$

$$a_1 = \tau_{GD}^0 H^{GD} + \tau_{GS}^0 H^{GS} + \tau_L^0 H^L \quad (115)$$

$$= \frac{R_L R_A (1 + g_m r_d) C_{GD} + R_L R_A C_{GS}}{g_m r_d R_L + R_L + r_d} \quad (116)$$

$$a_2 = \tau_{GD}^0 \tau_{GS}^{GD} H^{GDGS} + \tau_{GD}^0 \tau_L^{GD} H^{GDL} + \tau_{GS}^0 \tau_L^{GS} H^{GSL} \quad (117)$$

$$= \frac{R_L r_d R_A C_{GD} C_{GS}}{R_L + r_d + g_m r_d R_L} \quad (118)$$

$$b_1 = \tau_{GD}^0 + \tau_{GS}^0 + \tau_L^0 \quad (119)$$

$$= \frac{(g_m r_d R_L + R_L + r_d) R_A C_{GD} + (R_L r_d + R_L R_A + R_A r_d) C_{GS} + (R_L r_d) C_L}{R_L r_d g_m + R_L + r_d} \quad (120)$$

$$b_2 = \tau_{GD}^0 \tau_{GS}^{GD} + \tau_{GD}^0 \tau_L^{GD} + \tau_{GS}^0 \tau_L^{GS} \quad (121)$$

$$= \frac{R_A R_L r_d (C_{GD} C_{GS} + C_{GD} C_L + C_{GS} C_L)}{g_m r_d R_L + R_L + r_d} \quad (122)$$

A partir de esta función de transferencia tan compleja es difícil sacar conclusiones sobre la respuesta de la PSRR de este transistor de paso. Para ello, se va a obtener su valor de pico o valor máximo, que para una función de segundo orden como esta se puede aproximar como la relación entre sus términos de primer orden siempre que los polos y ceros estén bien separados entre ellos:

$$\frac{a_1}{b_1} = \frac{R_L R_A (1 + g_m r_d) C_{GD} + R_L R_A C_{GS}}{(g_m r_d R_L + R_L + r_d) R_A C_{GD} + (R_L r_d + R_L R_A + R_A r_d) C_{GS} + (R_L r_d) C_L} \quad (123)$$

Para simplificarla, se puede asumir que el valor de la carga (R_L) va a ser muy elevada en comparación con el resto de los componentes:

$$\frac{a_1}{b_1} = \frac{(1 + g_m r_d) R_A C_{GD} + R_A C_{GS}}{(1 + g_m r_d) R_A C_{GD} + (r_d + R_A) C_{GS} + r_d C_L}, (R_L = \infty) \quad (124)$$

Lo mismo sucede con la resistencia de longitud de canal (r_d):

$$\frac{a_1}{b_1} = \frac{g_m R_A C_{GD}}{g_m R_A C_{GD} + C_{GS} + C_L}, (r_d = \infty) \quad (125)$$

Observando la suma de capacidades del denominador, C_L va a ser muchísimo más grande que C_{GS} , que será una capacidad parásita. Con esta suposición y moviendo el término g_m , se llega al siguiente valor del que ya se puede entender mejor la respuesta:

$$\frac{a_1}{b_1} = \frac{R_A C_{GD}}{R_A C_{GD} + \frac{C_L}{g_m}}, (C_{GS} \ll C_L) \quad (126)$$

El término común en numerador y denominador ($R_A C_{GD}$) es uno de los dos polos principales que se forman en el circuito, el de la salida del amplificador de error con la carga parásita del transistor de paso (p_a). El otro término (C_L/g_m) es el otro polo principal del LDO, el que se forma en el nodo de salida con la capacidad de carga y la impedancia desde el surtidor del transistor de paso (p_o). La diferencia de ambos factores va a delimitar la tendencia de este valor de pico y a relacionar de forma directa la estabilidad y la PSRR.

$$p_a = \frac{1}{R_A C_{GD}} \quad (127)$$

$$p_o = \frac{g_m}{C_L} \quad (128)$$

$$\frac{a_1}{b_1} = \frac{\frac{1}{p_a}}{\frac{1}{p_a} + \frac{1}{p_o}} \quad (129)$$

Si se considera que el polo dominante (el que tendrá un valor menor y aparecerá a menor frecuencia) es p_a , el valor de pico tenderá hacia la unidad. Esto supone que la curva de la PSRR tendrá un máximo que llegará hasta 0 dB y que puede dificultar cumplir con la especificación (Figura 32).

$$\left. \frac{a_1}{b_1} \right|_{p_a \ll p_o} = 1 \quad (130)$$

$$= 0 \text{ dB} \quad (131)$$

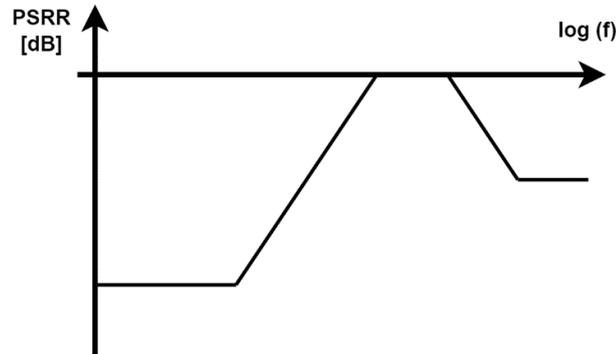


Figura 32. Respuesta aproximada de la PSRR en un transistor de paso tipo N si p_a es el polo dominante.

Por otra parte, si se considera que el polo dominante es p_o , el valor de pico tenderá hacia valores más pequeños, despreciando el valor de p_a en el denominador. Esta segunda suposición otorga una mejor respuesta de la PSRR en valores de frecuencia medios, donde se encontrará este pico (Figura 33).

$$\left. \frac{a_1}{b_1} \right|_{p_o \ll p_a} = \frac{1}{p_a} = \frac{1}{p_o} \quad (132)$$

$$= \frac{g_m}{C_L R_A C_{GD}} \quad (133)$$

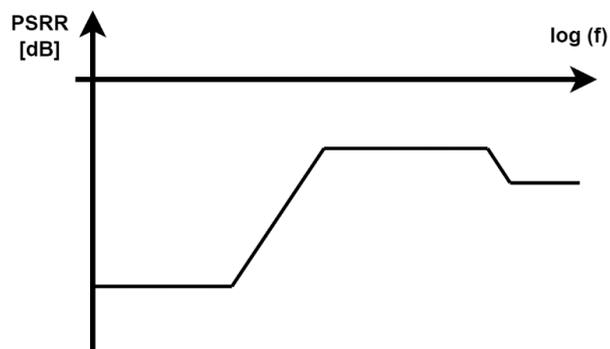


Figura 33. Respuesta aproximada de la PSRR en un transistor de paso tipo N si p_o es el polo dominante.

Como se ha podido observar en este análisis, el proceso por el que se consigue la estabilidad va a afectar de forma directa a la respuesta de la PSRR, la elección del polo dominante va a decidir el valor de pico. A pesar de que la mejor opción para mejorar la PSRR sea hacer p_o dominante, puede ser necesaria una capacidad de salida excesivamente grande debido a la baja impedancia del nodo en que se sitúa. Dependiendo del caso de diseño, el área máxima disponible puede delimitar la aplicación de esta propiedad.

Además de este primer modelo de la PSRR, dependiendo de los mecanismos de compensación que se vayan a emplear, su respuesta también se va a modificar. Uno de estos métodos es el de la capacidad paralela y consiste en colocar una capacidad discreta a la salida del amplificador de error para controlar la respuesta en frecuencia y mejorar la PSRR.

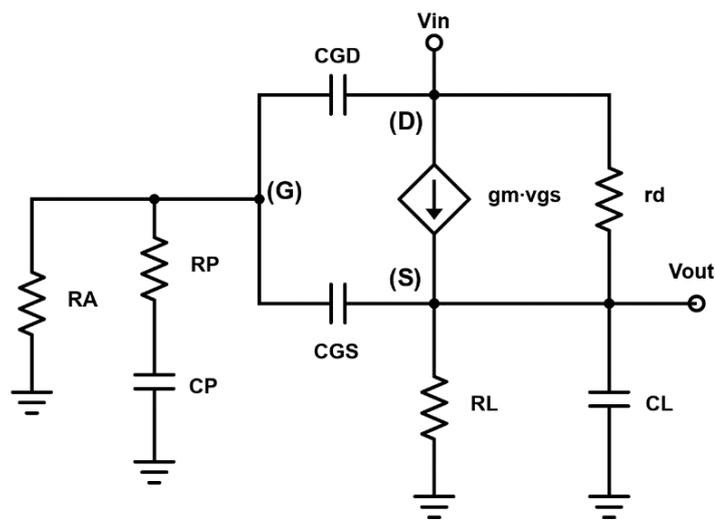


Figura 34. Modelo simplificado para PSRR en un transistor de paso tipo N con compensación por capacidad paralela.

Esta nueva capacidad (C_p) se conecta entre este nodo y masa para disminuir el ruido en la puerta y ayudar en la respuesta de la PSRR además de modificar la estabilidad. La resistencia en serie (R_p) se coloca para añadir un cero en la respuesta en frecuencia y tener a disposición otra herramienta para lograr la estabilidad si esto fuera necesario.

Para obtener la nueva respuesta de la PSRR, se van a calcular los parámetros necesarios para ver su valor de pico. Las constantes de tiempo y funciones de transferencia de primer orden del modelo anterior no se han modificado con este cambio, así que solo es necesario calcular las nuevas relativas a esta capacidad paralela.

En la nueva constante de tiempo se puede observar que tanto R_A como R_P serían las resistencias que quedarían en serie con C_P :

$$\tau_p^0 = (R_A + R_P)C_P \quad (134)$$

Y en su función de transferencia, la respuesta sería exactamente la misma que en H^0 ya que C_P no está en el camino directo de la señal entre entrada y salida:

$$H^P = H^0 \quad (135)$$

$$= \frac{R_L}{R_L + r_d + R_L r_d g_m} \quad (136)$$

El valor de pico para este método de compensación es:

$$\frac{a_1}{b_1} = \frac{R_L R_A (1 + g_m r_d) C_{GD} + R_L R_A C_{GS} + R_L (R_A + R_P) C_P}{(g_m r_d R_L + R_L + r_d) R_A C_{GD} + (R_L r_d + R_L R_A + R_A r_d) C_{GS} + (R_L r_d) C_L + (R_L g_m r_d + R_L + r_d) (R_A + R_P) C_P} \quad (137)$$

Al igual que en el caso sin compensación y por las mismas razones, esta función de transferencia se puede simplificar para poder entender mejor sus características y poder emplearla en el diseño de forma más directa:

$$\frac{a_1}{b_1} = \frac{(1 + g_m r_d) R_A C_{GD} + R_A C_{GS} + (R_A + R_P) C_P}{(1 + g_m r_d) R_A C_{GD} + (r_d + R_A) C_{GS} + r_d C_L + (1 + g_m r_d) (R_A + R_P) C_P}, (R_L = \infty) \quad (138)$$

$$\frac{a_1}{b_1} = \frac{g_m R_A C_{GD}}{g_m R_A C_{GD} + C_{GS} + C_L + g_m (R_A + R_P) C_P}, (r_d = \infty) \quad (139)$$

$$\frac{a_1}{b_1} = \frac{R_A C_{GD}}{R_A C_{GD} + \frac{C_L}{g_m} + (R_A + R_P) C_P}, (C_{GS} \ll C_L) \quad (140)$$

Además, la resistencia de la capacidad paralela (R_P) también va a tener un valor muy reducido en comparación a la impedancia de salida del amplificador, por lo que su efecto en la PSRR va a ser limitado:

$$\frac{a_1}{b_1} = \frac{R_A C_{GD}}{R_A C_{GD} + \frac{C_L}{g_m} + R_A C_P}, (R_P \ll R_A) \quad (141)$$

Los factores que quedan en la función de transferencia simplificada son los mismos que en el caso sin compensación, pero se añade ahora en el denominador el polo que se forma con la nueva capacidad (p_p):

$$p_p = \frac{1}{R_A C_P} \quad (142)$$

$$\frac{a_1}{b_1} = \frac{\frac{1}{p_a}}{\frac{1}{p_a} + \frac{1}{p_o} + \frac{1}{p_p}} \quad (143)$$

La relación entre estos polos del circuito vuelve a jugar un papel fundamental a la hora de medir el valor de pico. Al igual que con p_o y por las mismas razones, si se sitúa p_p como polo dominante, el valor del pico tenderá cada vez más hacia valores más pequeños.

El punto fuerte de este nuevo método de compensación es que aparece una nueva característica que mejora considerablemente la respuesta de la PSRR en un caso concreto. Si se aleja el polo de salida a frecuencias lo suficientemente altas eligiendo una C_L lo suficientemente pequeña, emerge una relación muy útil entre esta capacidad y el valor de pico máximo de la PSRR:

$$\frac{a_1}{b_1} = \frac{C_{GD}}{C_{GD} + C_P}, \left(\frac{C_L}{g_m} \ll R_A C_{GD} \right) \left(\frac{C_L}{g_m} \ll R_A C_P \right) \quad (144)$$

La relación capacitiva entre C_{GD} y C_P será el único factor (idealmente) que afectará al valor de pico. Suponiendo que el primer paso que se realiza en un diseño es el de dimensionar el transistor de paso, C_{GD} es un valor que se tiene desde el principio del diseño y que ahora delimita el valor de C_P para conseguir la respuesta de la PSRR que se desee. Además, este nuevo método de compensación elimina la necesidad de situar p_o como dominante y requerir una C_L de valor tan elevado.

En resumen, la PSRR está fuertemente ligada a la respuesta en frecuencia del lazo y, en el caso concreto del transistor de paso tipo N, limita el tipo de amplificador de error a uno con el espejo de corriente activo en la parte inferior. Además, dependiendo de si se aplica algún método de compensación, esta respuesta también se va a ver modificada y va a tener distintas limitaciones en los valores de sus componentes para conseguir un buen comportamiento. Se requerirá de una capacidad de salida alta si no se tiene un método de compensación, o, en el caso de aplicar la técnica de la capacidad paralela, será necesaria una capacidad de salida más pequeña para otorgar una mejor respuesta de la PSRR con una relación muy útil que facilita el diseño. La correcta simplificación de las funciones que se obtienen como resultado es también un paso importante en el estudio ya que el tener que tratar con una respuesta muy compleja no ayuda en el diseño.

4.1.3. Solución 1: OTA de 5 transistores y level-shifter

La primera solución que se va a proponer es la más simple. Esta consiste en emplear un OTA de 5 transistores como amplificador de error y no recurrir a ningún método de compensación, solo la capacidad de carga a la salida. En esta se va a analizar cuáles son las posibles distribuciones de polos y ceros, que límites, inconvenientes y puntos positivos tiene cada una, y a estudiar y simular un método de compensación adicional para mejorar sus prestaciones.

Como ya se ha justificado en los apartados anteriores, para conseguir una buena respuesta de la PSRR en DC habrá que elegir la versión del OTA con el espejo de corriente en la parte inferior. Esto supone que su tensión máxima de salida estará limitada por la realimentación y será necesario emplear un *level-shifter* para cuadrar ambos rangos: el de salida del amplificador y el de la puerta del transistor de paso.

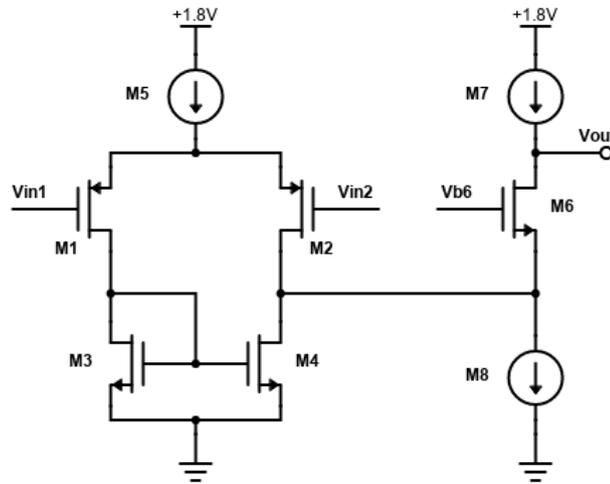


Figura 35. Esquema de un OTA de 5 transistores con level-shifter como amplificador de error de un LDO.

Desde el punto de vista de la estabilidad, la respuesta en lazo abierto se puede modelar de la siguiente manera:

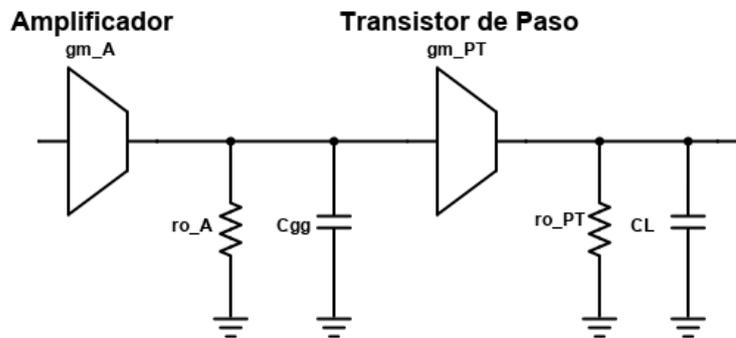


Figura 36. Modelo simplificado de la respuesta en frecuencia de la solución 1.

El amplificador de error estaría representado por una transconductancia (g_{m_A}) y por una resistencia de salida (r_{o_A}). El transistor de paso tendrá una capacidad parásita equivalente desde su puerta hasta masa (C_{gg}), su transconductancia ($g_{m_{PT}}$) y su resistencia de salida ($r_{o_{PT}}$). Además, también se ha de considerar la carga capacitiva a la salida del LDO (C_L) para modelar correctamente la estabilidad.

Este modelo simplificado excluye el efecto del nodo que se forma entre amplificador y *level-shifter* ya que es de baja impedancia y capacidad y, por lo tanto, aparecerá a alta frecuencia. Respecto al polo de la realimentación, el uso del *level-shifter* permite realizar una realimentación directa (sin necesidad de divisor resistivo) que aumenta considerablemente su frecuencia y permite despreciarlo.

Cada uno de los dos nodos de este modelo tiene un polo equivalente asociado a su resistencia y capacidad. En el nodo de salida del amplificador se tiene el polo del amplificador (p_a) (Ecuación (145)), y en el nodo de salida del LDO el polo de salida (p_o) (Ecuación (146)).

$$p_a = \frac{1}{r_{o_A} \cdot C_{gg}} \quad (145)$$

$$p_o = \frac{1}{r_{o_PT} \cdot C_L} \quad (146)$$

Volviendo al modelo de la estabilidad, la ganancia de lazo vendrá dada por la ganancia combinada de las dos etapas, pero al emplear un transistor de paso tipo N que está en configuración *source-follower*, la segunda etapa tendrá ganancia unidad. Esto simplifica este valor a:

$$A_{OL} = g_{m_A} \cdot r_{o_A} \quad (147)$$

Al tratarse de un sistema con dos polos y ningún cero, la única opción para conseguir el margen de fase necesario es situar uno de los polos como dominante limitando el ancho de banda (p_1) y alejar el otro (p_2) a la suficiente frecuencia como para conseguir el margen de fase requerido.

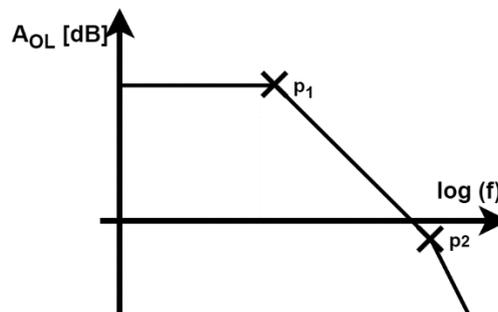


Figura 37. Distribución de polos requerida para lograr el margen de fase esperado.

Respecto al margen de ganancia (GM), en un sistema de dos polos en que se considere que el resto estarán a mucha más frecuencia no se llegará hasta los -180° en la fase hasta ese punto, por lo que se puede suponer que la ganancia ya ha tenido el suficiente tiempo como para bajar mucho más y no limitar la especificación.

En este caso, al tener el transistor de paso ya dimensionado por la corriente de salida y el amplificador de error bastante limitado por sus prestaciones, la única opción viable para mover la posición de los polos es variando la capacidad de salida. A continuación, se van a presentar ambas distribuciones y se va a analizar su rendimiento.

4.1.3.1. $p_a < p_o$ (nMOS)

El primer caso sería el de conseguir que p_a (el polo del amplificador) sea el polo dominante. Al no disponer de ningún mecanismo para controlar su posición, habrá que simular su respuesta para ver en que frecuencia aparece y asegurar que el segundo polo, el de salida, esté lo suficientemente lejos después del cruce por ganancia cero como para conseguir el margen de fase especificado.

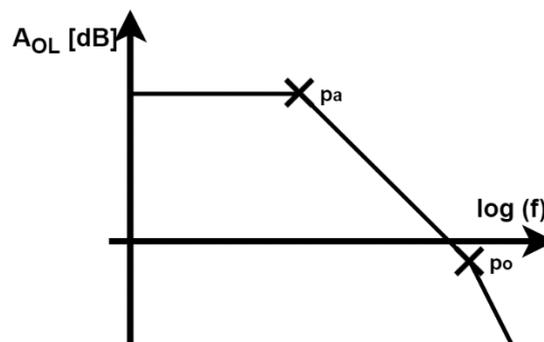


Figura 38. Distribución de polos para conseguir la estabilidad en la solución 1: $p_a < p_o$.

Para esto, al tener solo C_L como componente de compensación, se llega a una relación entre la ganancia de lazo, la posición del polo del amplificador y C_L que asegura un valor máximo de esta última para que se cumpla el requisito. Si p_o coincidiera exactamente con el cruce por ganancia cero, el margen de fase sería de 45° . Para esta simplificación, se va a suponer que este es el valor

requerido en lugar de 60°. Al tratarse esto de una aproximación teórica, el valor calculado aquí servirá solo como indicador cercano al valor real, que realmente deberá ser menor para conseguir el margen de fase requerido. Igualando la posición de p_o con el GBP se llega a la siguiente relación:

$$p_o = \frac{g_{m_PT}}{C_L} \quad (148)$$

$$GBP = g_{m_A} \cdot r_{o_A} \frac{1}{r_{o_A} \cdot C_{gg}} \quad (149)$$

$$= \frac{g_{m_A}}{C_{gg}} \quad (150)$$

$$p_o = GBP \quad (151)$$

$$\frac{g_{m_PT}}{C_L} = \frac{g_{m_A}}{C_{gg}} \quad (152)$$

$$C_{L_m\acute{a}x} = C_{gg} \frac{g_{m_PT}}{g_{m_A}} \quad (153)$$

Cualquier valor de C_L menor que el calculado hará que el polo de salida esté más lejos que el cruce por ganancia cero y otorgue un margen de fase de al menos 45°. Una vez se pase de la teoría a la simulación, habrá que variar el valor real de C_L disminuyéndolo hasta llegar al margen de fase de 60° para todos los casos.

El principal inconveniente de esta solución recae en el propio tamaño de C_L . Al estar limitado por la estabilidad, su reducido tamaño va a afectar a otros parámetros del LDO como la respuesta frente a transitorios de carga. Respecto a la PSRR, al haber situado p_a como dominante y p_o como secundario, el pico de la respuesta va a subir hasta los 0 dB como se explica en la ecuación (130) y Figura 32. En precisión, al no emplear cascodos en el amplificador de error, la gran variación de tensión a su salida va a disminuir esta especificación.

Analizando los resultados, esta solución podría ser apropiada en el caso de que p_a ya esté de por sí en baja frecuencia (ya sea por una alta impedancia del amplificador o un área grande del transistor de paso) y la g_m del transistor de

paso sea bastante alta, reduciendo así la impedancia del nodo de salida. Los requisitos de PSRR y estabilidad tampoco podrán ser muy restrictivos y no se deberá requerir un valor de C_L alto por ningún otro motivo ya que está limitado por la estabilidad.

4.1.3.2. $p_o < p_a$ (nMOS)

El segundo caso de distribución de polos sería el opuesto, con p_o como polo dominante y p_a más allá del cruce por ganancia cero. Al igual que con la opción anterior, no se puede controlar la posición de p_a y la única forma de compensación es con la capacidad de salida. Ahora, C_L deberá ser lo suficientemente grande como para que la respuesta en frecuencia sea la siguiente:

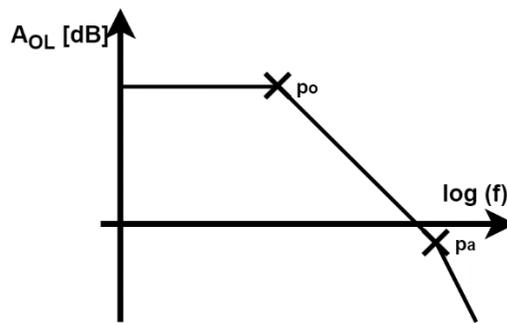


Figura 39. Distribución de polos para conseguir la estabilidad en la solución 1: $p_o < p_a$.

Para conseguir la aproximación de los 45° de margen de fase, ahora la ecuación deberá igualar p_a con el GBP:

$$p_a = \frac{1}{r_{o_A} \cdot C_{gg}} \quad (154)$$

$$GBP = g_{m_A} \cdot r_{o_A} \frac{g_{m_{PT}}}{C_L} \quad (155)$$

$$p_a = GBP \quad (156)$$

$$\frac{1}{r_{o_A} \cdot C_{gg}} = g_{m_A} \cdot r_{o_A} \frac{g_{m_{PT}}}{C_L} \quad (157)$$

$$C_{L,min} = C_{gg} \cdot g_{m_{PT}} \cdot g_{m_A} \cdot r_{o_A}^2 \quad (158)$$

Cualquier valor de C_L mayor que el calculado hará que el polo de salida sea lo suficientemente dominante como para que p_a otorgue un margen de fase de al menos 45° . Una vez se pase de la teoría a la simulación, habrá que variar el valor real de C_L aumentándolo hasta llegar al margen de fase de 60° para todos los casos.

Al contrario que con la solución anterior, ahora la distribución de polos favorece la respuesta de la PSRR. Al tener p_o como polo dominante, el valor de su pico estará limitado por la ecuación (132) y Figura 33, mejorando su respuesta. Ahora, el tamaño de C_L estará restringido en su valor mínimo, por lo que el área disponible para el diseño puede ser uno de los factores limitantes. La precisión seguirá estando afectada al no emplear cascodos.

Al analizar esta segunda posible distribución de polos se llega a una situación contraria a la anterior: el caso más apropiado sería uno en que p_a se encuentre en alta frecuencia (ya sea por una impedancia del amplificador baja o una pequeña área del transistor de paso), y p_o se encuentre por defecto en una posición dominante por una g_m del transistor de paso pequeña, permitiendo así que C_L no deba ser tan grande. La especificación de PSRR podrá ser un poco más restrictiva, pero se deberá disponer de la suficiente área para alojar la capacidad de salida moderadamente alta.

Estos primeros diseños propuestos tienen la desventaja de que el diseñador no tiene las suficientes herramientas como para controlar correctamente su respuesta. El uso real de los circuitos estaría limitado a casos muy simples y específicos en que se cumplan los requisitos de aplicación y las especificaciones no sean muy restrictivas. A continuación, se mostrará en estudio teórico y simulación una modificación de esta primera solución que va a mejorar considerablemente las prestaciones con un método de compensación muy simple.

4.1.3.3. Capacidad paralela (simulación nMOS)

Con las opciones anteriores, el único nodo del circuito sobre el que realmente se tiene control es el nodo de salida con C_L . El nodo del amplificador está

mucho más limitado ya que el dimensionamiento del transistor de paso está fuertemente restringido y el diseño del amplificador de error no puede variar tanto como para tener un buen control de la respuesta de este punto.

El siguiente método de compensación modifica la primera solución propuesta añadiendo una capacidad paralela (C_p) como se muestra en la Figura 40 desde este nodo hasta masa y permite controlar el valor de capacidad en vez de depender de los valores parásitos del transistor de paso. Además, se puede añadir una resistencia en serie con esta (R_p) con el objetivo de añadir un cero y poder controlar mejor la respuesta en frecuencia. Aparte de esta mejora, este método permite mejorar la PSRR del circuito como se demostró en el apartado PSRR.

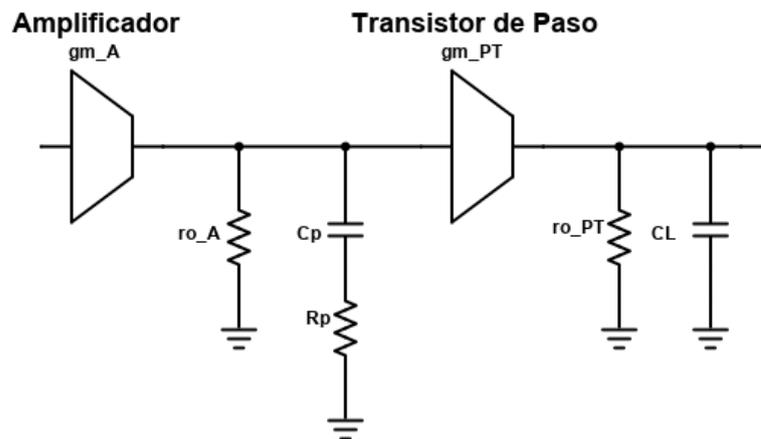


Figura 40. Modelo simplificado de la respuesta en frecuencia de la solución 1 con compensación por capacidad paralela.

Ahora, el polo y cero equivalentes para este nodo serían:

$$p_p = \frac{1}{r_{o_A} \cdot C_p}, (r_{o_A} \gg R_p) \quad (159)$$

$$z_p = \frac{1}{R_p \cdot C_p} \quad (160)$$

Si se considera que este va a ser el polo dominante, la aplicación del método de compensación hace aparecer una importante relación entre la ganancia del amplificador, la frecuencia del polo, y el Producto de Ganancia por Ancho de Banda o *Gain Bandwidth Product (GBP)*. Su valor es de:

$$GBP = g_{m_A} \cdot r_{o_A} \frac{1}{r_{o_A} \cdot C_p} \quad (161)$$

$$= \frac{g_{m_A}}{C_p} \quad (162)$$

Ahora el GBP no depende de la impedancia de salida del amplificador, por lo que es mucho más sencillo ajustar su valor al deseado.

Continuando con este hilo de pensamiento, si se ignora por ahora el efecto de R_p , se sitúa p_p como polo dominante y se envía p_o a frecuencias mucho más altas, se puede aplicar la simplificación de la ecuación (144) en la que el pico de la PSRR ($PSRR_{pico}$) está definido por la capacidad paralela (C_p) y por el parásito entre puerta y drenador (C_{GD}).

$$PSRR_{pico} = \frac{C_{GD}}{C_{GD} + C_p} \quad (163)$$

Con estas suposiciones se puede aproximar la forma que tendrán la respuesta en frecuencia y la PSRR a [4]:

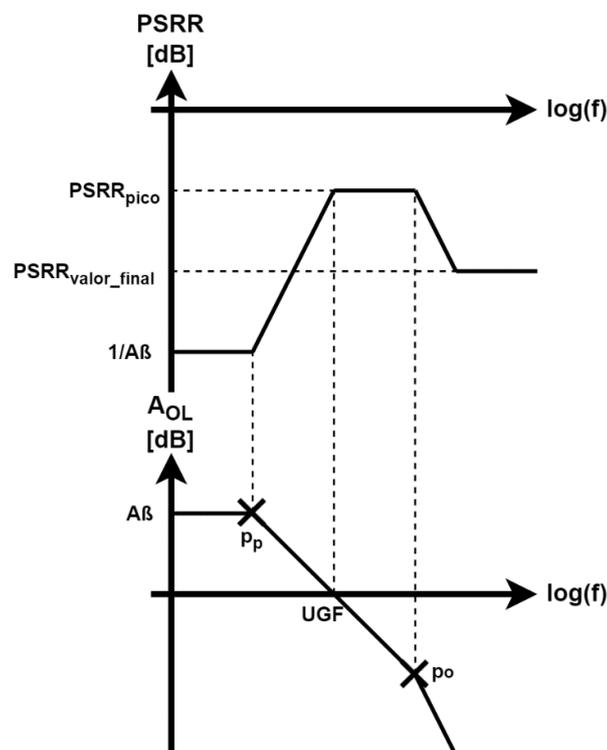


Figura 41. Aproximación de la respuesta en frecuencia y PSRR de la solución 1 con capacidad paralela.

En baja frecuencia, la PSRR coincidirá con la inversa de la ganancia de lazo en ese punto ($1/A\beta$). Cuando se llegue al primer polo, p_p , la ganancia empezará a bajar con una inclinación de primer orden, por lo que el efecto regulador del lazo empezará a disminuir y, con ello, la PSRR empezará a empeorar a la misma velocidad. En el cruce por ganancia unidad (UGF), el efecto regulador del lazo pasará a ser despreciable y la PSRR llegará a su máximo limitado por la ecuación anterior (163). Este valor de pico se mantendrá constante hasta que se llegue al segundo polo, p_o , donde la respuesta en frecuencia empezará a bajar con una inclinación de segundo orden y la curva de la PSRR volverá a mejorar debido a que la impedancia de C_L será ya lo suficientemente baja como para absorber el ruido que llega hasta la salida. Finalmente, la PSRR se estabilizará en un valor final igual al divisor capacitivo que se forma entre las capacidades parásitas y la capacidad de carga:

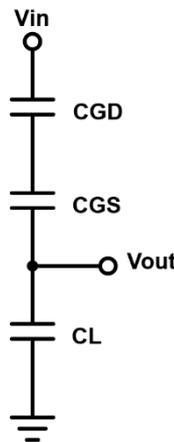


Figura 42. Modelo simplificado de la respuesta de la PSRR en alta frecuencia.

$$PSRR_{valor_final} = \frac{C_{GD} // C_{GS}}{(C_{GD} // C_{GS}) + C_L} \quad (164)$$

Para conseguir cumplir con la estabilidad y obtener una buena PSRR con esta solución, hay que ajustar todos los parámetros disponibles para lograr el margen de fase de 60° y estar por debajo de los tres puntos de las especificaciones de la PSRR en todos los casos. Existen muchas posibles soluciones para este problema, pero la que otorgará una mejor respuesta con los menos inconvenientes posibles es la siguiente:

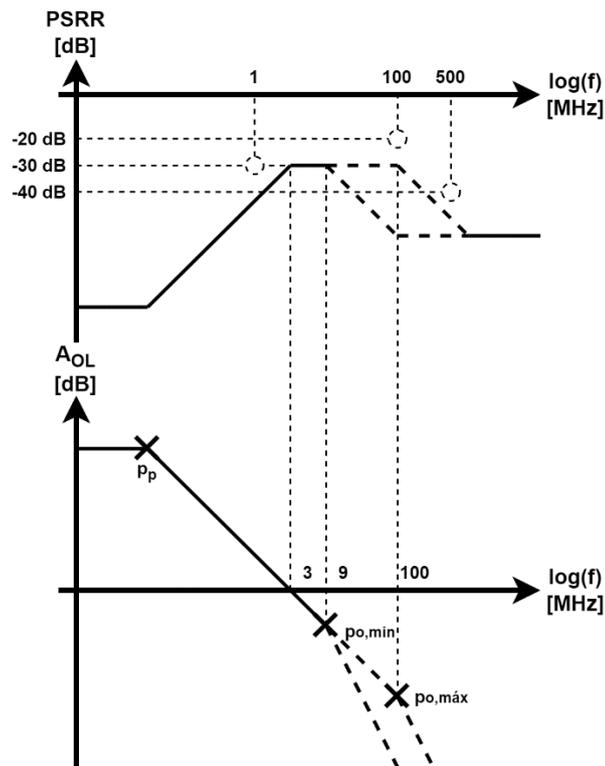


Figura 43. Respuesta en frecuencia y PSRR esperadas para la solución 1 con capacidad paralela.

Para estabilidad, habrá que conseguir que el polo de salida (p_o) este siempre más allá del cruce por ganancia unidad para lograr un buen margen de fase. Para PSRR, habrá que ajustar su valor máximo y la frecuencia en la que aparecerá para esquivar los puntos dados en las especificaciones. Estos puntos son los que aparecen marcados con círculos en la Figura 43: -30dB@1MHz, -20dB@100MHz, y -40dB@500MHz.

Si se diseña para un valor de pico de la PSRR de -30 dB se consigue evitar por completo el segundo de estos puntos, ya que la curva nunca subirá más allá de este valor. También se consigue que, si se llega a este pico después de 1 MHz ($UGF > 1$ MHz) se evite también el primer punto. Para ello, conociendo la capacidad parásita puerta-drenador máxima del dimensionamiento del transistor de paso, se puede elegir una capacidad paralela de compensación de unos 30 pF:

$$C_{GD,máx} = 884.1 \text{ fF} \quad (165)$$

$$20 \cdot \log_{10}(PSRR_{pico_lineal}) = -30 \text{ dB} \quad (166)$$

$$PSRR_{pico_lineal} = 10^{\frac{-30}{20}} \quad (167)$$

$$= 0.03162 \quad (168)$$

$$PSRR_{pico} = \frac{C_{GD,máx}}{C_{GD,máx} + C_p} \quad (169)$$

$$C_p = C_{GD,máx} \frac{1 - PSRR_{pico_lineal}}{PSRR_{pico_lineal}} \quad (170)$$

$$= 884.1 \cdot 10^{-15} \frac{1 - 0.03162}{0.03162} \quad (171)$$

$$= 27 \text{ pF} \rightarrow 30 \text{ pF} \quad (172)$$

A partir de este valor calculado, se puede establecer el valor de UGF a 3 MHz para evitar el primer punto de la PSRR con la relación de la ecuación (162):

$$GBP = 3 \text{ MHz} \quad (173)$$

$$\frac{g_{m_A}}{C_p} = GBP \quad (174)$$

$$g_{m_A} = C_p \cdot GBP \quad (175)$$

$$= 30 \cdot 10^{-12} \cdot 2\pi \cdot 3 \cdot 10^6 \quad (176)$$

$$= 565.5 \frac{\mu A}{V} \quad (177)$$

Con una transconductancia del amplificador como esta se ajustará la UGF.

Para los valores de frecuencia alta, el polo de salida es el que va a controlar las prestaciones del circuito. Al tener un rango de corriente de salida de 1 a 100 mA, la transconductancia del transistor de paso variará y, con ello, el polo de salida. Esto provoca los dos caminos marcados con líneas discontinuas en la Figura 43: el de $p_{o,min}$ para 1 mA y el de $p_{o,máx}$ para 100 mA.

Por una parte, en el caso mínimo de la localización del polo, este se deberá encontrar a la suficiente frecuencia después del UGF como para asegurar el margen de fase necesario. Por otra parte, en el caso máximo habrá que asegurar que

la curva de la PSRR baja lo suficientemente pronto como para evitar el tercer punto de las especificaciones, el de -40dB@500MHz.

Un punto medio para este valor aparece con una capacidad de salida de 1500 pF, que logra situar el polo de salida entre 9 y 100 MHz en sus casos más extremos.

$$p_o = \frac{g_{m_PT}}{C_L} \quad (178)$$

$$C_L = \frac{g_{m_PT}}{p_o} \quad (179)$$

$$g_{m_PT_min} = 85.52 \frac{mA}{V} \quad (180)$$

$$C_{L,máx} = \frac{g_{m_PT_min}}{p_{o,min}} \quad (181)$$

$$= \frac{85.52 \cdot 10^{-3}}{2\pi \cdot 9 \cdot 10^6} \quad (182)$$

$$= 1512 \text{ pF} \quad (183)$$

$$g_{m_PT_máx} = 951.2 \frac{mA}{V} \quad (184)$$

$$C_{L,min} = \frac{g_{m_PT_máx}}{p_{o,máx}} \quad (185)$$

$$= \frac{951.2 \cdot 10^{-3}}{2\pi \cdot 100 \cdot 10^6} \quad (186)$$

$$= 1513 \text{ pF} \quad (187)$$

En el caso mínimo el polo estará al triple de la frecuencia de cruce, dejando así el suficiente margen de fase. En el caso máximo la PSRR tendrá más de media década para bajar desde los -30 dB del valor de pico a los -40 dB de la especificación, cosa que será posible con una inclinación de primer orden como la que se tiene en este punto.

Finalmente, habrá que asegurarse de que el valor final de la PSRR está también por debajo de los -40 dB:

$$C_{GS,m\acute{a}x} = 193.21 \text{ fF} \quad (188)$$

$$PSRR_{valor_final} = \frac{\left(\frac{1}{C_{GD}} + \frac{1}{C_{GS}}\right)^{-1}}{\left(\frac{1}{C_{GD}} + \frac{1}{C_{GS}}\right)^{-1} + C_L} \quad (189)$$

$$= \frac{\left(\frac{1}{884.1 \cdot 10^{-15}} + \frac{1}{193.21 \cdot 10^{-15}}\right)^{-1}}{\left(\frac{1}{884.1 \cdot 10^{-15}} + \frac{1}{193.21 \cdot 10^{-15}}\right)^{-1} + 1500 \cdot 10^{-12}} \quad (190)$$

$$= 0.000105 \quad (191)$$

$$= -79.5 \text{ dB} \quad (192)$$

Siguiendo todos estos criterios de diseno se dimensiona el transistor de paso y el amplificador de error acorde, con 30 pF de C_p y 1500 pF de C_L para 1 y 100 mA de corriente de salida en las condiciones de trabajo tpicas. En ninguna de las soluciones simuladas se va a entrar a explicar el proceso de dimensionamiento del propio amplificador de error o fuentes de corriente ya que no es necesario para realizar las comparaciones y estudiar su rendimiento. Cabe destacar que, a pesar de esto, todos los componentes del circuito han sido disenados para cumplir con los clculos tericos anteriores.

El esquema final del circuito es el siguiente:

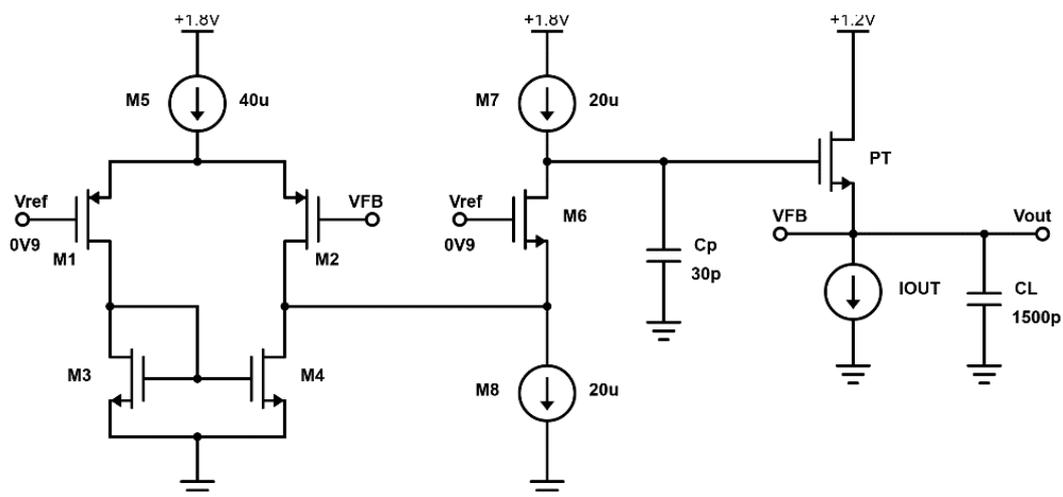


Figura 44. Esquema de la solucin 1 con capacidad paralela.

Y las simulaciones de estabilidad y PSRR son:

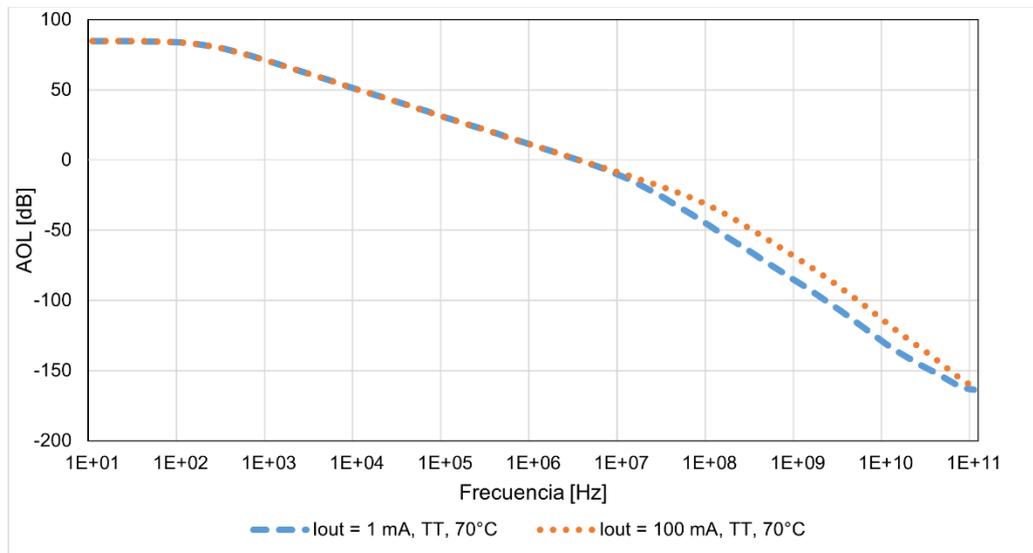


Figura 45. Gráfica de ganancia de lazo en la solución 1 con capacidad paralela.

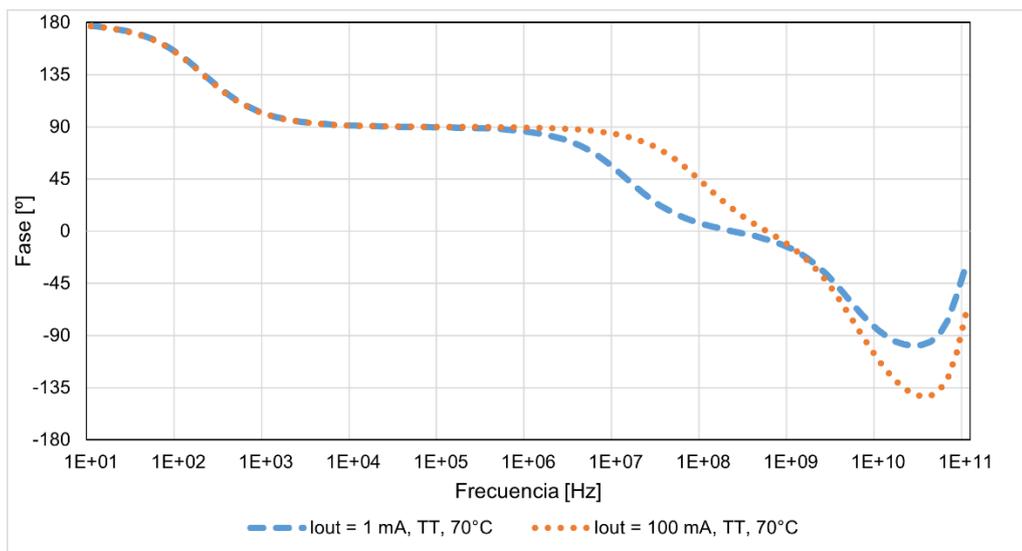


Figura 46. Gráfica de fase en la solución 1 con capacidad paralela.

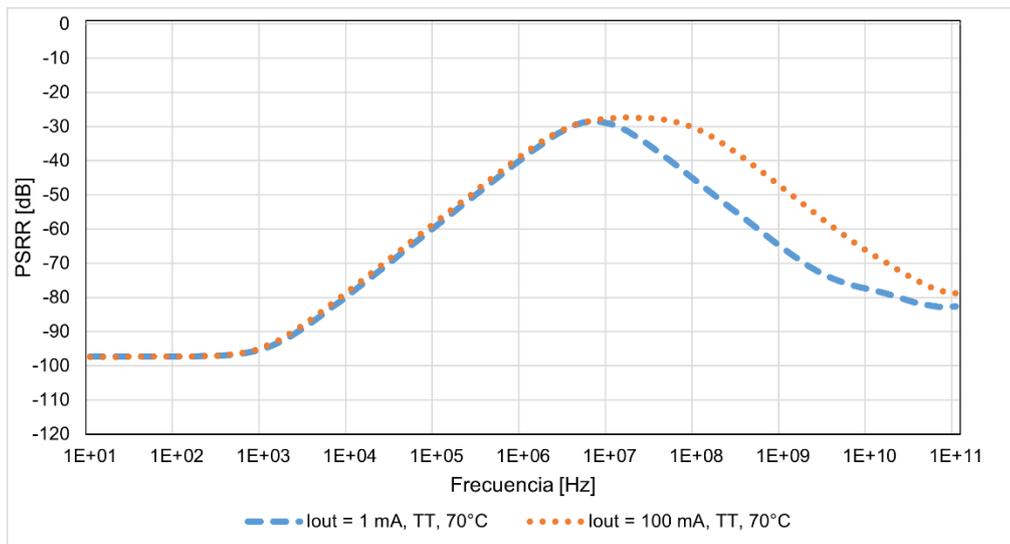


Figura 47. Gráfica de PSRR en la solución 1 con capacidad paralela.

Analizando los resultados de estas gráficas y comparándolos con los esperados de las aproximaciones teóricas y las especificaciones se obtienen los resultados de la siguiente tabla:

Tabla 1. Comparación de resultados de la solución 1 con capacidad paralela.

	VALOR ESPERADO	VALOR SIMULADO IOUT = 1 mA	VALOR SIMULADO IOUT = 100 mA	UNIDADES
UGF	3	3.25	3.33	MHz
p_o	9-100	12.58	79.4	MHz
PSRR_{pico}	-30	-28.49	-27.39	dB
PSRR_{valor_final}	-79.5	-82.6	-78.8	dB
PM	>60	76.4	87.92	°
GM	>10	60.64	59.24	dB
PSRR@1MHz	<-30	-39.18	-38.16	dB
PSRR@100MHz	<-20	-45.95	-30.64	dB
PSRR@500MHz	<-40	-59.82	-42.19	dB

Como se puede observar, todos los parámetros simulados están relativamente cerca de los esperados y se cumplen todas las especificaciones de estabilidad y PSRR, verificando así los cálculos teóricos y el proceso de diseño.

Si se aplican ahora los criterios de los corners de temperatura y proceso aparecen dos casos principales que van a limitar la respuesta. Respecto a estabilidad, su mínimo de margen de fase aparecerá en el caso de p_o más dominante, en que la g_m del transistor de paso sea lo más baja posible en el corner SS a la menor temperatura posible de -40°C (SS, $I_{out} = 1\text{mA}$, -40°C). Por su parte, la PSRR aparecerá limitada en alta frecuencia en el caso en que p_o aparezca a la mayor frecuencia posible, el caso contrario al anterior (FF, $I_{out}=100\text{mA}$, 125°C). Las tolerancias en las fuentes de alimentación disponibles se van a considerar que están en su mínimo para estos casos.

Estas son las gráficas de estabilidad y PSRR para ambos casos extremos y la tabla comparativa:

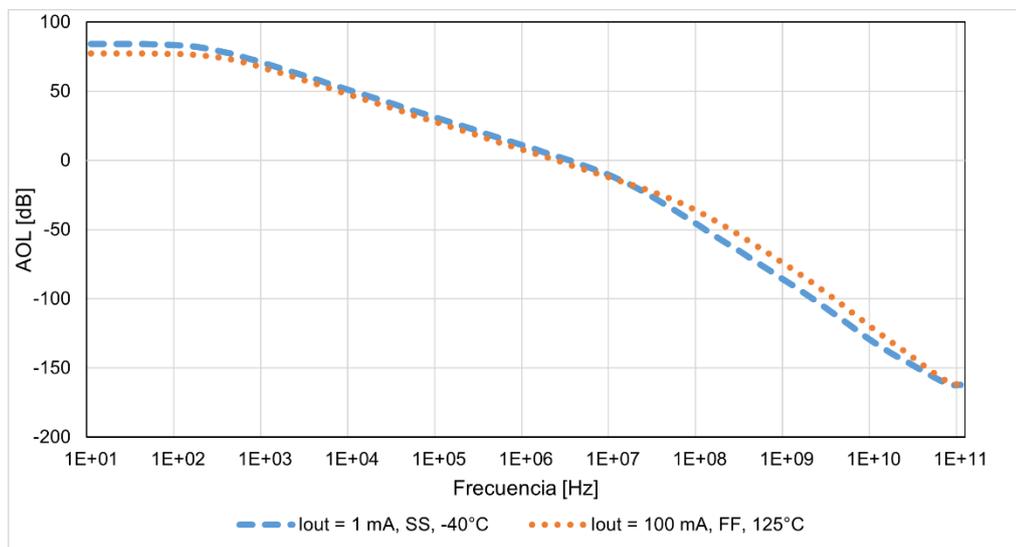


Figura 48. Gráfica de ganancia de lazo en la solución 1 con capacidad paralela en los peores corners.

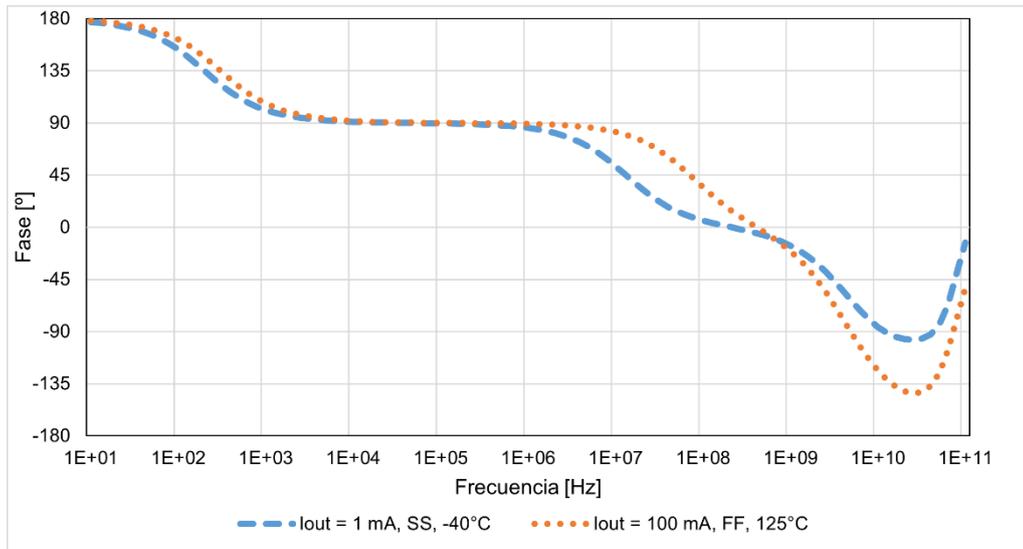


Figura 49. Gráfica de fase en la solución 1 con capacidad paralela en los peores corners.

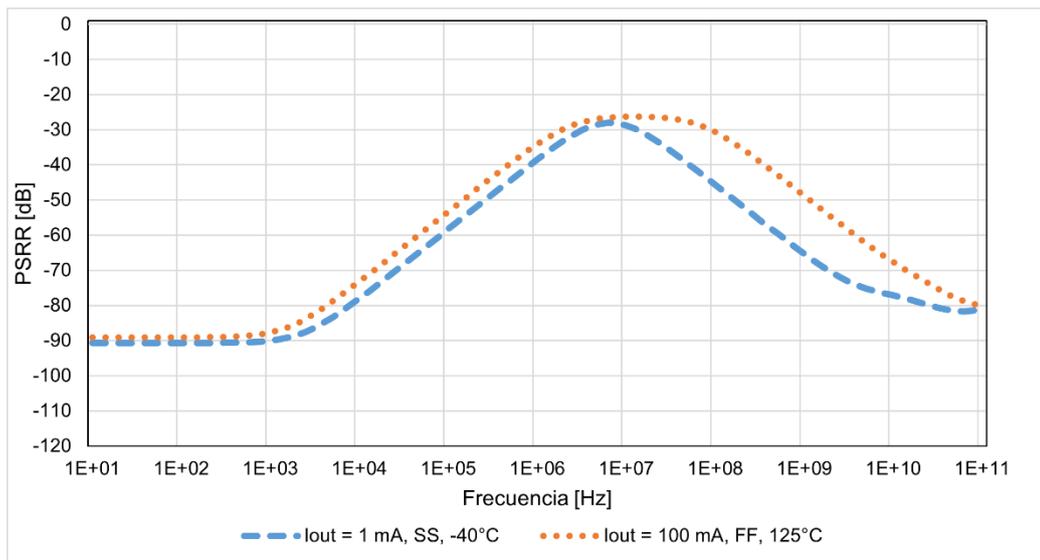


Figura 50. Gráfica de PSRR en la solución 1 con capacidad paralela en los peores corners.

Tabla 2. Comparación de resultados de la solución 1 con capacidad paralela en los peores corners.

	VALOR ESPERADO	VALOR SIMULADO IOUT = 1 mA SS, -40°C	VALOR SIMULADO IOUT = 100 mA FF, 125°C	UNIDADES
UGF	3	3.165	2.241	MHz
p _o	9-100	12.5	63.1	MHz

PSRR_{pico}	-30	-28.03	-26.28	dB
PSRR_{valor_final}	-79.5	-81.01	-79.96	dB
PM	>60	76.35	88.84	°
GM	>10	60.35	60.12	dB
PSRR@1MHz	<-30	-38.48	-34.04	dB
PSRR@100MHz	<-20	-45.71	-30.64	dB
PSRR@500MHz	<-40	-59.57	-42.02	dB

Al igual que en los casos de operación típicos se cumplen todas las especificaciones, aunque se ven ligeramente degradadas y los resultados simulados se alejan un poco más de los esperados.

Uno de los principales inconvenientes de esta solución es el tamaño de la capacidad de salida (C_L). Su valor de 1500 pF puede llegar a ser uno de los factores limitantes en el área disponible, por lo que se puede plantear reducir su tamaño a cambio de una degradación de las prestaciones del LDO. Este cambio en C_L va a provocar un cambio en p_o que, a su vez, modificará la estabilidad y la PSRR. Respecto a la estabilidad, una reducción de C_L solo va a alejar p_o a frecuencias más altas, mejorando el margen de fase. Respecto a la PSRR, un polo de salida menos dominante provoca que la curva de esta propiedad se mantenga en su pico máximo durante más tiempo, empeorando la respuesta en alta frecuencia.

Para comprobar esto, se han repetido las simulaciones en el régimen de funcionamiento típico, pero cambiando C_L de 1500 pF a 500 pF:

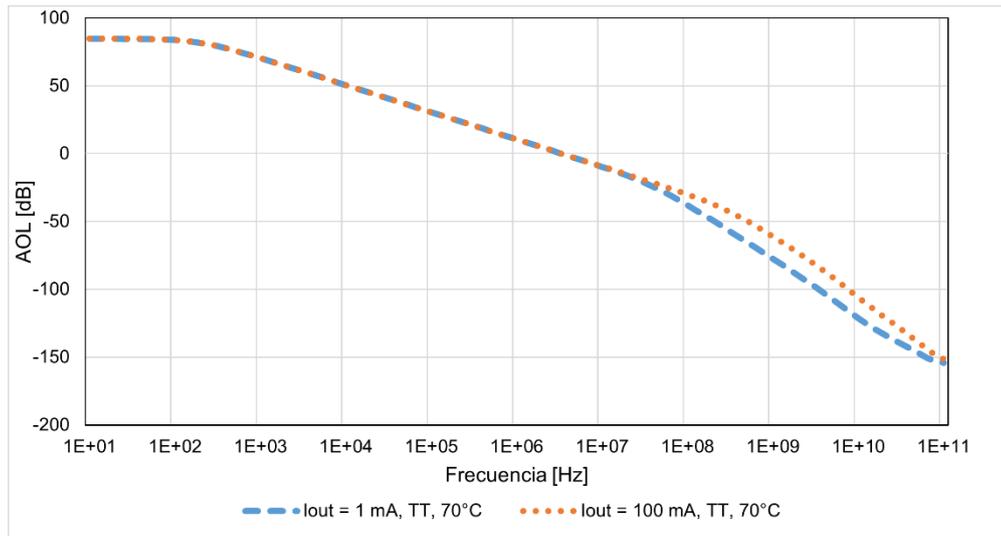


Figura 51. Gráfica de ganancia de lazo en la solución 1 con capacidad paralela y C_L de 500 pF.

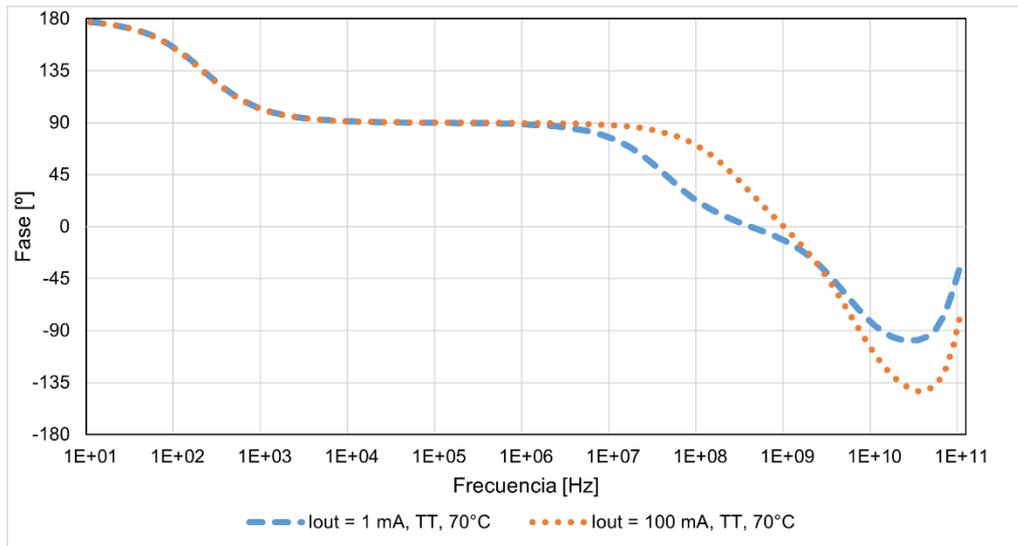


Figura 52. Gráfica de fase en la solución 1 con capacidad paralela y C_L de 500 pF.

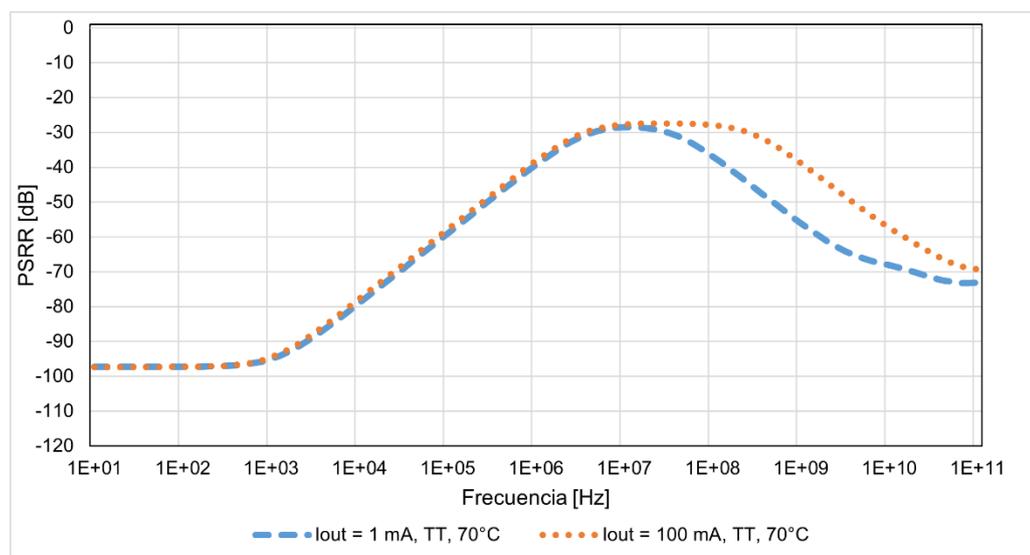


Figura 53. Gráfica de PSRR en la solución 1 con capacidad paralela y C_L de 500 pF.

Tabla 3. Comparación de resultados de la solución 1 con capacidad paralela y C_L de 500 pF.

	VALOR ESPERADO	VALOR SIMULADO IOUT = 1 mA CL = 500 pF	VALOR SIMULADO IOUT = 100 mA CL = 500 pF	UNIDADES
UGF	3	3.338	3.331	MHz
p_o	>9-100	39.81	251.18	MHz
PSRR_{pico}	-30	-28.49	-27.41	dB
PSRR_{valor_final}	-79.5	-73.09	-69.33	dB
PM	>60	85.23	89.27	°
GM	>10	60.71	59.18	dB
PSRR@1MHz	<-30	-39.3	-38.18	dB
PSRR@100MHz	<-20	-36.93	-27.91	dB
PSRR@500MHz	<-40	-50.31	-33.68	dB

Como era de esperar, con el valor de C_L dividido entre tres la frecuencia de p_o se ha multiplicado aproximadamente por este mismo valor, mejorando el margen de fase hasta los 85.23° en el peor caso en comparación con los 76.4° del

caso original. En PSRR, su valor en alta frecuencia ha pasado de los -42.19 dB a los -33.68 dB en 500 MHz, lo que supone una caída de 8.51 dB, no cumpliendo así con esta especificación.

Además de la estabilidad y la PSRR, la precisión de la salida es la otra gran especificación que se ha que medir. De los 9 mV de margen que se tienen para cumplir con esta, la simulación muestra una desviación sistemática de 4.6 mV y un error de *mismatch* de 11.67 mV. Ambos valores se podrían mejorar con el uso de cascos en el amplificador o con un aumento del área del par diferencial y espejos de corriente como ya se explicó en el apartado Precisión, por lo que solo se emplearán como punto de comparación entre distintas soluciones.

Como se ha podido observar durante todo este apartado, la aplicación del método de compensación por capacidad paralela ha mejorado considerablemente la respuesta del LDO. Se ha estudiado y demostrado un proceso de diseño exacto y eficaz que permite aprovechar las prestaciones del circuito para cumplir con unas especificaciones estrictas. Como desventaja, el elevado valor de C_L requerido y su correlación con la PSRR provoca que sea necesaria un área relativamente grande si las especificaciones fueran muy restrictivas.

Esta ha sido la configuración de esta solución que mejor aprovecha el circuito para estas especificaciones y tecnología concreta, pero existen otras que también pueden ser viables en algunos casos específicos.

4.1.3.4. Capacidad paralela (otras soluciones nMOS)

Otra solución válida para diseñar un LDO con esta arquitectura y con el método de compensación de la capacidad paralela es empleando la resistencia en serie R_p de la Figura 40. Conociendo el cero que se va a añadir en la respuesta en frecuencia (Ecuación (160)) y con la distribución de polos anterior, su única utilidad sería la de contrarrestar el efecto de p_o para conseguir un mejor margen de fase para la estabilidad como se muestra en la siguiente figura:

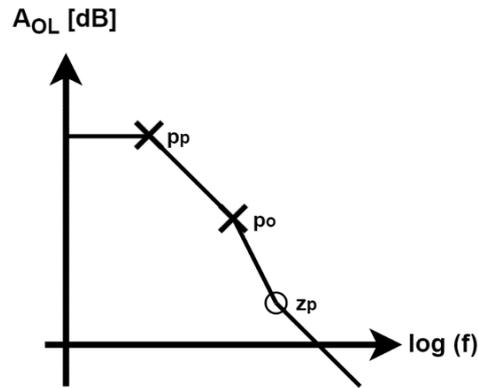


Figura 54. Solución alternativa para conseguir la estabilidad empleando R_p en la solución 1.

Comparando con la solución simulada anterior, el uso de este nuevo cero permitiría emplear una C_L de mayor valor sin preocuparse por el margen de fase, pero como su valor ya es relativamente grande por defecto, el uso de este cero en la respuesta en frecuencia no es de gran utilidad, aparte de que empeoraría la PSRR como ya se calculó en el apartado correspondiente.

Continuando con la PSRR, otra opción para no rebasar los puntos de las especificaciones sería la de desplazar su pico máximo a menor o mayor frecuencia como se muestra en la siguiente figura:

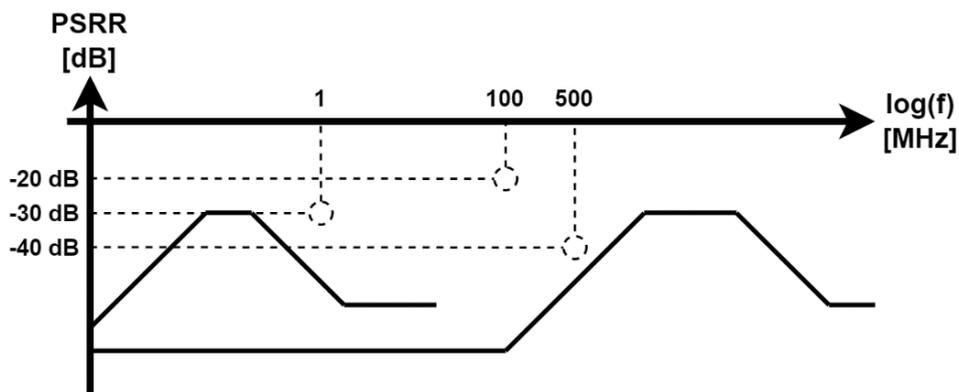


Figura 55. Soluciones alternativas para la PSRR de la solución 1.

Comparando con el caso simulado, la aparición del pico de la PSRR a menor frecuencia supondría un menor ancho de banda y una C_L todavía mayor. También se empeoraría su valor en baja frecuencia. Si por el contrario se moviera esta curva a frecuencias más altas, lo que pasaría es que el cruce por UGF sería a más

frecuencia y los efectos de los polos de la realimentación o internos del amplificador de error pasarían a ser no despreciables y complicarían conseguir la estabilidad. También sería necesaria una C_L mucho más pequeña.

Todas estas soluciones alternativas al problema para la aplicación del método de compensación de la capacidad paralela pueden llegar a ser relevantes en los casos en que las especificaciones requeridas para el diseño o la tecnología con la que se trabaje sean las adecuadas para poder aplicarlas y aprovecharse así de sus cualidades.

4.1.4. Solución 2: folded cascode

Esta segunda solución propuesta para el transistor de paso tipo N se va a basar en un cascode plegado como amplificador de error. Con este, al contrario que en la solución anterior y como se ha demostrado en el apartado de Amplificador de error, ya no es necesario ajustar su rango de salida con un *level-shifter* y es posible realizar una realimentación directa sin limitar la salida.

Aparte de este cambio, no existe ninguna diferencia en términos de estabilidad o PSRR con respecto a la solución anterior. Los modelos que se emplearon para analizar su comportamiento siguen siendo válidos, simplemente se esperará una mayor impedancia de salida el amplificador debido a sus cascodos. Las mismas conclusiones aplicarán a esta solución con los mismos métodos de compensación y distribución de polos y ceros.

Por esta razón, tanto el dimensionamiento del transistor de paso, método de compensación con capacidad paralela, valores de C_L , C_p y g_{m_A} , y los procesos de diseño y simulación van a ser los mismos que en la solución anterior. Para realizar la simulación y poder comparar el rendimiento de ambas, la siguiente figura muestra el esquema con el cascode plegado con espejo de corriente activo en la parte inferior que se va a emplear:

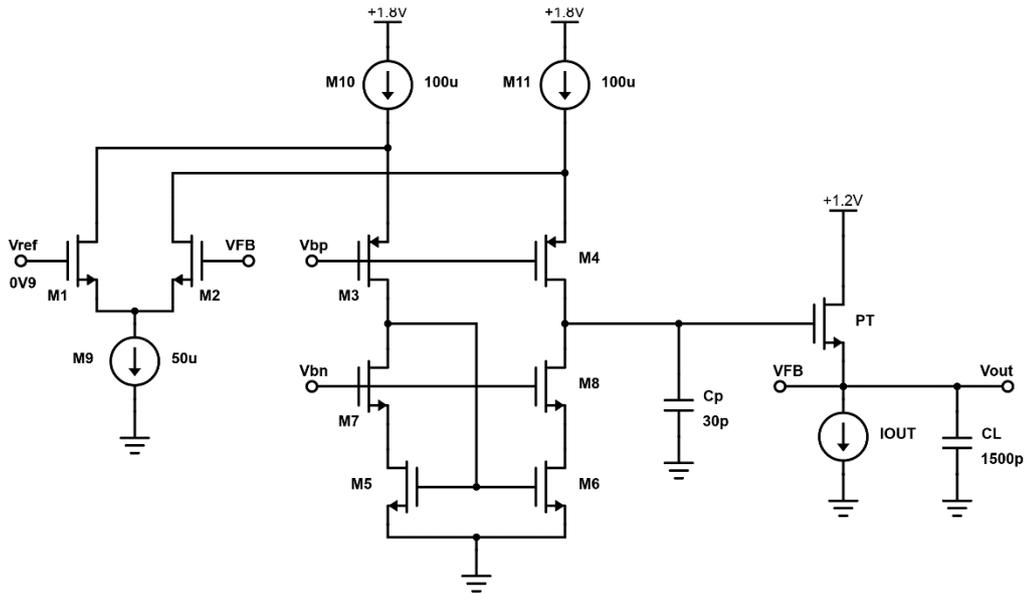


Figura 56. Esquema de la solución 2 con capacidad paralela.

Simulando para el régimen de funcionamiento típico se obtienen las siguientes gráficas y tabla de valores:

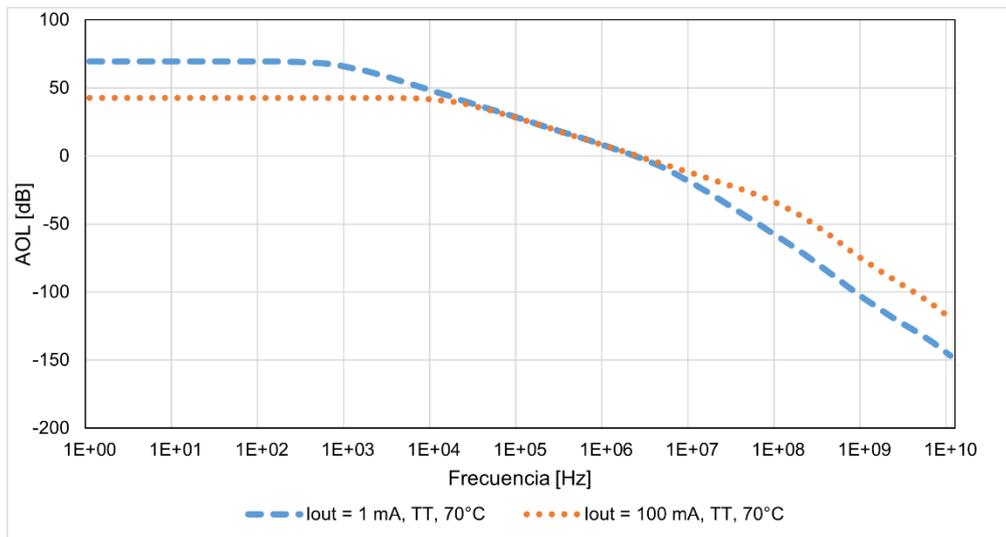


Figura 57. Gráfica de ganancia de lazo en la solución 2 con capacidad paralela.

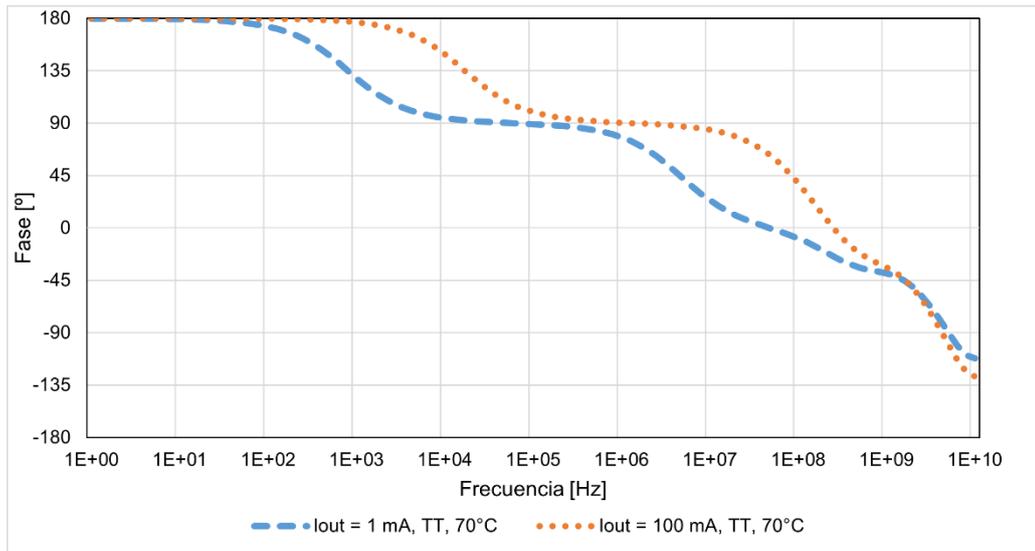


Figura 58. Gráfica de fase en la solución 2 con capacidad paralela.

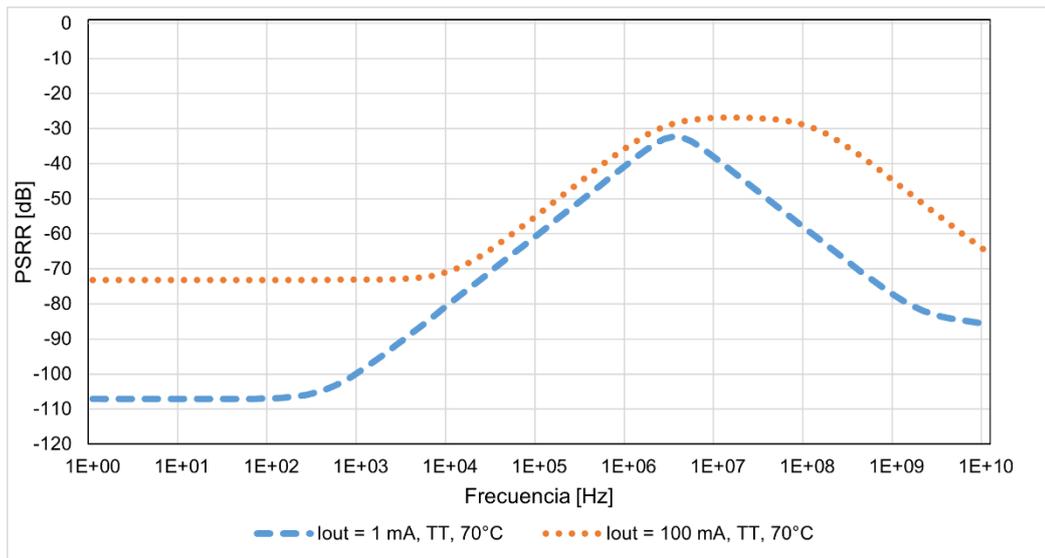


Figura 59. Gráfica de PSRR en la solución 2 con capacidad paralela.

Tabla 4. Comparación de resultados de la solución 2 con capacidad paralela.

	VALOR ESPERADO	VALOR SIMULADO IOUT = 1 mA	VALOR SIMULADO IOUT = 100 mA	UNIDADES
UGF	3	2.153	2.32	MHz
p_o	9-100	3.98	79.43	MHz
PSRR_{pico}	-30	-32.3	-26.85	dB

PSRR_{valor_final}	-79.5	-85.6	-64.94	dB
PM	>60	64.94	89.04	°
GM	>10	46.08	49.44	dB
PSRR@1MHz	<-30	-39.84	-34.91	dB
PSRR@100MHz	<-20	-58.98	-29.26	dB
PSRR@500MHz	<-40	-72.7	-39.72	dB

Al igual que en el apartado anterior todos los valores simulados aparecen cerca de los valores esperados de forma teórica. Las discrepancias entre estas se reducen a las pequeñas diferencias entre los diseños de los amplificadores que cambian ligeramente la ganancia en DC y, en consecuencia, la PSRR en DC.

Aplicando ahora los peores corners para estabilidad y PSRR como en la solución anterior, se obtienen las siguientes gráficas y tabla de valores.

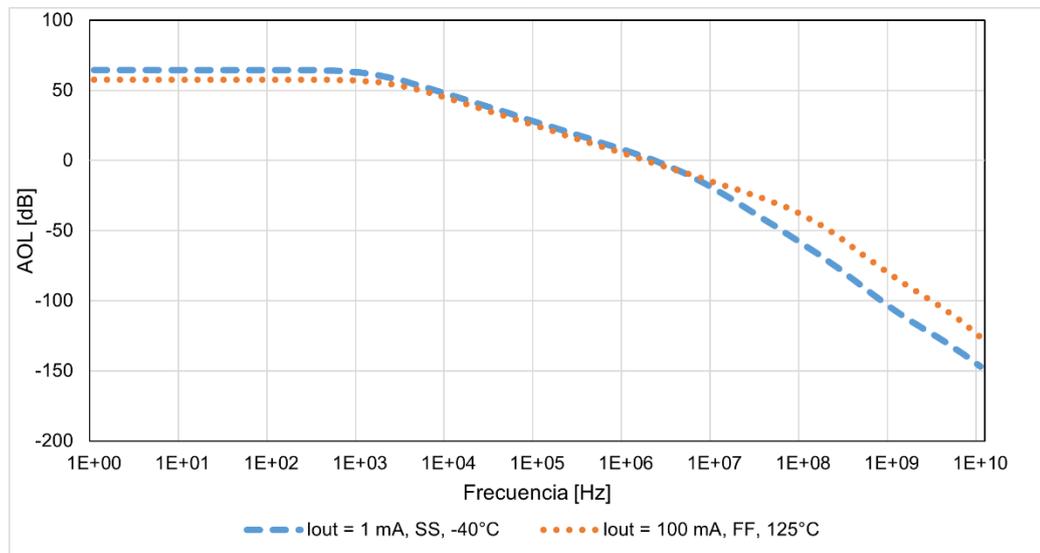


Figura 60. Gráfica de ganancia de lazo en la solución 2 con capacidad paralela en los peores corners.

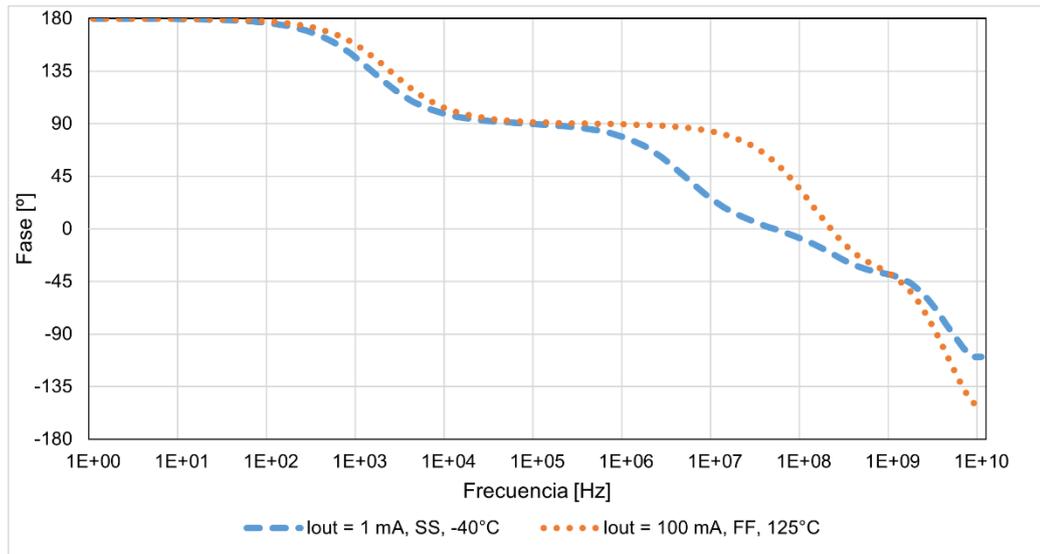


Figura 61. Gráfica de fase en la solución 2 con capacidad paralela en los peores corners.

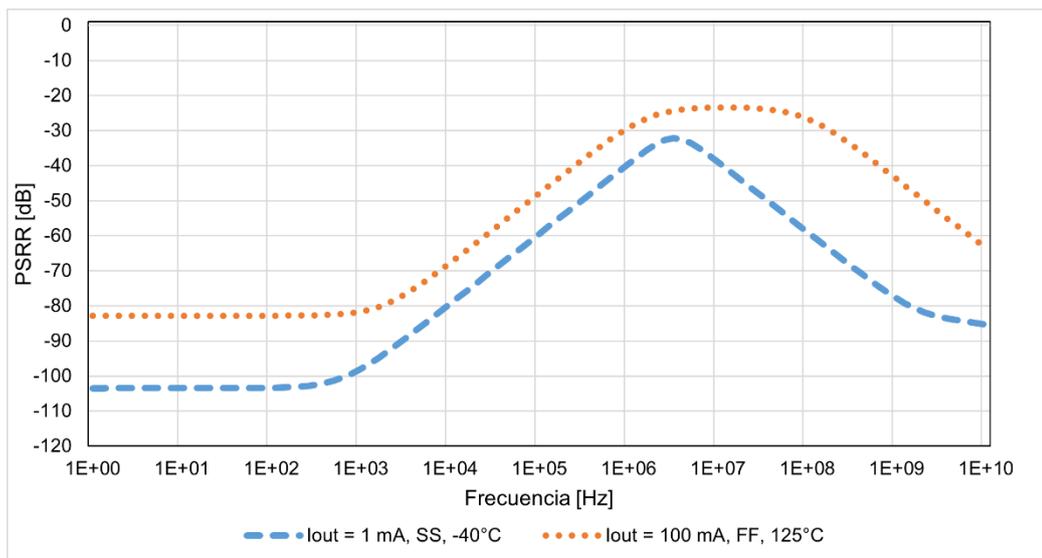


Figura 62. Gráfica de PSRR en la solución 2 con capacidad paralela en los peores corners.

Tabla 5. Comparación de resultados de la solución 2 con capacidad paralela en los peores corners.

	VALOR ESPERADO	VALOR SIMULADO IOUT = 1 mA SS, -40°C	VALOR SIMULADO IOUT = 100 mA FF, 125°C	UNIDADES
UGF	3	2.091	1.664	MHz
p _o	9-100	3.98	63.09	MHz

PSRR_{pico}	-30	-32.15	-23.41	dB
PSRR_{valor_final}	-79.5	-85.33	-63.45	dB
PM	>60	65.38	88.86	°
GM	>10	46.29	50.32	dB
PSRR@1MHz	<-30	-39.45	-29.15	dB
PSRR@100MHz	<-20	-58.92	-26.62	dB
PSRR@500MHz	<-40	-72.63	-37.93	dB

Como era de esperar, las prestaciones del circuito se desvían un poco más de las ideales, siendo la PSRR para el segundo caso la única especificación que no se cumple del todo para este caso.

Pasando a la precisión, el añadido de los cascodos a la salida del amplificador de error ha mejorado considerablemente el error sistemático, bajando desde los 4.6 mV de la solución anterior a los 0.9 mV. Respecto al error de *mismatch*, el valor ha quedado prácticamente igual en 13.83 mV frente a los 11.67 mV de la anterior ya que el tamaño de espejos de corriente y par diferencial es prácticamente igual.

Esta segunda solución propuesta para el transistor de paso tipo N es muy similar a la primera. El cambio en la arquitectura del amplificador de error solventa el problema del rango de salida con realimentación directa y, con la elección de la distribución de polos y ceros y la aplicación del método de compensación por capacidad paralela mostrados en la solución anterior, otorga una gran variedad de posibilidades de diseño dependiendo de las especificaciones que se tengan que cumplir y las herramientas que se tengan a disposición.

4.2. pMOS

La configuración en que va a estar conectado el transistor de paso tipo P en un LDO se conoce como surtidor común o *common source*.

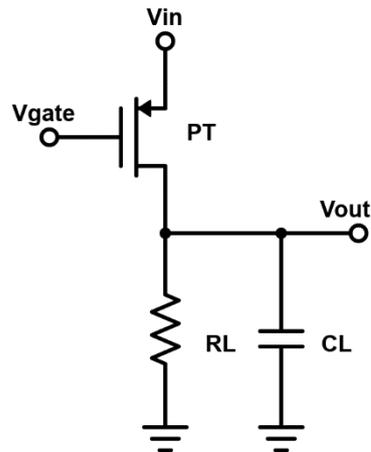


Figura 63. Etapa del transistor de paso tipo P en un LDO en configuración surtidor común.

En esta el transistor de paso (*PT*) se sitúa en la parte superior con su drenador directamente a la salida y controlando una carga (R_L) conectada desde ahí hasta masa. Considerando que esta carga sea mucho más grande que la resistencia de longitud de canal del propio transistor de paso, la resistencia de salida del LDO será aproximadamente de:

$$R_{out} \approx r_d \quad (193)$$

El polo que se forma en el nodo de salida (p_o) con la capacidad de carga (C_L) es:

$$p_o = \frac{1}{R_{out} \cdot C_L} \quad (194)$$

$$= \frac{1}{r_d \cdot C_L} \quad (195)$$

Y la ganancia que tendrá la etapa con efecto inversor es:

$$Gain = g_m \cdot R_{out} \quad (196)$$

$$= g_m \cdot r_d \quad (197)$$

La conexión del surtidor del transistor de paso directamente a la entrada supone que la tensión DC en la puerta tenga que estar siempre por debajo de este valor menos la tensión umbral para asegurar que trabaje en saturación.

$$V_{gate,DC} < V_{in} - V_{TH} \quad (198)$$

Por esta razón nunca será necesario emplear una fuente de tensión adicional para alimentar el amplificador de error, aunque, a pesar de esto, en algunos casos puede seguir siendo beneficioso emplear la fuente de 1.8 V si se utilizan topologías de amplificador con cascos que requieran más margen de tensión en sus componentes.

4.2.1. Dimensionamiento del transistor de paso (pMOS)

La disposición en que estarán conectados los terminales del transistor de paso pMOS en un LDO es la siguiente:

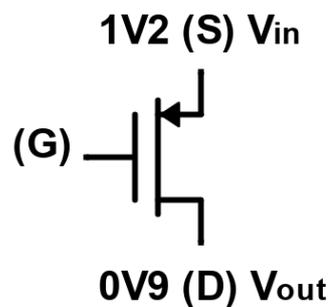


Figura 64. Conexión de un transistor de paso tipo P en un LDO.

El drenador será la salida y estará a los 0.9 V que requiere la especificación, mientras que el surtidor será la entrada de tensión del LDO y deberá estar a 1.2 V para dejar un margen de 0.3 V entre ambos terminales. Este margen es suficiente para poder dimensionarlo correctamente, por lo que no es necesario emplear la fuente de 1.8 V.

Por su parte, la puerta variará su nivel de tensión en DC dependiendo de la corriente de salida gracias al bucle de regulación, cambiando así su punto de funcionamiento. Siguiendo la ecuación de diseño (13), para el valor de corriente de salida mínima la tensión puerta-surtidor deberá estar justo al límite de la región subthreshold:

$$V_{GS} > V_{TH} \quad (199)$$

$$V_{G,m\acute{a}x} = V_S - V_{TH} \quad (200)$$

Para el valor de corriente máxima, la tensión en la puerta deberá bajar hasta llegar al límite de la región de triodo. Al tratarse esta de una etapa con una cierta ganancia, es importante asegurarse de que el transistor de paso se mantenga en saturación para no perder ganancia en los casos más extremos y dificultar así la obtención de la estabilidad. Este límite vendrá dado por la siguiente ecuación:

$$V_{DS} > V_{GS} - V_{TH} \quad (201)$$

$$V_{G,min} = V_D - V_{TH} \quad (202)$$

Conociendo este último valor límite, el criterio de dimensionamiento para este tipo de transistor de paso será el de limitar su tamaño mínimo para que no se exceda esta igualdad en el caso más extremo. A partir de la ecuación de diseño se obtiene:

$$\frac{W}{L_{min}} = \frac{I_{D,max}}{\frac{1}{2} \mu_n C_{ox} (V_S - V_{G,max} - V_{th})^2} \quad (203)$$

Analizando esta igualdad, el término entre paréntesis es la tensión de *overdrive*, que será la misma que la de surtidor a drenador y se mantendrá constante en 0.3 V. Por esto, para elegir la versión del transistor que dé un tamaño mínimo lo más pequeño posible, hay que minimizar el parámetro $\mu_n C_{ox}$. La versión ULVT o *ultra low voltage threshold* será la que cumpla este requerimiento, además de minimizar la tensión umbral:

$$\mu_n C_{ox} = 50 \frac{\mu A}{V^2} \quad (204)$$

$$V_{th} = 0.275 V \quad (205)$$

Con estos valores, los límites de tensión que se tendrán en la puerta serán de:

$$V_{G,m\acute{a}x} = 1.2 - 0.275 \quad (206)$$

$$= 0.925 V \quad (207)$$

$$V_{G,min} = 0.9 - 0.275 \quad (208)$$

$$= 0.625 \text{ V} \quad (209)$$

Si se limita la longitud (L) a la más pequeña posible de 36 nm para los circuitos analógicos de esta tecnología y disminuir así el área total necesaria, habrá que elegir la anchura (W) que cumpla con la relación anterior:

$$\frac{W}{L_{min}} = \frac{0.1}{\frac{1}{2} \cdot 50 \cdot 10^{-6} \cdot (1.2 - 0.625 - 0.275)^2} \quad (210)$$

$$= 44444.44 \quad (211)$$

Como en esta primera aproximación solo se han tenido en cuenta los efectos principales del transistor, es necesario realizar una simulación con el modelo real para asegurar un correcto funcionamiento del dispositivo. El modelo que se emplea es el siguiente:

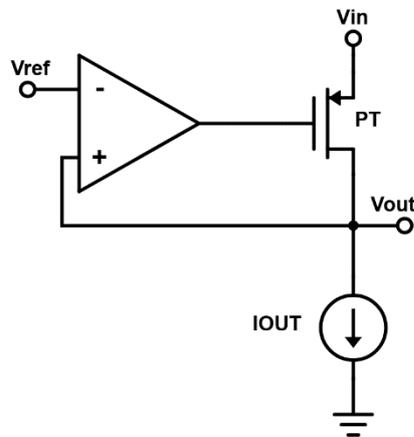


Figura 65. Modelo para el dimensionamiento del transistor de paso.

En este la corriente de salida (I_{out}) variará entre los límites de 1 a 100 mA de las especificaciones y se tendrán en cuenta la tolerancia de la fuente de alimentación del 5% además de los corners de proceso y temperatura para poder simular todos los posibles casos y asegurarse de que su respuesta es correcta para todos ellos. Tomando como punto de partida las dimensiones obtenidas teóricamente e iterando sobre ellas, los resultados finales son los siguientes.

Para una longitud (L) de 36 nm y una anchura (W) de 1752000 nm o 1.752 mm, el tamaño final (W/L) es de 48666.66. Respecto a los valores de transconductancia (g_m), resistencia de longitud de canal (r_d) y ganancia ($g_m \cdot r_d$), en la siguiente tabla se muestran los valores típicos y los que otorgan la mínima y máxima ganancia:

Tabla 6. Resultados de dimensionamiento del transistor de paso tipo P.

	TT IOUT = 1 mA	TT IOUT = 100 mA	GANANCIA MÍNIMA IOUT = 100 mA SS, 125°C	GANANCIA MÁXIMA IOUT = 1 mA SS, 125°C
gm [mA/V]	42.65	1694	1205	25.33
rd [Ω]	2013	27.93	19.84	3725
Gain [dB]	38.67	33.49	27.57	39.49

Esta gran variación entre los valores de ganancia y r_d , junto con las altas capacidades parásitas que se obtienen por culpa de la gran área del transistor entre puerta y surtidor (C_{GS}) de 1.4 pF, y entre puerta y drenador (C_{GD}) de 1.05 pF, son los factores que va a dificultar la obtención de la estabilidad.

4.2.2. PSRR (pMOS)

La configuración en que está conectado el transistor de paso en este tipo de LDOs hace aparecer un efecto indeseado respecto a la PSRR. Al tener el surtidor conectado directamente a la señal de entrada, todo el ruido procedente desde ahí se ve reflejando en la v_{gs} que, a su vez, se convierte en corriente y se transmite a la salida. Para contrarrestar este efecto, la opción más sencilla sería la de conseguir acoplar una señal de ruido de igual magnitud y fase a la puerta del transistor para que ambas se cancelasen y la v_{gs} se mantuviera libre de esta señal de ruido.

Como el camino principal por el que se acopla el ruido a la puerta del transistor de paso es por el amplificador de error, habrá que elegir uno que no atenúe este camino desde la alimentación hasta la salida. Recuperando las versiones de amplificadores estudiadas en el apartado Amplificador de error, las que tienen el espejo de corriente activo en la parte superior son las que tienen esta propiedad.

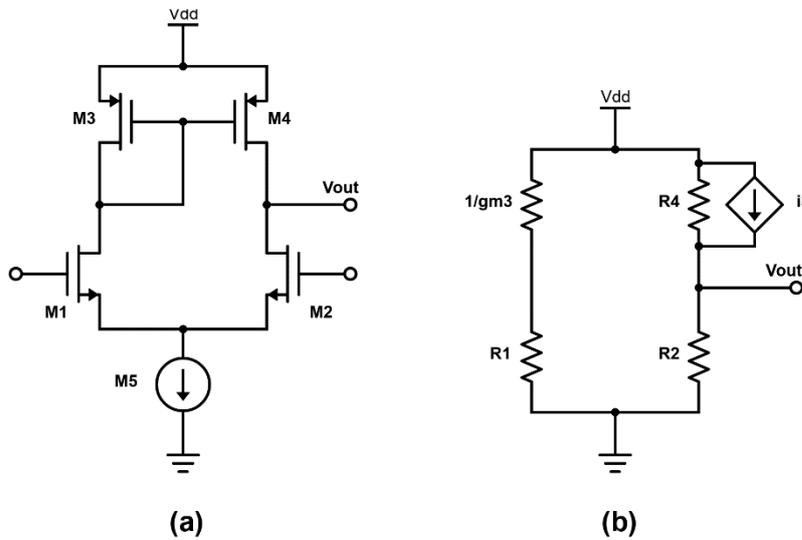


Figura 66. (a) OTA de 5 transistores con espejo de corriente arriba y (b) su modelo para PSRR.

Al igual que en el análisis del apartado PSRR y por los mismos motivos, se emplea el modelo de la Figura 66 (b) para obtener la función de transferencia entre alimentación y salida de esta versión del amplificador:

$$i_3 = \frac{v_{dd}}{R_1}, \left(\frac{1}{g_{m3}} \ll R_1 \right) \quad (212)$$

$$v_{out} = v_{dd} \frac{R_2}{R_2 + R_4} + i_3 \frac{R_2 R_4}{R_2 + R_4} \quad (213)$$

$$= v_{dd} \frac{R_2}{R_2 + R_4} + \frac{v_{dd}}{R_1} \frac{R_2 R_4}{R_2 + R_4} \quad (214)$$

$$= v_{dd} \frac{R_2}{R_2 + R_4} + v_{dd} \frac{R_4}{R_2 + R_4}, (R_1 \equiv R_2) \quad (215)$$

$$= v_{dd} \frac{R_2 + R_4}{R_2 + R_4} \quad (216)$$

$$= v_{dd} \quad (217)$$

Al existir una atenuación idealmente nula en este camino, todo el ruido procedente de la alimentación se acoplará primero al surtidor del transistor de paso por la entrada del LDO y después a su puerta por este camino que se forma en el amplificador. Gracias a esto, ambas señales se cancelarán y se conseguirá atenuar el ruido considerablemente [4].

Esta elección de amplificador también asegurará un nivel de PSRR en baja frecuencia muy bueno, con un valor igual a la inversa de la ganancia de lazo:

$$PSRR_{DC} = \frac{1}{A\beta} \quad (218)$$

Para obtener la función de transferencia de la PSRR en frecuencias mayores será necesario emplear un modelo simplificado en el que se tengan en cuenta los efectos parásitos y capacitivos que empezarán a dominar la respuesta:

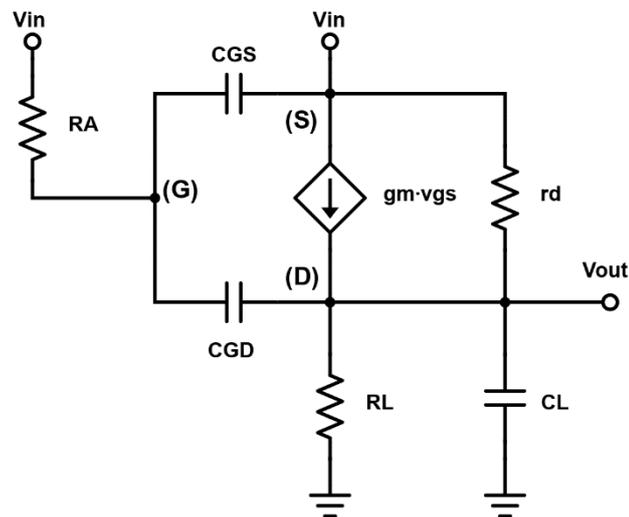


Figura 67. Modelo simplificado para PSRR en un transistor de paso tipo P.

Este modelo de la Figura 67 incluye los efectos del transistor de paso tipo P, amplificador de error y carga de salida. La resistencia de salida del amplificador de error (R_A) aparece ahora conectada desde la puerta del transistor de paso hasta la entrada de tensión, modelizando la baja PSRR del propio amplificador elegido. El resto de los componentes coinciden con el del tipo N de las soluciones anteriores.

Uno de los métodos de compensación que se aplicará en las soluciones de este apartado es el de la capacidad de Miller. Esta consiste en situar una capacidad discreta entre la puerta y el drenador del transistor de paso para controlar la respuesta en frecuencia. Por esta razón y al tratarse de una modificación del circuito original, se puede sustituir el componente C_{GD} por esta nueva capacidad (C_M) con su resistencia en serie (R_M) como se muestra en la siguiente figura para obtener la PSRR:

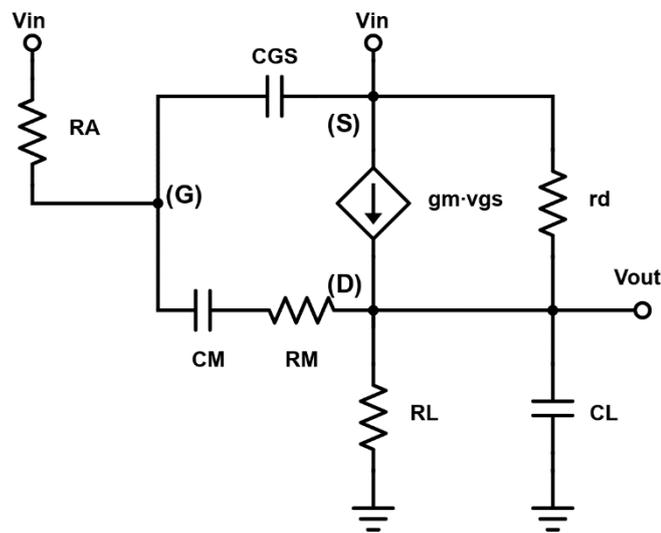


Figura 68. Modelo simplificado para PSRR en un transistor de paso tipo P con compensación por capacidad de Miller.

Para calcular esta función de transferencia también se aplicará el método de las constantes de transferencia de tiempo o *time transfer constants*, cuyo procedimiento se detalla en [5]. La forma de esta función de transferencia será:

$$H(s) = \frac{H^0 + (\sum_1^n H^i \tau_i^0) s + (\sum_1^n \sum_{i < j}^n H^{ij} \tau_i^0 \tau_j^i) s^2}{1 + (\sum_1^n \tau_i^0) s + (\sum_1^n \sum_{i < j}^n \tau_i^0 \tau_j^i) s^2} \quad (219)$$

Comenzando a calcular las constantes de tiempo, la relativa a C_{GS} anulará todas las demás capacidades y solo dejará R_A como resistencia en serie con esta:

$$\tau_{GS}^0 = R_A C_{GS} \quad (220)$$

Para la capacidad de Miller (C_M), el modelo equivalente que quedaría para calcular la resistencia entre sus terminales se muestra en la Figura 69 y los cálculos a continuación:

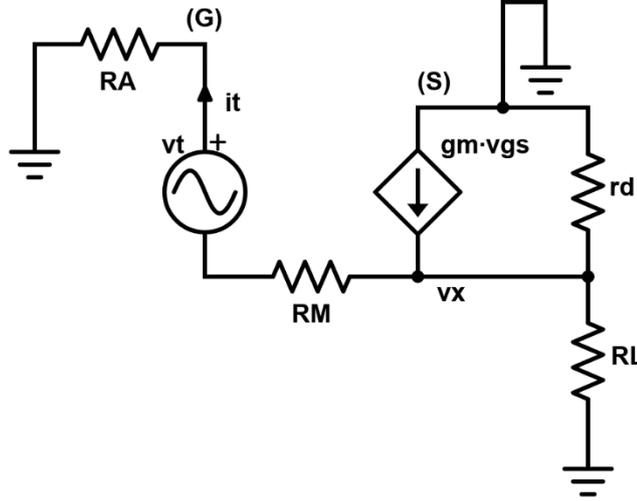


Figura 69. Modelo de PSRR para R_M^0 en transistor de paso tipo P con compensación por capacidad de Miller.

$$\tau_M^0 = R_M^0 C_M \quad (221)$$

$$v_{gs} = -i_t R_A \quad (222)$$

$$v_x = i_t (R_A + R_M) - v_t \quad (223)$$

$$i_t + i_t g_m R_A + \frac{i_t (R_A + R_M) - v_t}{r_d // R_L} = 0 \quad (224)$$

$$i_t \left(1 + g_m R_A + \frac{R_A + R_M}{r_d // R_L} \right) = v_t \left(\frac{1}{r_d // R_L} \right) \quad (225)$$

$$\frac{v_t}{i_t} = R_M^0 \quad (226)$$

$$= (r_d // R_L) \left(1 + g_m R_A + \frac{R_A + R_M}{r_d // R_L} \right) \quad (227)$$

$$= \frac{r_d R_L}{r_d + R_L} + \frac{g_m R_A r_d R_L}{r_d + R_L} + R_A + R_M \quad (228)$$

$$= \frac{r_d R_L + g_m R_A r_d R_L + R_A r_d + R_A R_L + R_M r_d + R_M R_L}{r_d + R_L} \quad (229)$$

$$\tau_M^0 = \frac{r_d R_L + g_m R_A r_d R_L + R_A r_d + R_A R_L + R_M r_d + R_M R_L}{r_d + R_L} C_M \quad (230)$$

Para C_L , el modelo de la Figura 70 muestra la resistencia entre sus terminales (R_L^0):

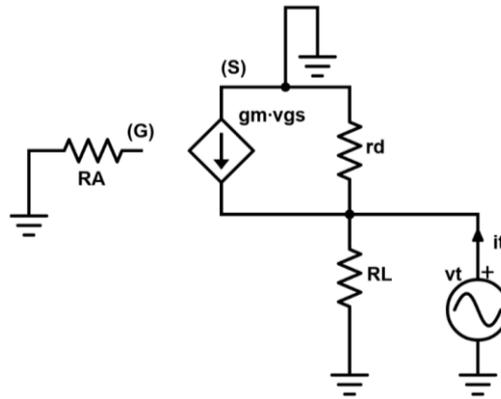


Figura 70. Modelo de PSRR para R_L^0 en transistor de paso tipo P con compensación por capacidad de Miller.

$$\tau_L^0 = R_L^0 C_L \quad (231)$$

$$R_L^0 = r_d // R_L \quad (232)$$

$$= \frac{r_d R_L}{r_d + R_L} \quad (233)$$

$$\tau_L^0 = \frac{r_d R_L}{r_d + R_L} C_L \quad (234)$$

La primera constante de tiempo de segundo orden es la del modelo de la Figura 71, que muestra la resistencia entre sus terminales (R_M^{GS}):

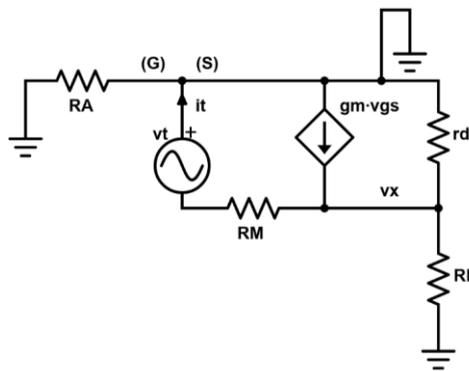


Figura 71. Modelo de PSRR para R_M^{GS} en transistor de paso tipo P con compensación por capacidad de Miller.

$$\tau_M^{GS} = R_M^{GS} C_M \quad (235)$$

$$v_x = i_t R_M - v_t \quad (236)$$

$$i_t + \frac{i_t R_M - v_t}{r_d // R_L} = 0 \quad (237)$$

$$i_t \left(1 + \frac{R_M}{r_d // R_L}\right) = v_t \left(\frac{1}{r_d // R_L}\right) \quad (238)$$

$$\frac{v_t}{i_t} = R_M^{GS} \quad (239)$$

$$= (r_d // R_L) + R_M \quad (240)$$

$$= \frac{r_d R_L}{r_d + R_L} + R_M \quad (241)$$

$$= \frac{r_d R_L + R_M r_d + R_M R_L}{r_d + R_L} \quad (242)$$

$$\tau_M^{GS} = \frac{r_d R_L + R_M r_d + R_M R_L}{r_d + R_L} C_M \quad (243)$$

Para R_L^{GS} , el modelo sería el de la Figura 72:

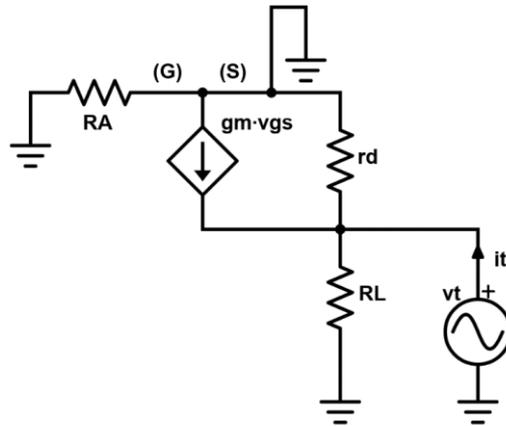


Figura 72. Modelo de PSRR para R_L^{GS} en transistor de paso tipo P con compensación por capacidad de Miller.

$$\tau_L^{GS} = R_L^{GS} C_L \quad (244)$$

$$R_L^{GS} = r_d // R_L \quad (245)$$

$$= \frac{r_d R_L}{r_d + R_L} \quad (246)$$

$$\tau_L^{GS} = \frac{r_d R_L}{r_d + R_L} C_L \quad (247)$$

Y la última constante de tiempo se calcula con el modelo de la Figura 73:

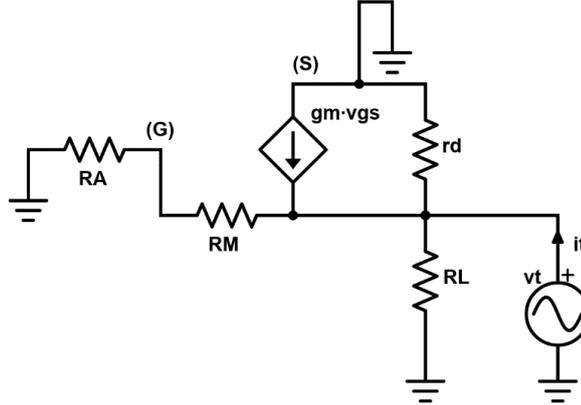


Figura 73. Modelo de PSRR para R_L^M en transistor de paso tipo P con compensación por capacidad de Miller.

$$\tau_L^M = R_L^M C_L \quad (248)$$

$$v_{gs} = -v_t \frac{R_A}{R_A + R_M} \quad (249)$$

$$i_t = \frac{v_t}{R_A + R_M} + \frac{v_t R_A g_m}{R_A + R_M} + \frac{v_t}{R_L // r_d} \quad (250)$$

$$i_t = v_t \left(\frac{1 + g_m R_A}{R_A + R_M} + \frac{1}{R_L // r_d} \right) \quad (251)$$

$$\frac{v_t}{i_t} = R_L^M \quad (252)$$

$$= \frac{r_d R_L R_A + r_d R_L R_M}{r_d R_L + r_d R_L g_m R_A + r_d R_A + r_d R_M + R_L R_A + R_L R_M} \quad (253)$$

$$\tau_L^M = \frac{r_d R_L R_A + r_d R_L R_M}{r_d R_L + r_d R_L g_m R_A + r_d R_A + r_d R_M + R_L R_A + R_L R_M} C_L \quad (254)$$

Pasando ahora a las funciones de transferencia parciales, el modelo para calcular H^0 se representa en la Figura 74:

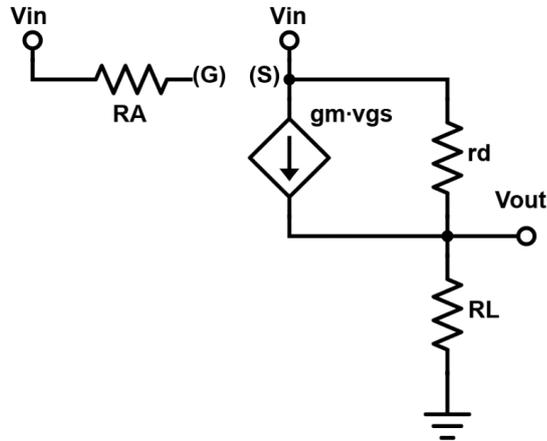


Figura 74. Modelo de PSRR para H^0 en transistor de paso tipo P con compensación por capacidad de Miller.

$$V_{out} = V_{in} \frac{R_L}{R_L + r_d} \quad (255)$$

$$\frac{V_{out}}{V_{in}} = H^0 \quad (256)$$

$$= \frac{R_L}{R_L + r_d} \quad (257)$$

Para H^{GS} , el modelo de la Figura 75:

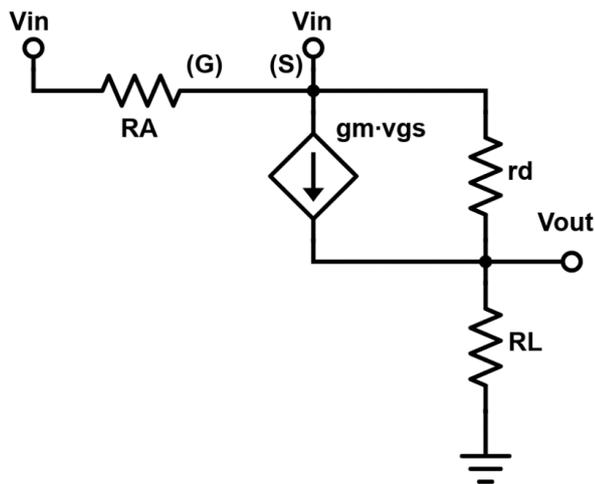


Figura 75. Modelo de PSRR para H^{GS} en transistor de paso tipo P con compensación por capacidad de Miller.

$$V_{out} = V_{in} \frac{R_L}{R_L + r_d} \quad (258)$$

$$\frac{V_{out}}{V_{in}} = H^{GS} \quad (259)$$

$$= \frac{R_L}{R_L + r_d} \quad (260)$$

Para H^M , el modelo de la Figura 76:

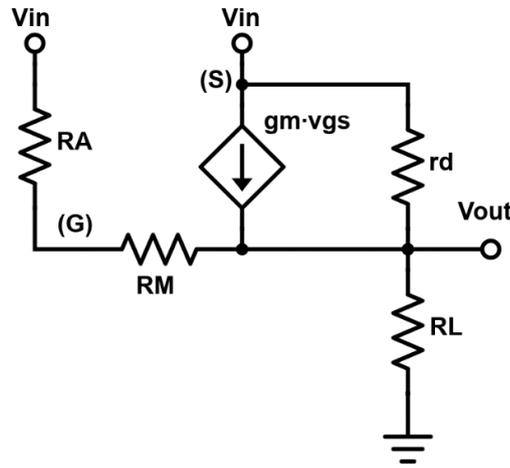


Figura 76. Modelo de PSRR para H^M en transistor de paso tipo P con compensación por capacidad de Miller.

$$v_{gs} = R_A \frac{V_{in} - V_{out}}{R_A + R_M} \quad (261)$$

$$\frac{V_{in} - V_{out}}{R_A + R_M} + \frac{g_m R_A (V_{in} - V_{out})}{R_A + R_M} + \frac{V_{in} - V_{out}}{r_d} = \frac{V_{out}}{R_L} \quad (262)$$

$$V_{in} \left(\frac{1}{R_A + R_M} + \frac{g_m R_A}{R_A + R_M} + \frac{1}{r_d} \right) \quad (263)$$

$$= V_{out} \left(\frac{1}{R_A + R_M} + \frac{g_m R_A}{R_A + R_M} + \frac{1}{r_d} + \frac{1}{R_L} \right)$$

$$\frac{V_{out}}{V_{in}} = H^M \quad (264)$$

$$= \frac{R_L (g_m R_A r_d + R_A + R_M + r_d)}{r_d (R_A + R_M) + R_L (g_m R_A r_d + R_A + R_M + r_d)} \quad (265)$$

La función de transferencia H^L será nula debido al camino directo que forma esta entre la salida y masa:

$$H^L = 0 \quad (266)$$

La primera función de transferencia parcial de segundo orden, H^{GSM} , vendrá modelizada por la Figura 77:

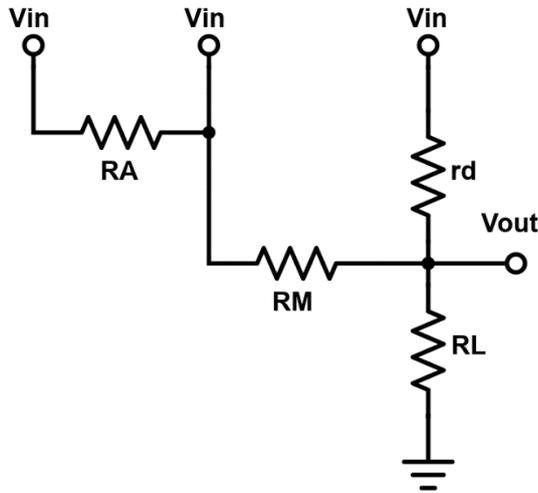


Figura 77. Modelo de PSRR para H^{GSM} en transistor de paso tipo P con compensación por capacidad de Miller.

$$V_{out} = V_{in} \frac{R_L}{R_L + (r_d // R_M)} \quad (267)$$

$$\frac{V_{out}}{V_{in}} = H^{GSM} \quad (268)$$

$$= \frac{R_L r_d + R_L R_M}{R_L r_d + R_L R_M + r_d R_M} \quad (269)$$

Y H^{GSL} y H^{ML} serán nulas al igual que H^L por la misma razón:

$$H^{GSL} = 0 \quad (270)$$

$$H^{ML} = 0 \quad (271)$$

Con todas las constantes de tiempo y funciones de transferencia parciales calculadas, se puede obtener la función de transferencia final a partir de la ecuación (219):

$$H(s) = \frac{a_0 + a_1s + a_2s^2}{1 + b_1s + b_2s^2} \quad (272)$$

$$a_0 = H^0 \quad (273)$$

$$= \frac{R_L}{R_L + r_d} \quad (274)$$

$$a_1 = \tau_{GS}^0 H^{GS} + \tau_M^0 H^M + \tau_L^0 H^L \quad (275)$$

$$= \frac{R_L((R_A g_m r_d + R_A + R_M + r_d)C_M + R_A C_{GS})}{R_L + r_d} \quad (276)$$

$$a_2 = \tau_{GS}^0 \tau_M^{GS} H^{GSM} + \tau_{GS}^0 \tau_L^{GS} H^{GSL} + \tau_M^0 \tau_L^M H^{ML} \quad (277)$$

$$= \frac{R_A(R_M + r_d)C_M C_{GS}}{R_L + r_d} \quad (278)$$

$$b_1 = \tau_{GS}^0 + \tau_M^0 + \tau_L^0 \quad (279)$$

$$= \frac{(R_A R_L g_m r_d + R_A R_L + R_A r_d + R_L R_M + R_L r_d + R_M r_d)C_M + (R_A(R_L + r_d))C_{GS} + (R_L r_d)C_L}{R_L + r_d} \quad (280)$$

$$b_2 = \tau_{GS}^0 \tau_M^{GS} + \tau_{GS}^0 \tau_L^{GS} + \tau_M^0 \tau_L^M \quad (281)$$

$$= \frac{(R_A + R_M)R_L r_d C_L C_M + (R_A R_L r_d)C_L C_{GS} + (R_L R_M + R_L r_d + R_M r_d)R_A C_M C_{GS}}{R_L + r_d} \quad (282)$$

Al igual que en el caso del transistor de paso tipo N, no es posible sacar conclusiones a partir de esta función de transferencia tan compleja, por lo que se va a obtener su valor de pico o valor máximo que será igual a la relación entre los términos de primer orden:

$$\frac{a_1}{b_1} = \frac{R_L((R_A g_m r_d + R_A + R_M + r_d)C_M + (R_A)C_{GS})}{(R_A R_L g_m r_d + R_A R_L + R_A r_d + R_L R_M + R_L r_d + R_M r_d)C_M + (R_L + r_d)R_A C_{GS} + (R_L r_d)C_L} \quad (283)$$

Esta se puede empezar simplificando, asumiendo que la resistencia de salida del LDO (R_L) va a tener un valor muy elevado:

$$\frac{a_1}{b_1} = \frac{(R_A g_m r_d + R_A + R_M + r_d)C_M + (R_A)C_{GS}}{(R_A g_m r_d + R_A + R_M + r_d)C_M + (R_A)C_{GS} + (r_d)C_L}, (R_L = \infty) \quad (284)$$

Y que el valor de C_{GS} va a ser muy pequeño en comparación con C_M :

$$\frac{a_1}{b_1} = \frac{R_A \left(1 + g_m r_d + \frac{R_M + r_d}{R_A}\right) C_M}{R_A \left(1 + g_m r_d + \frac{R_M + r_d}{R_A}\right) C_M + (r_d) C_L}, (C_{GS} \ll C_M) \quad (285)$$

El término $(g_m \cdot r_d)$ también se puede considerar mucho más dominante que la suma que tiene a continuación, por lo que se puede simplificar una vez más hasta:

$$\frac{a_1}{b_1} = \frac{R_A(1 + g_m r_d)C_M}{R_A(1 + g_m r_d)C_M + (r_d)C_L} \quad (286)$$

El término común en numerador y denominador es uno de los polos dominantes del circuito, el polo de Miller (p_M), donde se aprovecha la ganancia de la etapa para amplificar el valor efectivo de la capacidad. El otro término es el otro polo dominante del circuito, el polo de salida (p_o). Este es el que se forma entre la capacidad de salida y la resistencia de longitud de canal del transistor de paso.

$$p_M = \frac{1}{R_A(1 + g_m r_d)C_M} \quad (287)$$

$$p_o = \frac{1}{r_d C_L} \quad (288)$$

Conociendo esta relación entre la PSRR y la posición de los polos dominantes del circuito, se llega a la siguiente relación.

$$\frac{a_1}{b_1} = \frac{\frac{1}{p_M}}{\frac{1}{p_M} + \frac{1}{p_o}} \quad (289)$$

El primer caso límite de esta función de transferencia sería la de tener p_M como polo dominante, con p_o a mucha más frecuencia. En este caso el valor de pico de la ecuación (289) llegaría hasta un valor unitario o de 0 dB que dificultaría el cumplimiento de la especificación como se muestra en la Figura 78:

$$\left. \frac{a_1}{b_1} \right|_{p_M \ll p_o} = 1 \quad (290)$$

$$= 0 \text{ dB} \quad (291)$$

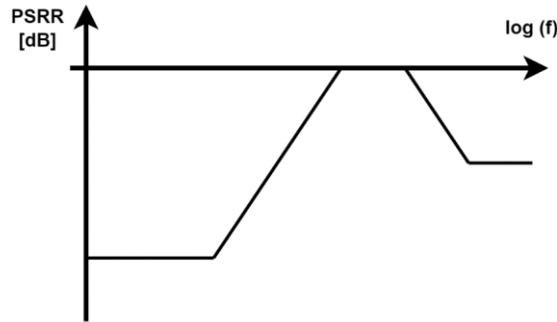


Figura 78. Respuesta aproximada de la PSRR en un transistor de paso tipo P si p_M es el polo dominante.

El otro caso sería el opuesto, con p_o como polo dominante y p_M a mucha más frecuencia. Ahora el valor de pico tendería hasta un valor inferior, atenuando así el valor máximo como se muestra en la Figura 79:

$$\left. \frac{a_1}{b_1} \right|_{p_o \ll p_M} = \frac{1}{p_M} = \frac{1}{p_o} \quad (292)$$

$$= \frac{R_A(1 + g_m r_d) C_M}{r_d C_L} \quad (293)$$

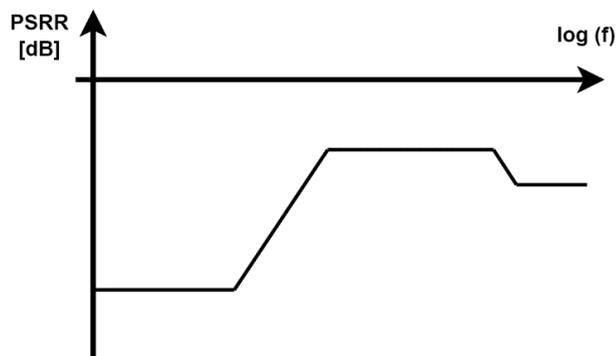


Figura 79. Respuesta aproximada de la PSRR en un transistor de paso tipo P si p_o es el polo dominante.

Este análisis de la PSRR para el transistor de paso tipo P con la compensación de la capacidad de Miller muestra una fuerte relación entre la distribución de los polos para conseguir la estabilidad y el valor máximo al que llegará esta propiedad del LDO. El polo de salida (p_o) debería ser el dominante para atenuar al máximo este camino, con una C_L de valor elevado para crear este camino de

baja impedancia desde la salida hasta masa que absorba el ruido de alta frecuencia. Una capacidad de Miller muy elevada generaría el efecto contrario, con un polo de Miller (p_M) muy dominante que conectaría la ruidosa puerta del transistor de paso directamente con la salida, aunque este se pueda atenuar ligeramente con la resistencia de Miller (R_M).

Este análisis de la PSRR se puede reinterpretar para el caso sin método de compensación. La capacidad de Miller (C_M) se sustituiría por la capacidad parásita de puerta a drenador (C_{GD}) y se igualaría la resistencia de Miller (R_M) a cero en las ecuaciones obtenidas para volver al modelo de la Figura 67. Todos los cálculos y conclusiones serían iguales, pero con los nuevos componentes.

Otro método de compensación que va a modificar la respuesta de la PSRR es el de la capacidad paralela. Este consiste en situar una capacidad paralela (C_p) con resistencia en serie (R_p) entre la puerta del transistor de paso y la entrada de tensión:

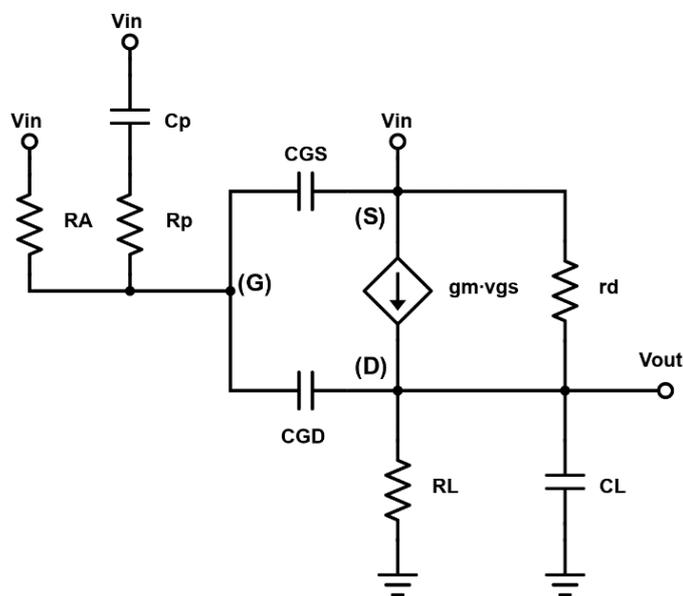


Figura 80. Modelo simplificado para PSRR en un transistor de paso tipo P con compensación por capacidad paralela.

Además de mejorar el control que se tiene sobre ese nodo para la estabilidad, este método de compensación va a influir en la PSRR creando un nuevo camino por el que se va a propagar el ruido hacia la salida del LDO.

Para obtener la función de transferencia de este nuevo modelo se va a partir del calculado anteriormente sin método de compensación, pero se van a sustituir los términos de constante de tiempo y función de transferencia relativos a la capacidad de Miller por los nuevos de la capacidad paralela.

Para la constante de tiempo, esta nueva capacidad va a quedar en serie solo con la resistencia de salida del amplificador y su resistencia en serie:

$$\tau_p^0 = (R_A + R_p)C_p \quad (294)$$

Y la nueva función de transferencia parcial será la misma que la de H^0 , ya que C_p no va a influir en el camino entre entrada y salida:

$$H^P = H^0 \quad (295)$$

$$= \frac{R_L}{R_L + r_d} \quad (296)$$

El nuevo valor de pico para el método de compensación por capacidad paralela para el transistor de paso tipo P es ahora:

$$\frac{a_1}{b_1} = \frac{R_L \left((R_A g_m r_d + R_A + r_d) C_{GD} + (R_A) C_{GS} + (R_A + R_p) C_p \right)}{(R_A R_L g_m r_d + R_A R_L + R_A r_d + R_L r_d) C_{GD} + (R_L + r_d) R_A C_{GS} + (R_L + r_d) (R_A + R_p) C_p + (R_L r_d) C_L} \quad (297)$$

Simplificando de igual forma que en el caso de la capacidad de Miller, el valor de pico de esta función será de:

$$\frac{a_1}{b_1} = \frac{(R_A g_m r_d + R_A + r_d) C_{GD} + (R_A) C_{GS} + (R_A + R_p) C_p}{(R_A g_m r_d + R_A + r_d) C_{GD} + (R_A) C_{GS} + (R_A + R_p) C_p + (r_d) C_L}, (R_L = \infty) \quad (298)$$

$$\frac{a_1}{b_1} = \frac{R_A \left(1 + g_m r_d + \frac{r_d}{R_A} \right) C_{GD} + R_A (C_{GS} + C_p)}{R_A \left(1 + g_m r_d + \frac{r_d}{R_A} \right) C_{GD} + R_A (C_{GS} + C_p) + (r_d) C_p}, (R_A \gg R_p) \quad (299)$$

$$\frac{a_1}{b_1} = \frac{R_A (1 + g_m r_d) C_{GD} + R_A C_p}{R_A (1 + g_m r_d) C_{GD} + R_A C_p + r_d C_L} \quad (300)$$

El nuevo polo que aparece dentro del valor de pico de la PSRR es el de la capacidad paralela (p_p):

$$p_{GD} = \frac{1}{R_A (1 + g_m r_d) C_{GD}} \quad (301)$$

$$p_p = \frac{1}{R_A C_p} \quad (302)$$

$$p_o = \frac{1}{r_d C_L} \quad (303)$$

$$\frac{a_1}{b_1} = \frac{\frac{1}{p_{GD}} + \frac{1}{p_p}}{\frac{1}{p_{GD}} + \frac{1}{p_p} + \frac{1}{p_o}} \quad (304)$$

Y al estar tanto en numerador como en denominador, su efecto es el mismo que el de p_{GD} , tiene que ser lo menos dominante posible para reducir el valor de pico. Esto provoca que tanto el pico de la PSRR con la compensación de Miller como el de la capacidad paralela sigan una forma idéntica. La única diferencia se encontrará en el propio valor de la C_M o la C_p , que en el primer caso será más pequeña que en el segundo para provocar un efecto igual ya que este se amplifica por la ganancia de la etapa del transistor de paso.

Como se ha podido observar durante este apartado, la PSRR está fuertemente ligada a la estabilidad y la distribución de los polos principales del circuito. El tipo de amplificador de error deberá ser también el correcto, con el espejo de corriente activo en la parte superior para que tanto la puerta como el surtidor del transistor de paso tengan un ruido acoplado con la misma magnitud y fase y se puedan cancelar para mejorar la PSRR en bajas frecuencias. En los siguientes apartados de soluciones propuestas será donde se aplicarán todos estos efectos, se estudiarán las relaciones entre ellas, como afectan al resto de las especificaciones y en qué casos concretos se pueden aplicar.

4.2.3. Solución 3: OTA de 5 transistores (pMOS)

La tercera solución propuesta en este trabajo y la primera para el transistor de paso tipo P consiste en emplear un OTA de 5 transistores como amplificador de error sin ningún método de compensación. En esta se va a analizar la distribución de polos y ceros para conseguir la estabilidad y maximizar la PSRR, encontrar sus límites, y proponer varios métodos de compensación simulados y de forma teórica donde se mejoren las prestaciones del circuito.

La variante del OTA que se va a emplear para mejorar la PSRR, como ya se demostró en el apartado PSRR, es la del espejo de corriente activo en la parte superior. Con esta, su rango de salida coincide con el esperado en la puerta del transistor de paso y no es necesario emplear ningún *level-shifter* para hacerlas coincidir.

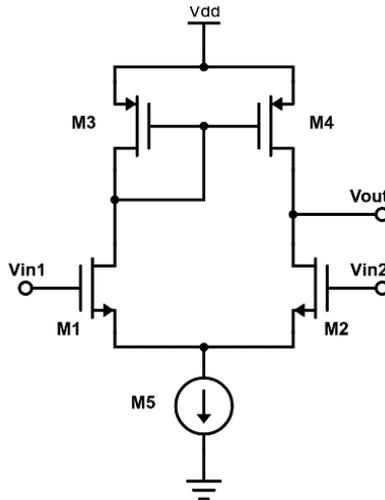


Figura 81. Esquema de un OTA de 5 transistores como amplificador de error de un LDO.

El modelo que se va a emplear para analizar la respuesta en frecuencia en lazo abierto de esta solución es el siguiente:

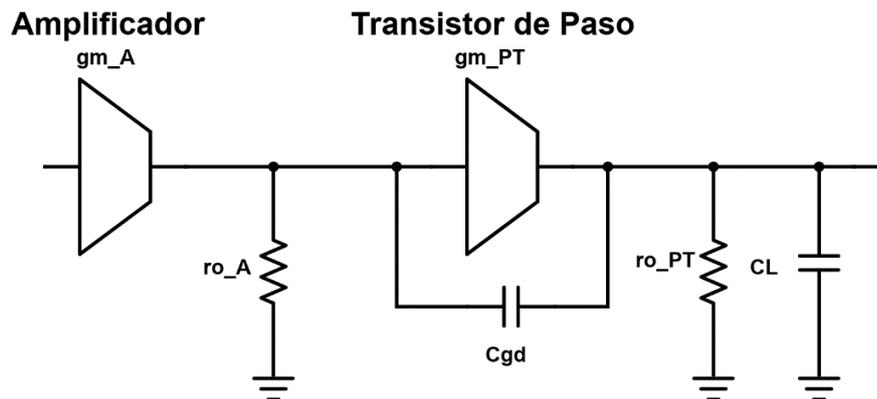


Figura 82. Modelo simplificado de la respuesta en frecuencia de la solución 3.

El amplificador de error se modeliza con una transconductancia (g_{m_A}) y con una resistencia de salida (r_{o_A}), el transistor de paso también con su transconductancia ($g_{m_{PT}}$) y resistencia de salida ($r_{o_{PT}}$), además de su capacidad parásita

de puerta a drenador (C_{gd}), y, por último, la capacidad de carga del LDO (C_L). El resto de los componentes, como la realimentación o nodos internos del amplificador, se van a considerar despreciables debido a las bajas impedancias o capacidades en los nodos donde se encuentran.

Los polos asociados a cada uno de los nodos del circuito serán: el polo del amplificador (p_a) (Ecuación (305)), donde se tiene en cuenta el efecto Miller de la etapa del transistor de paso, y el polo de la salida (p_o) (Ecuación (306)), donde se consideran la resistencia y la capacidad de salida del LDO.

$$p_a = \frac{1}{r_{o_A}(1 + g_{m_{PT}} \cdot r_{o_{PT}})C_{gd}} \quad (305)$$

$$p_o = \frac{1}{r_{o_{PT}} \cdot C_L} \quad (306)$$

Además de estos dos polos, la ganancia en lazo abierto (A_{OL}) será la otra característica que influirá en la estabilidad. Esta estará compuesta por la serie de las dos etapas que forman el modelo:

$$A_{OL} = g_{m_A} \cdot r_{o_A} \cdot g_{m_{PT}} \cdot r_{o_{PT}} \quad (307)$$

Con este sistema de dos polos y ningún cero, la única opción viable para conseguir el margen de fase requerido es la de situar uno de los dos polos como dominante (p_1), y alejar el otro (p_2) más allá del cruce por la ganancia unidad.

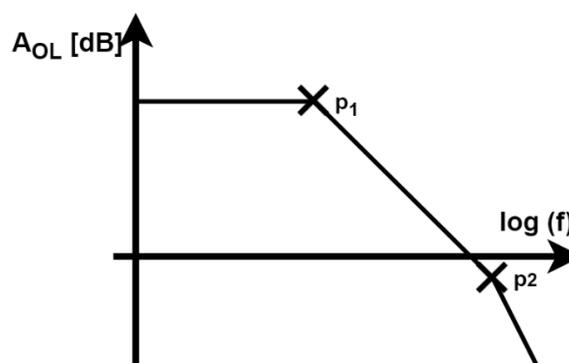


Figura 83. Distribución de polos requerida para lograr el margen de fase esperado.

Observando los componentes que forman parte del modelo de la estabilidad, tanto el amplificador de error como el transistor de paso están fuertemente

restringidos por otras especificaciones del sistema como la corriente de salida. Al no aplicar tampoco ningún método de compensación en esta primera parte de la solución, el único de los componentes que se puede variar para controlar la respuesta en frecuencia es la capacidad de salida (C_L). A continuación, se van a analizar ambas distribuciones de polos y a estudiar como el valor de C_L puede limitar cada una de ellas dependiendo del caso de diseño en que se vaya a aplicar.

4.2.3.1. $p_a < p_o$ (pMOS)

La primera de estas distribuciones consiste en situar p_a como polo dominante y asegurarse de que p_o este lo suficientemente a alta frecuencia como para conseguir el margen de fase necesario.

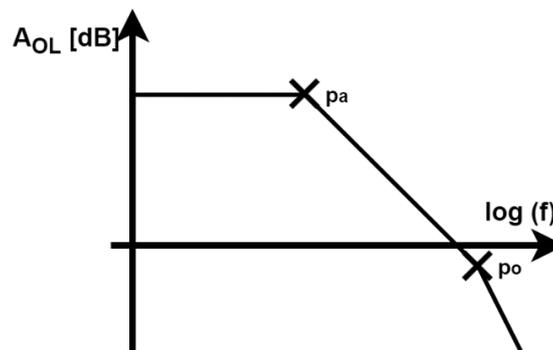


Figura 84. Distribución de polos para conseguir la estabilidad en la solución 3: $p_a < p_o$.

Al disponer solo de C_L como componente real de compensación para controlar la frecuencia a la que aparecen estos polos, habrá que simular la respuesta del circuito para conocer en que frecuencia aparece p_a y limitar el tamaño máximo de C_L (o frecuencia mínima de p_o) para cumplir con la estabilidad. Si se situase este segundo polo exactamente en el cruce por ganancia unidad, el margen de fase sería de 45° . Esta relación puede servir como meta para realizar una aproximación teórica. Igualando la posición del polo de salida (p_o) con el GBP y realizando unas simplificaciones, el valor máximo teórico al que puede llegar C_L para cumplir con esta distribución es de:

$$p_o = \frac{1}{r_{o_PT} \cdot C_L} \quad (308)$$

$$GBP = g_{m_A} \cdot r_{o_A} \cdot g_{m_PT} \cdot r_{o_PT} \frac{1}{r_{o_A}(1 + g_{m_PT} \cdot r_{o_PT})C_{gd}} \quad (309)$$

$$= \frac{g_{m_A} \cdot g_{m_PT} \cdot r_{o_PT}}{(1 + g_{m_PT} \cdot r_{o_PT})C_{gd}} \quad (310)$$

$$= \frac{g_{m_A}}{C_{gd}}, (g_{m_PT} \cdot r_{o_PT} \gg 1) \quad (311)$$

$$p_o = GBP \quad (312)$$

$$\frac{1}{r_{o_PT} \cdot C_L} = \frac{g_{m_A}}{C_{gd}} \quad (313)$$

$$C_{L,m\acute{a}x} = C_{gd} \frac{1}{g_{m_A} \cdot r_{o_PT}} \quad (314)$$

Un valor de C_L superior a este provocaría que p_o apareciese a menos frecuencia y, por consiguiente, no se cumpliría con el margen de fase. En un caso de diseño real, el valor de C_L debería ser todavía más pequeño al obtenido aquí ya que en la aproximación se ha tenido en cuenta un margen de fase de 45° en vez de 60° y se ha pensado en un caso ideal.

Al igual que en el caso del transistor de paso tipo N, esta distribución sin método de compensación tiene el inconveniente de que el reducido valor de C_L que se espera va a empeorar otras especificaciones como la PSRR, llegando a un valor de pico de 0 dB en frecuencias medias como aparece en la ecuación (290). A pesar de esto, esta distribución podría ser aplicada en situaciones de diseño en que la PSRR no sea muy restrictiva y donde p_a ya sea de por sí un polo bastante dominante, ya sea por una C_{gd} de valor elevado o por unas g_{m_A} o r_{o_PT} de valor reducido, permitiendo así emplear una C_L de mayor valor.

4.2.3.2. $p_o < p_a$ (pMOS)

La segunda distribución de polos para esta solución sin método de compensación es la contraria, con p_o como polo dominante y p_a a la suficiente frecuencia como para cumplir con el margen de fase necesario.

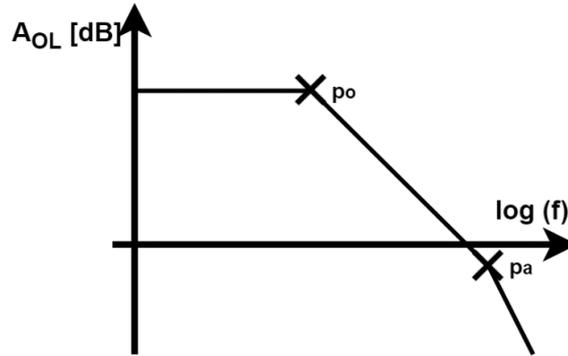


Figura 85. Distribución de polos para conseguir la estabilidad en la solución 3: $p_o < p_a$.

Realizando un proceso igual que en el apartado anterior y asumiendo que se requiere un margen de fase de 45° para la aproximación teórica, se iguala p_a con el GBP para obtener un límite mínimo de C_L :

$$p_a = \frac{1}{r_{o_A}(1 + g_{m_{PT}} \cdot r_{o_{PT}})C_{gd}} \quad (315)$$

$$GBP = g_{m_A} \cdot r_{o_A} \cdot g_{m_{PT}} \cdot r_{o_{PT}} \frac{1}{r_{o_{PT}} \cdot C_L} \quad (316)$$

$$p_a = GBP \quad (317)$$

$$\frac{1}{r_{o_A}(1 + g_{m_{PT}} \cdot r_{o_{PT}})C_{gd}} = \frac{g_{m_A} \cdot r_{o_A} \cdot g_{m_{PT}}}{C_L} \quad (318)$$

$$C_{L,min} = (1 + g_{m_{PT}} \cdot r_{o_{PT}})C_{gd} \cdot g_{m_{PT}} \cdot g_{m_A} \cdot r_{o_A}^2 \quad (319)$$

Un valor de C_L inferior a este supondría que el polo de salida no sería lo suficientemente dominante como para que p_a aparezca más allá del cruce por ganancia unidad y se cumpla con el margen de fase. Al igual que en el caso anterior, en un diseño real el valor mínimo de C_L debería ser todavía mayor ya que la aproximación se ha realizado para un margen de fase de 45° en vez de 60° y para una situación ideal.

Esta segunda distribución tiene la ventaja de que el valor de pico de la PSRR seguirá el valor de la ecuación (292), limitándose a un valor inferior a los 0 dB y siendo así ideal en situaciones de diseño con PSRR más restrictiva. Otros factores que favorecen la aplicación de esta distribución incluyen una p_a en alta

frecuencia, ya sea por una r_{o_A} o una C_{gd} de valor reducido, o una p_o en frecuencias más dominantes por una $r_{o_{PT}}$ de valor elevado. También sería necesario disponer de un área para C_L bastante grande debido al límite mínimo que se tiene para su tamaño.

Al no disponer de ningún método de compensación real para controlar la respuesta en frecuencia de estas primeras soluciones, su uso estaría limitado a casos de diseño muy simples y concretos y con especificaciones muy poco restrictivas.

4.2.3.3. Capacidad paralela (pMOS)

El método de compensación por capacidad paralela tiene la ventaja de controlar la capacidad en el nodo de salida del amplificador de error, simplificando y mejorando la respuesta del circuito. Este consiste en situar una capacidad (C_p) con resistencia en serie (R_p) desde este nodo hasta el rail de alimentación. El modelo para estudiar su respuesta en frecuencia es el siguiente:

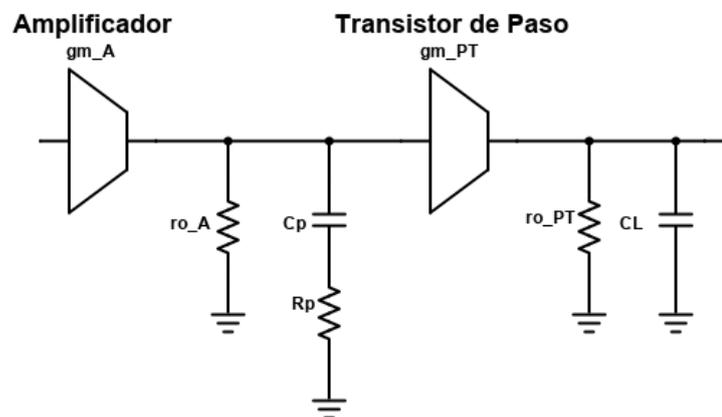


Figura 86. Modelo simplificado de la respuesta en frecuencia de la solución 3 con compensación por capacidad paralela.

La diferencia respecto al modelo sin compensación es la modificación del polo del amplificador. Ahora, debido a que la capacidad paralela que se va a situar va a ser mucho mayor que los valores parásitos que aparezcan en ese nodo, este se puede simplificar al valor de p_p . Además, R_p hace aparecer un cero en la respuesta en frecuencia que puede ser útil en algunos otros casos.

$$p_p = \frac{1}{r_{o_A} \cdot C_p} \quad (320)$$

$$z_p = \frac{1}{R_p \cdot C_p} \quad (321)$$

Este incremento en la capacidad del nodo supone que, el polo que antes se formaba ahí, ahora aparezca todavía más dominante ya que ningún otro parámetro del circuito ha sido modificado. Esta característica sirve para mejorar la distribución de polos del apartado $p_a < p_o$, haciendo el primero de los polos todavía más dominante y permitiendo situar un valor de C_L mayor, que era el inconveniente principal de esa solución.

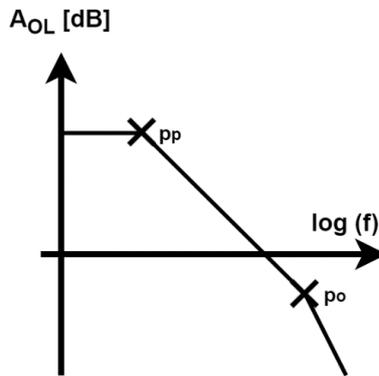


Figura 87. Distribución de polos para conseguir la estabilidad en la solución 3: capacidad paralela.

El nuevo cálculo del valor de C_L máximo para conseguir el margen de fase de 45° es el siguiente:

$$p_o = \frac{1}{r_{o_{PT}} \cdot C_L} \quad (322)$$

$$GBP = g_{m_A} \cdot r_{o_A} \cdot g_{m_{PT}} \cdot r_{o_{PT}} \frac{1}{r_{o_A} \cdot C_p} \quad (323)$$

$$= \frac{g_{m_A} \cdot g_{m_{PT}} \cdot r_{o_{PT}}}{C_p} \quad (324)$$

$$p_o = GBP \quad (325)$$

$$\frac{1}{r_{o_{PT}} \cdot C_L} = \frac{g_{m_A} \cdot g_{m_{PT}} \cdot r_{o_{PT}}}{C_p} \quad (326)$$

$$C_{L,m\acute{a}x} = C_p \frac{1}{g_{m_A} \cdot g_{m_{PT}} \cdot r_{o_{PT}}^2} \quad (327)$$

Este valor resultará siempre superior al obtenido con el método sin compensación, pero a expensas de reducir el ancho de banda del circuito. Respecto a la PSRR, el valor máximo continuará siendo el mismo ya que el polo de salida seguirá siendo el secundario y se seguirá aplicando la situación de la ecuación (290). Por lo tanto, esta solución también sería solo aplicable en situaciones en que no se requiera una alta PSRR, pero se desee una capacidad de carga un poco superior que la de la versión sin método de compensación.

Siguiendo con este razonamiento, una opción más extrema consistiría en situar p_o antes del cruce por ganancia unidad y compensar la caída en la fase que esto supondría con el cero que otorga la resistencia paralela:

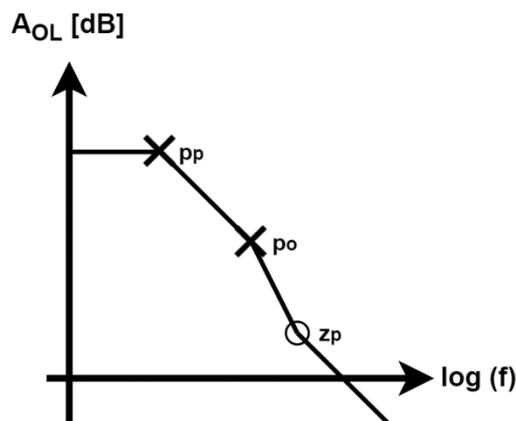


Figura 88. Distribución de polos para conseguir la estabilidad en la solución 3: capacidad y resistencia paralela.

Este nuevo paso supondría otro incremento en el valor máximo admitido para la C_L , pero a cambio de una mayor complejidad a la hora de conseguir la estabilidad debido a que el polo de salida va a variar su posición dependiendo de la corriente de salida. La diferencia respecto a la opción anterior sería que no se limitaría tanto el ancho de banda, pero la PSRR seguiría igual.

Incluso en el caso más extremo en que el nuevo polo de la capacidad paralela y el de salida estuvieran a la misma frecuencia, el valor pico de la PSRR solo bajaría hasta los -6 dB (ecuación (290) con valor igual a 0.5). Por esta razón, la

opción anterior seguiría siendo mejor que esta, a no ser que el ancho de banda esté muy restringido. El siguiente paso para mejorarlo sería el de pasar a la versión del apartado $p_o < p_a$, donde la capacidad paralela ya no otorgaría ninguna ventaja haciendo p_a más dominante.

4.2.3.4. Capacidad de Miller (simulación pMOS)

El método de compensación por capacidad de Miller es muy similar al anterior ya que también sirve para controlar el valor de capacidad en el nodo de salida del amplificador en lugar de depender de los valores parásitos. Para esto, se añade una capacidad discreta (C_M) en serie con una resistencia de compensación (R_M) entre los terminales de la puerta y el drenador del transistor de paso. El siguiente es el modelo simplificado que se va a emplear para analizar la respuesta en frecuencia de esta solución:

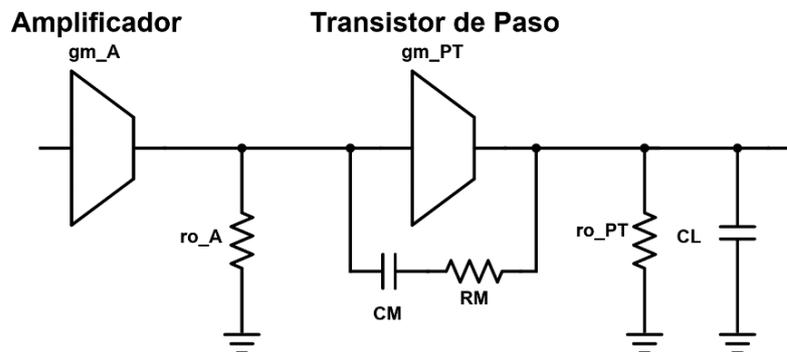


Figura 89. Modelo simplificado de la respuesta en frecuencia de la solución 3 con compensación por capacidad de Miller.

Esta conexión permite aprovechar el efecto Miller que aparece al conectar un condensador entre los terminales de entrada y salida de una etapa inversora con ganancia [1, p. 174]. El nuevo valor del polo y el cero que se forma en este nodo son:

$$p_M = \frac{1}{r_{o_A}(1 + g_{m_{PT}} \cdot r_{o_{PT}})C_M} \quad (328)$$

$$z_M = \frac{1}{R_M \cdot C_M} \quad (329)$$

Además, el valor del polo de salida también cambiará, modificando la impedancia de salida del LDO por la transconductancia del transistor de paso:

$$p_o = \frac{g_{m_PT}}{C_L} \quad (330)$$

Observando estos valores se llega a la conclusión de que el sistema para lograr la estabilidad y obtener una buena PSRR es el mismo que en el caso de la capacidad paralela. Tanto el número de polos y ceros disponibles como el efecto de estos sobre la PSRR teniendo en cuenta el mecanismo de compensación generan unos resultados equivalentes en ambos casos. Por esta razón, el actual apartado de simulación con la capacidad de Miller se va a centrar en el caso del apartado $p_a < p_o$, pero con el polo de Miller (p_M) como dominante en lugar del polo del amplificador (p_a). El resto de las combinaciones se analizarán en el siguiente apartado.

Las ecuaciones para la GBP de esta solución y el nuevo valor teórico máximo para C_L con un margen de fase de 45° son las siguientes:

$$GBP = g_{m_A} \cdot r_{o_A} \cdot g_{m_PT} \cdot r_{o_PT} \frac{1}{r_{o_A}(1 + g_{m_PT} \cdot r_{o_PT})C_M} \quad (331)$$

$$= \frac{g_{m_A} \cdot g_{m_PT} \cdot r_{o_PT}}{(1 + g_{m_PT} \cdot r_{o_PT})C_M} \quad (332)$$

$$\frac{g_{m_A}}{C_M}, (g_{m_PT} \cdot r_{o_PT} \gg 1) \quad (333)$$

$$p_o = GBP \quad (334)$$

$$\frac{g_{m_PT}}{C_L} = \frac{g_{m_A}}{C_M} \quad (335)$$

$$C_{L,m\acute{a}x} = C_M \frac{g_{m_PT}}{g_{m_A}} \quad (336)$$

En relación con la PSRR, el valor de pico seguirá llegando a los 0 dB debido a la dominancia del polo de Miller y la alta frecuencia a la que va a aparecer el polo de salida (ecuación (290)). Por esto, resultará imposible cumplir con las

especificaciones de PSRR y habrá que situar este pico sobre unas frecuencias medias para aproximarse todo lo posible.

Al igual que ocurre en el apartado Capacidad paralela (simulación nMOS) y como se explica en [4], como el primer punto de las especificaciones de la PSRR se encuentra en 1 MHz con un valor de -30dB, la elección de una frecuencia de cruce de 5 MHz situaría el inicio del pico en ese mismo valor sin limitar mucho ese punto. Para ello, habrá que dimensionar tanto la capacidad de compensación (C_M) como la transconductancia del amplificador de error (g_{m_A}) siguiendo la ecuación (337). Al no tener ninguna especificación que limite estos valores más allá de la GBP elegida, se va a optar por un valor de C_M de 10 pF que va a limitar la g_{m_A} a:

$$GBP = \frac{g_{m_A}}{C_M} \quad (337)$$

$$g_{m_A} = C_M \cdot GBP \quad (338)$$

$$= 10 \cdot 10^{-12} \cdot 2\pi \cdot 5 \cdot 10^6 \quad (339)$$

$$= 314 \frac{\mu A}{V} \quad (340)$$

Estos valores podrían haber sido distintos, pero, en este punto medio, ni el tamaño de la capacidad es excesivamente grande ni pequeño, ni la transconductancia es muy difícil de obtener con el tipo de amplificador elegido.

Con estos valores ya se puede calcular la nueva capacidad de salida máxima para el margen de fase de 45°. El peor caso se encontrará para una corriente de salida de 1 mA, donde la $g_{m_{PT}}$ llegará a su mínimo de:

$$g_{m_{PT}}(1 \text{ mA } TT) = 25.33 \frac{mA}{V} \quad (341)$$

$$C_{L,máx} = C_M \frac{g_{m_{PT}}}{g_{m_A}} \quad (342)$$

$$= 10 \cdot 10^{-12} \frac{25.33 \cdot 10^{-3}}{314 \cdot 10^{-6}} \quad (343)$$

$$= 806 \text{ pF} \quad (344)$$

El valor real elegido para C_L va a ser de 500 pF para considerar el margen de fase hasta los 60° y los *corners*. Con este valor, la frecuencia del polo de salida para los casos extremos de corriente de salida es:

$$p_{o,min}(1 \text{ mA TT}) = \frac{25.33 \cdot 10^{-3}}{2\pi \cdot 500 \cdot 10^{-12}} \quad (345)$$

$$= 8 \text{ MHz} \quad (346)$$

$$p_{o,min}(100 \text{ mA TT}) = \frac{1.783}{2\pi \cdot 500 \cdot 10^{-12}} \quad (347)$$

$$= 567 \text{ MHz} \quad (348)$$

La respuesta en frecuencia y PSRR esperadas con estas condiciones de diseño serían las siguientes:

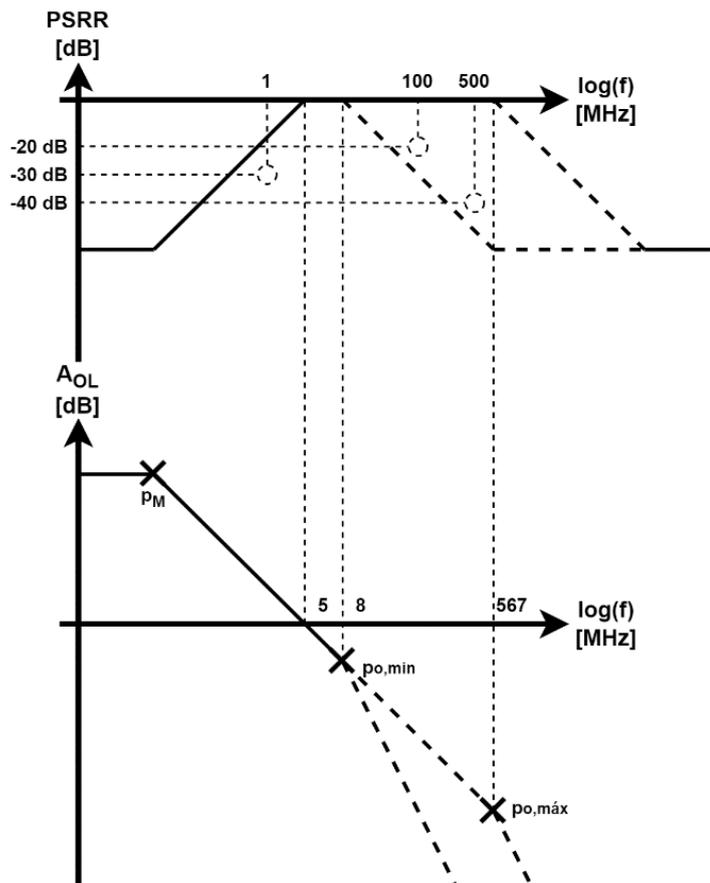


Figura 90. Respuesta en frecuencia y PSRR esperadas para la solución 3 con capacidad de Miller.

El polo de salida (p_o) estaría siempre detrás del cruce por ganancia unidad, aportando el margen de fase necesario. La curva de la PSRR no lograría esquivar los puntos de las especificaciones, pero conseguiría minimizar su impacto situando su valor de pico en las frecuencias medias.

El valor final de la PSRR se estabilizará siguiendo el divisor capacitivo que se formará en alta frecuencia entre la capacidad parásita del transistor de paso, la capacidad de Miller y la carga:

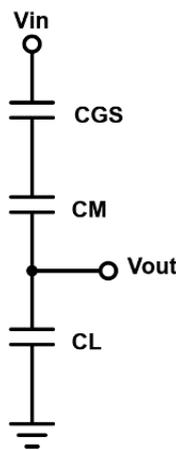


Figura 91. Modelo simplificado de la respuesta de la PSRR en alta frecuencia para la solución 3 con compensación por capacidad de Miller.

$$C_{GS} = 1.4 \text{ pF} \quad (349)$$

$$PSRR_{valor_final} = \frac{C_{GS} // C_M}{(C_{GS} // C_M) + C_L} \quad (350)$$

$$= \frac{\left(\frac{1}{1.4 \cdot 10^{-12}} + \frac{1}{10 \cdot 10^{-12}} \right)^{-1}}{\left(\frac{1}{1.4 \cdot 10^{-12}} + \frac{1}{10 \cdot 10^{-12}} \right)^{-1} + 500 \cdot 10^{-12}} \quad (351)$$

$$= 0.00245 \quad (352)$$

$$= -52.22 \text{ dB} \quad (353)$$

El esquema final que se va a emplear para simular esta solución es el siguiente:

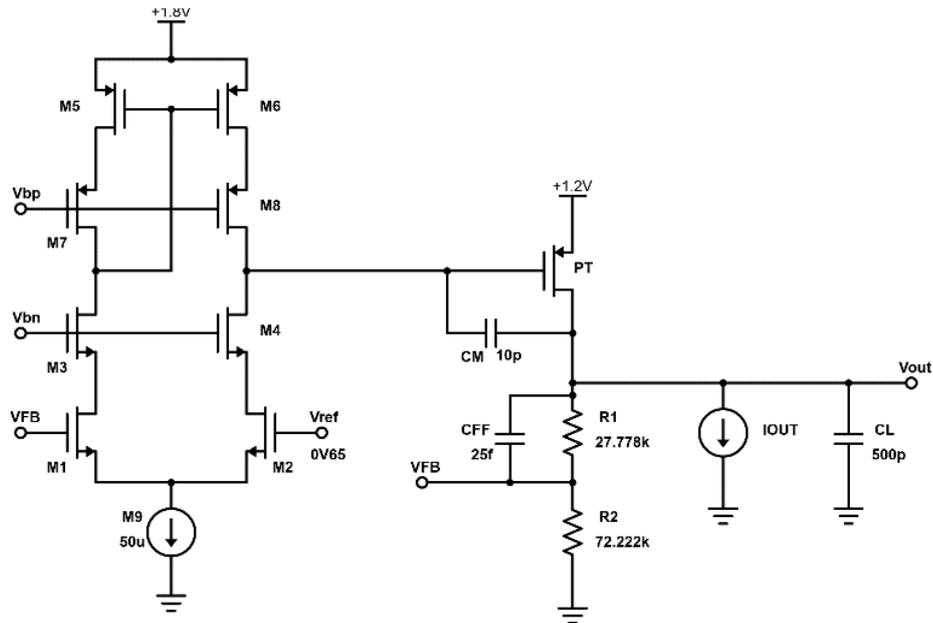


Figura 92. Esquema de la solución 3 con capacidad de Miller.

Todos los componentes se han dimensionado acorde con los valores obtenidos de los cálculos teóricos, como la capacidad de carga, la de Miller, o la transconductancia del amplificador de error. También se ha decidido situar cascos en el amplificador para aumentar la precisión del LDO a expensas de emplear la fuente de tensión de 1.8 V para alimentarlo. Esto provoca que ya no se pueda realizar una realimentación directa de la salida y haya que limitarla a unos 0.65 V con un divisor resistivo de valor 100 kΩ siguiendo los pasos explicados en el apartado Realimentación:

$$R_L = 100 \text{ k}\Omega \quad (354)$$

$$V_{FB} = 0.65 \text{ V} \quad (355)$$

$$\beta = \frac{V_{FB}}{V_{out}} \quad (356)$$

$$= \frac{0.65}{0.9} \quad (357)$$

$$= 0.7222 \quad (358)$$

$$R_1 = 27.778 \text{ k}\Omega \quad (359)$$

$$R_2 = 72.222 \text{ k}\Omega \quad (360)$$

El polo que aparecerá en el nuevo nodo tomará una frecuencia de:

$$p_{FB} = \frac{1}{R_{FB} \cdot C_{FB}} \quad (361)$$

$$C_{FB} = 35 \text{ fF} \quad (362)$$

$$R_{FB} = R_1 // R_2 \quad (363)$$

$$= 20 \text{ k}\Omega \quad (364)$$

$$p_{FB} = 226 \text{ MHz} \quad (365)$$

Por lo que habrá que compensarlo con el método de la capacidad de *feed-forward* de la ecuación (36):

$$C_{FF} = \beta \cdot C_{FB} \quad (366)$$

$$= 0.7222 \cdot 35 \cdot 10^{-15} \quad (367)$$

$$= 25 \text{ fF} \quad (368)$$

Las simulaciones de ganancia de lazo, fase, PSRR, y una tabla comparativa entre los valores teóricos más importantes y los resultados simulados para el régimen de funcionamiento típico en 1 y 100 mA de corriente de salida son las siguientes:

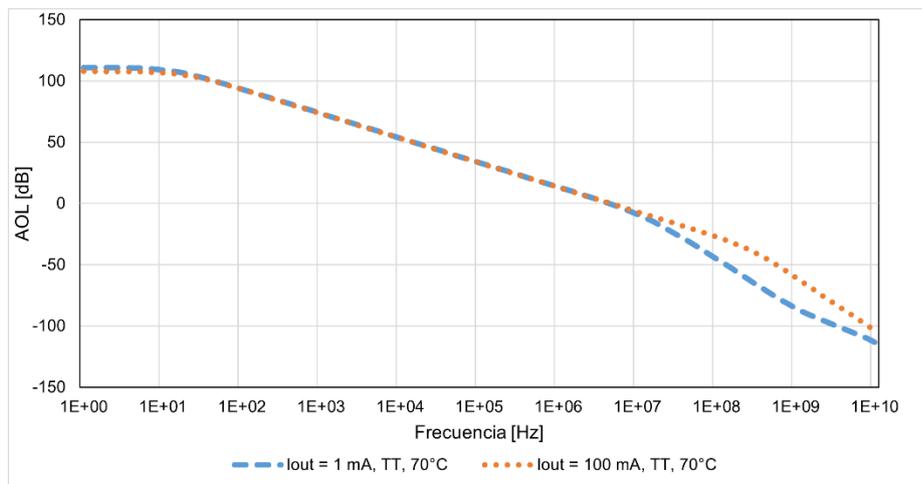


Figura 93. Gráfica de ganancia de lazo en la solución 3 con capacidad de Miller.

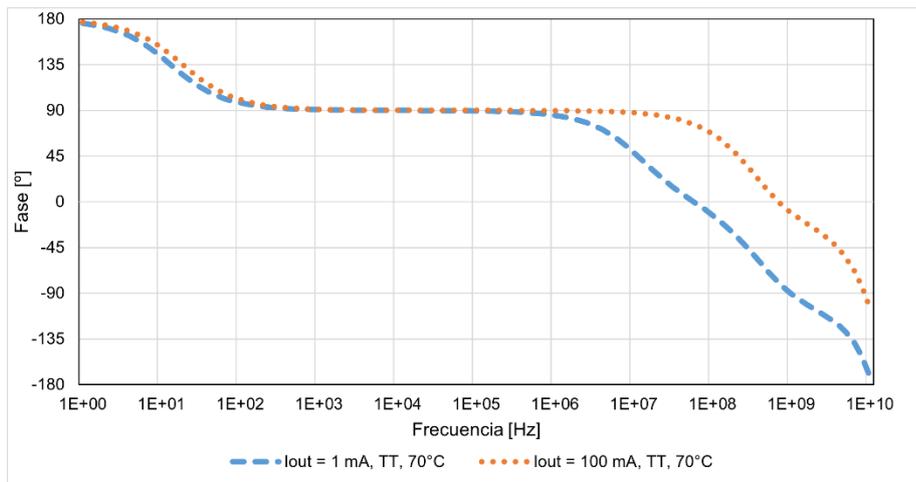


Figura 94. Gráfica de fase en la solución 3 con capacidad de Miller.

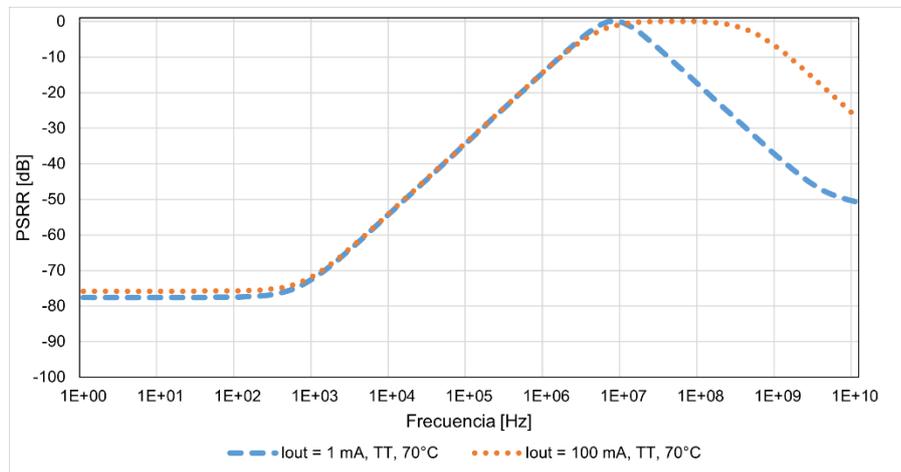


Figura 95. Gráfica de PSRR en la solución 3 con capacidad de Miller.

Tabla 7. Comparación de resultados de la solución 3 con capacidad de Miller.

	VALOR ESPERADO	VALOR SIMULADO IOUT = 1 mA	VALOR SIMULADO IOUT = 100 mA	UNIDADES
UGF	5	4.5	4.5	MHz
p _o	8-567	11.25	210	MHz
PSRR _{pico}	0	0	0	dB
PSRR _{valor_final}	-52.22	-50	-50	dB
PM	>60	69.24	88.91	°

GM	>10	35.62	53.35	dB
PSRR@1MHz	<-30	-13.45	-13.42	dB
PSRR@100MHz	<-20	-18.28	-0.04	dB
PSRR@500MHz	<-40	-32.19	-3.249	dB

Todos los valores simulados aparecen relativamente cerca de los esperados teóricamente. El polo de salida para 100 mA es el que se desvía más notablemente con un factor 2.7 veces más dominante que el esperado. Esto se puede deber a una mala aproximación de la transconductancia del transistor de paso. La PSRR también tiene la forma esperada. En 1 MHz la curva ya ha subido lo suficiente como para no cumplir la especificación en unos -13 dB y llegar a su pico máximo cerca de los 5 MHz del UGF. En alta frecuencia la curva de 1 mA empieza a mejorar mucho antes que la de 100 mA, coincidiendo estos puntos con la frecuencia del polo de salida. El valor final, a pesar de no poder apreciarse en la gráfica, tiende hacia un valor próximo a los -50 dB.

Si se tienen ahora en cuenta los corners de proceso y temperatura, aparecen dos casos principales que van a empeorar la respuesta. El primero es (FF, $I_{out} = 1\text{mA}$, 125°C) y va a otorgar el menor margen de fase de todos los casos. El segundo es (FF, $I_{out} = 100\text{mA}$, -40°C) y va a dar la peor PSRR en alta frecuencia. Los resultados son los siguientes:

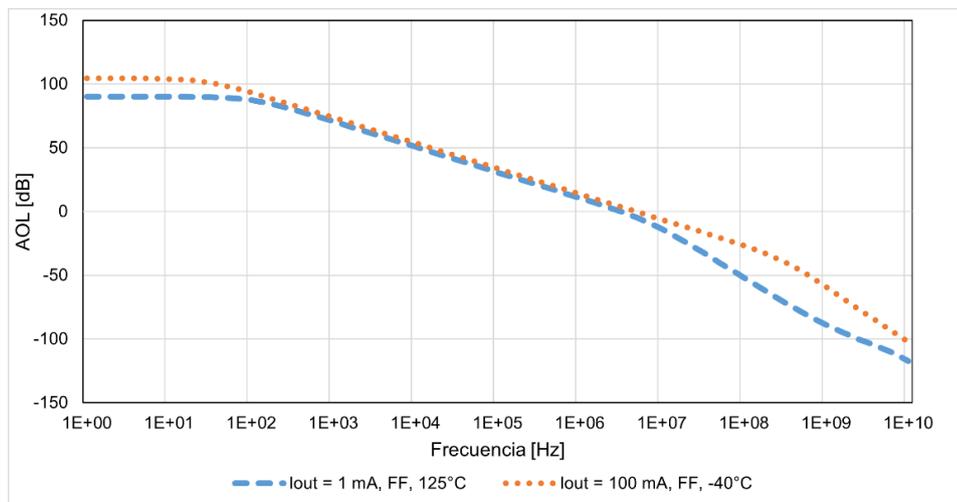


Figura 96. Gráfica de ganancia de lazo en la solución 3 con capacidad de Miller en los peores corners.

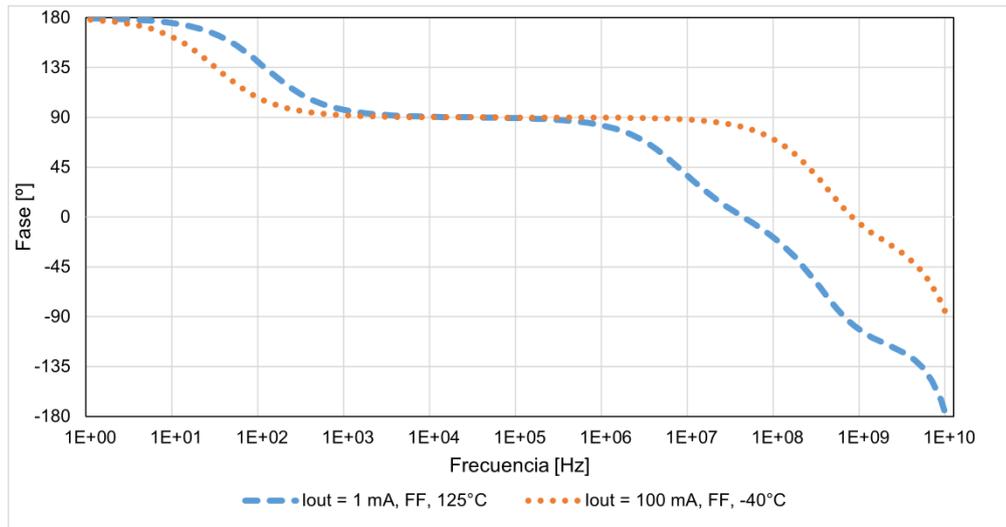


Figura 97. Gráfica de fase en la solución 3 con capacidad de Miller en los peores corners.

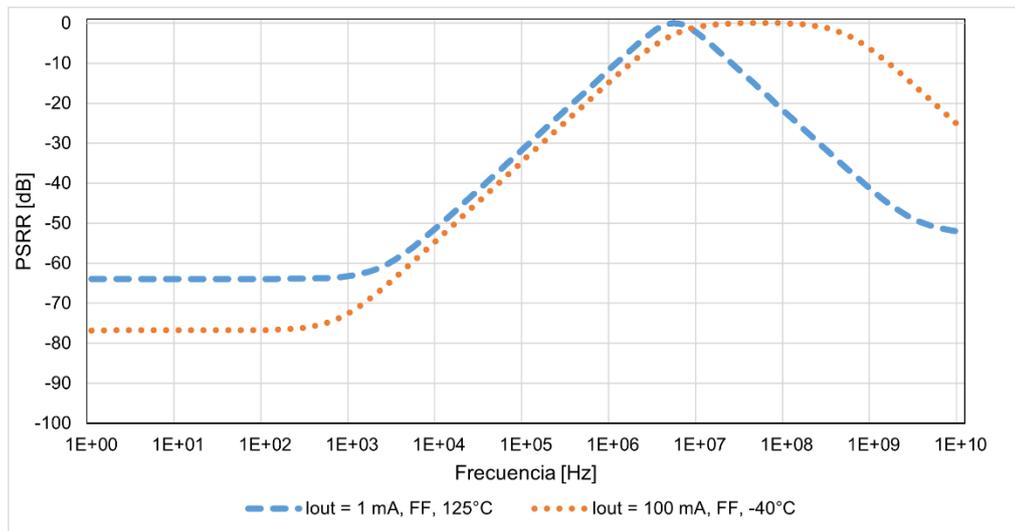


Figura 98. Gráfica de PSRR en la solución 3 con capacidad de Miller en los peores corners.

Tabla 8. Comparación de resultados de la solución 3 con capacidad de Miller en los peores corners.

	VALOR ESPERADO	VALOR SIMULADO IOUT = 1 mA FF, 125°C	VALOR SIMULADO IOUT = 100 mA FF, -40°C	UNIDADES
UGF	5	3.16	5	MHz
p _o	8-567	6.4	225	MHz

PSRR_{pico}	0	0	0	dB
PSRR_{valor_final}	-52.22	-50	-50	dB
PM	>60	66.07	88.93	°
GM	>10	36.05	53.5	dB
PSRR@1MHz	<-30	-10.76	-13.87	dB
PSRR@100MHz	<-20	-22.59	-23.24	dB
PSRR@500MHz	<-40	-36.45	-3.00	dB

Como era de esperar, los resultados simulados se degradan ligeramente de los del caso de funcionamiento típico, pero se mantiene la estabilidad para todos los casos.

La otra especificación principal que se va a emplear para comparar las soluciones es la precisión. En este caso, de los 9 mV de la especificación para la precisión del 1%, 0.3 mV recaen sobre el error sistemático y 7.9 mV en el error por *mismatch*. Gracias al uso de los cascodos se ha conseguido minimizar considerablemente el error sistemático, mientras que el error por *mismatch* se ha mantenido similar al de otras soluciones ya que se han empleado tamaños de transistores similares en todas las soluciones simuladas.

En resumen, en esta solución simulada el factor que más ha limitado las prestaciones ha sido la PSRR. Al no poder emplear una C_L de tamaño arbitrariamente grande debido al esquema de estabilidad que se pretende conseguir, hay que comprometer este factor. Una GBP más dominante permitiría situar una C_L de mayor tamaño, pero esto empeoraría todavía más el primer punto de la PSRR.

4.2.3.5. Capacidad de Miller (otras soluciones pMOS)

Iterando sobre esta solución simulada, al tener las mismas características que la compensación por capacidad paralela, las soluciones alternativas son equivalentes en ambos casos. La principal diferencia se encuentra en el valor absoluto de la capacidad de compensación que se emplee. Al aprovechar el efecto Miller, ese método de compensación requerirá una capacidad de menor

valor para lograr el mismo efecto, lo que es una ventaja. Los efectos que tendrán las distribuciones de polos y ceros serán equivalentes a las expuestas al inicio de la solución.

Respecto a los resultados de la simulación, una variación de los valores absolutos de los componentes podría llegar a ser una opción viable en algunos casos de diseño específicos:

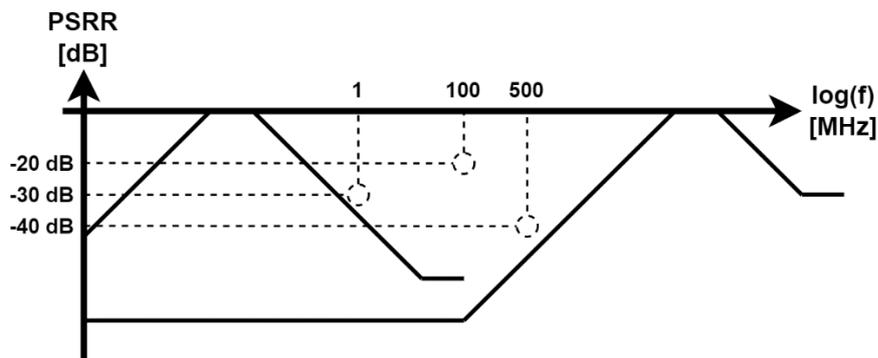


Figura 99. Soluciones alternativas para la PSRR de la solución 3.

Si se desplazasen tanto el polo de Miller como el polo de salida a mayor o menor frecuencia, se podrían evitar los puntos de las especificaciones de la PSRR de las formas que se muestra en la figura anterior. El inconveniente en este caso de diseño específico es que tanto los valores de C_M como de C_L están limitados. Para mover estos puntos, por ejemplo, diez veces a menor frecuencia, serían necesarios condensadores diez veces más grandes, lo que limitaría considerablemente el área. Si en otro caso de diseño específico esto no fuera un problema, ésta sería una forma viable de sobrepasar los resultados de la solución simulada propuesta.

El principal punto negativo se podría encontrar en la solución alternativa donde se emplea el cero de la compensación para lograr la estabilidad, como en la Figura 88. Al tener una capacidad de menor valor, será necesaria una resistencia mayor para lograr que el cero aparezca a la misma frecuencia. Esto puede complicar la respuesta en frecuencia de la PSRR y muchas simplificaciones donde su valor se desprecia en comparación con la resistencia del amplificador de error pueden empezar a no ser tan exactas.

4.2.4. Solución 4: buffer y capacidad paralela

La segunda solución propuesta para el transistor de paso tipo P y la cuarta y última de este trabajo consiste en buscar un esquema de estabilidad que controle la capacidad e impedancia de todos los nodos del circuito y que mejore la curva de la PSRR para que no tenga que subir siempre hasta los 0 dB como en los casos anteriores. Para ello se propone el modelo siguiente:

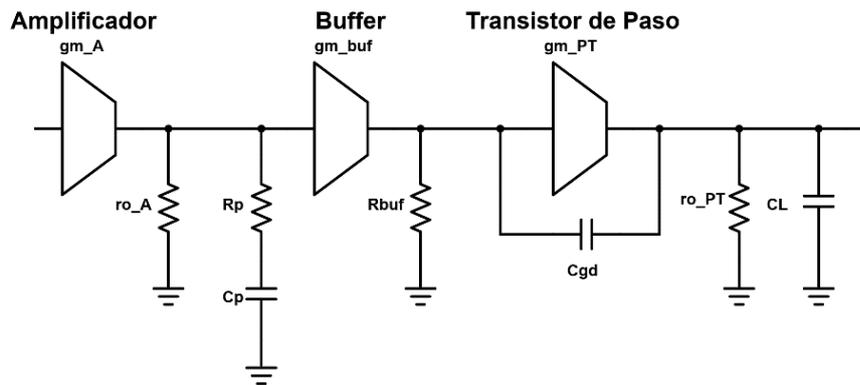


Figura 100. Modelo simplificado de la respuesta en frecuencia de la solución 4 con compensación por buffer y capacidad paralela.

El elemento que va a caracterizar principalmente su respuesta es la etapa *buffer* que se sitúa entre el amplificador y el transistor de paso. Con su baja impedancia de salida, el objetivo funcional que cumple es el de apartar el polo que se forma en su nodo de salida a frecuencias superiores donde ya no influya de forma tan directa en el comportamiento del circuito. El nuevo nodo que aparece ahora entre amplificador y *buffer* se controla mediante una compensación por capacidad paralela. A partir de este modelo, el esquema de estabilidad que se desea lograr para la solución es el siguiente:

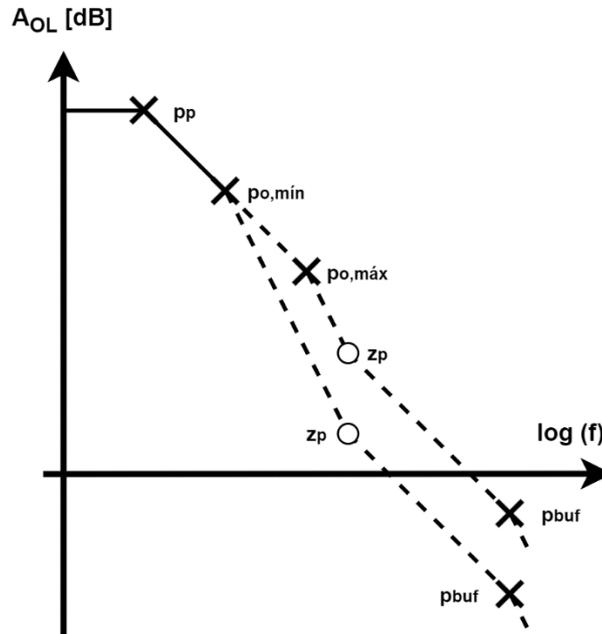


Figura 101. Aproximación de la respuesta en frecuencia de la solución 4 con compensación por buffer y capacidad paralela.

Haciendo referencia tanto al modelo de la Figura 100 como a la respuesta en frecuencia objetivo de la Figura 101, el polo dominante del circuito (p_p) será el que se forma entre la capacidad paralela de compensación (C_p) y la resistencia de salida del amplificador de error (r_{o_A}). Su valor será de:

$$p_p = \frac{1}{r_{o_A} \cdot C_p} \quad (369)$$

La elección de este como polo dominante del circuito permite también ajustar el GBP fácilmente. Suponiendo que la etapa del *buffer* no tiene ganancia, los únicos valores que van a fijarlo van a ser C_p y la transconductancia del amplificador de error (g_{m_A}):

$$A_{OL} = g_{m_A} \cdot r_{o_A} \cdot g_{m_{PT}} \cdot r_{o_{PT}} \quad (370)$$

$$GBP = A_{OL} \cdot p_p \quad (371)$$

$$= g_{m_A} \cdot r_{o_A} \cdot g_{m_{PT}} \cdot r_{o_{PT}} \cdot \frac{1}{r_{o_A} \cdot C_p} \quad (372)$$

$$= \frac{g_{m_A}}{C_p} \cdot g_{m_{PT}} \cdot r_{o_{PT}} \quad (373)$$

El segundo factor de esta ecuación ($g_{m_{PT}} \cdot r_{o_{PT}}$) es la ganancia del transistor de paso. Como se supone que ya se fijó en el paso inicial del dimensionamiento del transistor de paso, se puede substraer fácilmente de la ecuación a la hora de aplicarla.

El segundo polo que aparecerá será el de salida (p_o), el que se forma entre la propia capacidad de salida (C_L) y la resistencia de salida del LDO ($r_{o_{PT}}$), que en este caso es la resistencia de longitud de canal del transistor de paso (r_d) vista desde su drenador. Su frecuencia vendrá dada por:

$$p_o = \frac{1}{r_{o_{PT}} \cdot C_L} \quad (374)$$

Al estar r_d influenciada de forma inversa por la magnitud de la corriente de salida (ecuación (1)), este segundo polo puede tomar principalmente dos posiciones. Para la corriente de salida máxima r_d llegará a su valor mínimo, lo que situará p_o en su frecuencia máxima ($p_{o,máx}$) y viceversa. Este desdoble a partir de la frecuencia del segundo polo dificulta considerablemente la estimación de puntos importantes de la respuesta en frecuencia como el cruce por la ganancia unidad (UGF) o el margen de fase esperado, por lo que no será posible determinar unos límites tan claros como en las otras soluciones.

Como a partir del segundo polo la ganancia empieza a bajar con una inclinación de segundo orden, es necesario compensarla con el cero de la capacidad paralela (z_p) para cruzar el UGF con una inclinación lo más cercana posible a una de primer orden y cumplir así con el margen de fase. Este cero dependerá tanto de C_p como de su resistencia en serie (R_p). Su valor será de:

$$z_p = \frac{1}{R_p \cdot C_p} \quad (375)$$

Este cero deberá situarse a una frecuencia donde, para el caso de corriente de salida mínima y polo de salida más dominante, tenga el suficiente margen

como para incrementar la fase a más de 60° antes del cruce por ganancia unidad.

El tercer polo que aparecerá en el circuito es el del *buffer* (p_{buf}). Este dependerá tanto de la propia resistencia de salida del *buffer* (R_{buf}) como de la capacidad parásita puerta-drenador del transistor de paso (C_{GD}) amplificada por su ganancia. Su valor es de:

$$p_{buf} = \frac{1}{R_{buf} \cdot (1 + g_{m_{PT}} \cdot r_{o_{PT}}) C_{GD}} \quad (376)$$

La posición de este polo deberá ser lo suficientemente alejada como para que, en el caso de corriente de salida máxima donde p_o también aparecerá a la máxima frecuencia posible, la ganancia tenga tiempo de cruzar la UGF con una inclinación de primer orden antes de llegar a este polo. Para ello se reducirá R_{buf} para alejar el polo todo lo necesario.

La ventaja que se obtiene con esta distribución de polos y ceros es la de mejorar la PSRR respecto al resto de las soluciones con el transistor de paso tipo P. Ahora que el polo que se forma con la C_{GD} es mucho menos dominante gracias al *buffer* y p_o aparece a menos frecuencia, su valor máximo ya no va a subir hasta los 0 dB. Siguiendo el estudio de la revisión de [6, p. 27], la forma y puntos más importantes de la curva de la PSRR son los siguientes:

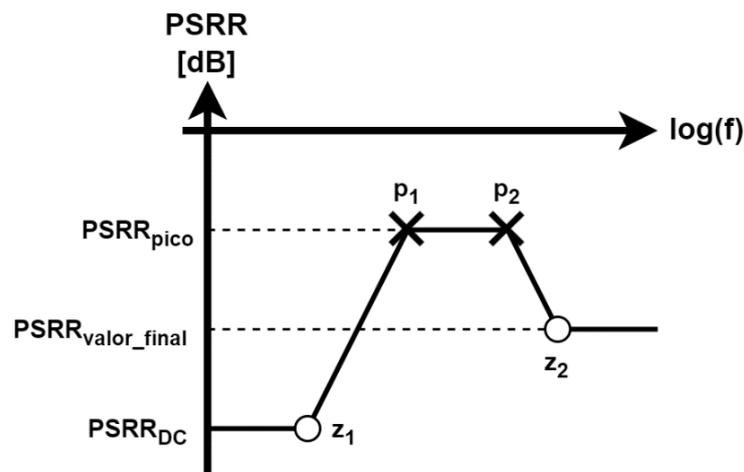


Figura 102. Aproximación de la PSRR de la solución 4 con compensación por buffer y capacidad paralela.

Su valor en baja frecuencia ($PSRR_{DC}$) vendrá dado por la inversa de la ganancia del amplificador de error:

$$PSRR_{DC} = \frac{1}{g_{m_A} \cdot r_{o_A}} \quad (377)$$

Como en frecuencias medias la impedancia del bucle es la que domina la respuesta, la PSRR seguirá una forma aproximadamente inversa a la de la ganancia de lazo. En p_p , donde la ganancia empieza a degradarse con una inclinación de primer orden, la PSRR también lo hará, coincidiendo con el primer cero en su respuesta (z_1). Este efecto continuará hasta que se llegue a la frecuencia del cero de la ganancia (z_p), donde la resistencia en serie con la capacidad paralela empezará a dominar la impedancia de ese nodo y la estabilizará en un valor igual a su propia resistencia. En ese mismo punto, la PSRR pasará por su primer polo (p_1) y también se estabilizará en su valor máximo.

Conociendo el valor inicial de la PSRR y la frecuencia a la que van a ocurrir su primer cero y polo, la ecuación que va a delimitar su valor máximo ($PSRR_{pico}$) es:

$$PSRR_{pico} = PSRR_{DC} + 20 \cdot \log_{10} \left(\frac{z_p}{p_p} \right) \quad (378)$$

$$= 20 \cdot \log_{10} \left(\frac{1}{g_{m_A} \cdot r_{o_A}} \right) + 20 \cdot \log_{10} \left(\frac{r_{o_A} \cdot C_p}{R_p \cdot C_p} \right) \quad (379)$$

$$= 20 \cdot \log_{10} \left(\frac{1}{g_{m_A} \cdot R_p} \right) \quad (380)$$

A partir de este punto, la PSRR se mantendrá en su máximo hasta que la ganancia de lazo cruce por la UGF y deje de dominar la respuesta. Aquí es donde se encontrará el segundo polo (p_2) y la curva empezará otra vez a mejorar. Finalmente, esta se estabilizará en un valor final igual al divisor capacitivo entre los parásitos del transistor de paso y la propia capacidad de salida. El modelo para estimar este valor y su resultado son los siguientes:

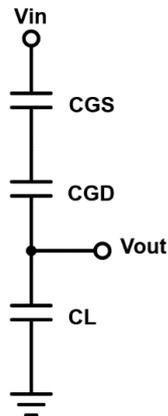


Figura 103. Modelo simplificado de la respuesta de la PSRR en alta frecuencia para la solución 4.

$$PSRR_{valor_final} = \frac{C_{GS} // C_{GD}}{(C_{GS} // C_{GD}) + C_L} \quad (381)$$

Como se ha podido observar durante esta primera parte de la solución propuesta, el análisis teórico tanto de la ganancia de lazo como de la PSRR es mucho más complejo que en las soluciones anteriores. Por ejemplo, el valor de la resistencia de compensación R_p sirve tanto para controlar la frecuencia del cero con la ecuación (375) y lograr la estabilidad, como para delimitar el valor máximo de la PSRR con la ecuación (380). Esto provoca que no sea viable encontrar relaciones directas entre las especificaciones a cumplir y los valores de los componentes y se deba seguir un proceso de diseño más iterativo.

Este proceso debe tener siempre como objetivo lograr cumplir o aproximarse lo máximo posible a las especificaciones del margen de fase y la PSRR, que son las más restrictivas y principales en un LDO. Durante varias simulaciones se han ido ajustando los valores de los componentes siguiendo las tendencias calculadas en las ecuaciones anteriores hasta llegar a un punto de equilibrio entre todas ellas. Los resultados teóricos que se obtienen de estas son los siguientes.

Un valor medio para la GBP puede ser de unos 350 MHz. Conociendo la ganancia del transistor de paso de 37 dB (70.8 en lineal) de su dimensionamiento y eligiendo una C_p de 10 pF y una g_{m_A} de $314 \frac{\mu A}{V}$ se obtiene:

$$GBP = \frac{314 \cdot 10^{-6}}{2\pi \cdot 10 \cdot 10^{-12}} \cdot 70.8 \quad (382)$$

$$= 353 \text{ MHz} \quad (383)$$

Para los esquemas de estabilidad donde solo hay un polo antes del cruce por la UGF, este valor y la GBP coinciden. En esta solución, al tener tanto p_o como el z_p entre medias, la UGF ocurrirá antes de este valor calculado. Debido a la relación que tiene la UGF con la PSRR (punto p_2 donde empieza a mejorar después del máximo) y con el margen de fase (frecuencia en que este se mide), este valor se ha ajustado hasta encontrar el equilibrio entre ambos factores.

Para la frecuencia del polo de salida, un valor de C_L de 5 nF con una r_d de 3.7 kΩ para 1 mA de corriente de salida y 19 Ω para 100 mA se obtiene:

$$p_{o,\text{mín}}(1 \text{ mA}) = \frac{1}{2\pi \cdot 3700 \cdot 5 \cdot 10^{-9}} \quad (384)$$

$$= 8.6 \text{ kHz} \quad (385)$$

$$p_{o,\text{máx}}(100 \text{ mA}) = \frac{1}{2\pi \cdot 19 \cdot 5 \cdot 10^{-9}} \quad (386)$$

$$= 1.67 \text{ MHz} \quad (387)$$

Este valor se ha ajustado teniendo en cuenta la frecuencia a la que aparece el polo anterior p_p y el cero posterior z_p para tener el suficiente espacio como para lograr cumplir con el margen de fase.

A continuación, con estos primeros polos ya establecidos, se elige un valor de R_p de 10.6 kΩ para controlar la posición de z_p y lograr el margen de fase:

$$z_p = \frac{1}{2\pi \cdot 10600 \cdot 10 \cdot 10^{-12}} \quad (388)$$

$$= 1.5 \text{ MHz} \quad (389)$$

Respecto al valor de pico de la PSRR, con todos los componentes que influyen en su valor ya dimensionados y buscando como objetivo evitar dentro de lo posible los puntos de las especificaciones, el resultado teórico es de:

$$PSRR_{pico} = 20 \cdot \log_{10} \left(\frac{1}{314 \cdot 10^{-6} \cdot 10600} \right) \quad (390)$$

$$= -10.44 \text{ dB} \quad (391)$$

Y su valor final, siguiendo el divisor capacitivo de la ecuación (381), es de:

$$PSRR_{valor_final} = \frac{\left(\frac{1}{1.4 \cdot 10^{-12}} + \frac{1}{1 \cdot 10^{-12}} \right)^{-1}}{\left(\frac{1}{1.4 \cdot 10^{-12}} + \frac{1}{1 \cdot 10^{-12}} \right)^{-1} + 5 \cdot 10^{-9}} \quad (392)$$

$$= 0.0001166 \quad (393)$$

$$= -78.66 \text{ dB} \quad (394)$$

El polo del buffer (p_{buf}) se envía lo suficientemente a alta frecuencia con un valor de R_{buf} de 100 Ω con el objetivo de no empeorar el margen de fase en el peor caso de corriente de salida de 100 mA. Su frecuencia es de:

$$p_{buf} = \frac{1}{2\pi \cdot 100 \cdot (1 + 70.8) \cdot 1 \cdot 10^{-12}} \quad (395)$$

$$= 22.16 \text{ MHz} \quad (396)$$

Finalmente, como se verá en el esquema del circuito de la próxima figura, será necesario emplear una realimentación no directa para ajustar este valor desde los 0.9 V de la salida a los 0.65 V que requerirá el amplificador diseñado. Como este amplificador tendrá exactamente las mismas características que el diseñado en la solución anterior apartado Capacidad de Miller (simulación pMOS), se puede considerar que aparecerá a una frecuencia lo suficientemente elevada como para no influir en el diseño con una C_{FF} de valor 25 fF.

El esquema final de la solución es el siguiente:

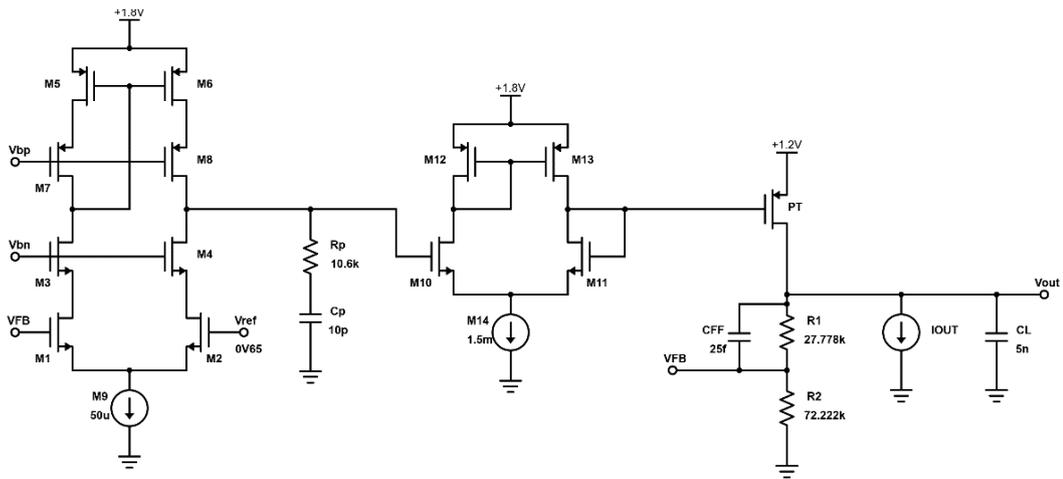


Figura 104. Esquema de la solución 4.

Y las simulaciones de ganancia, fase y PSRR con una tabla comparativa entre los puntos más importantes para el caso de funcionamiento típico:

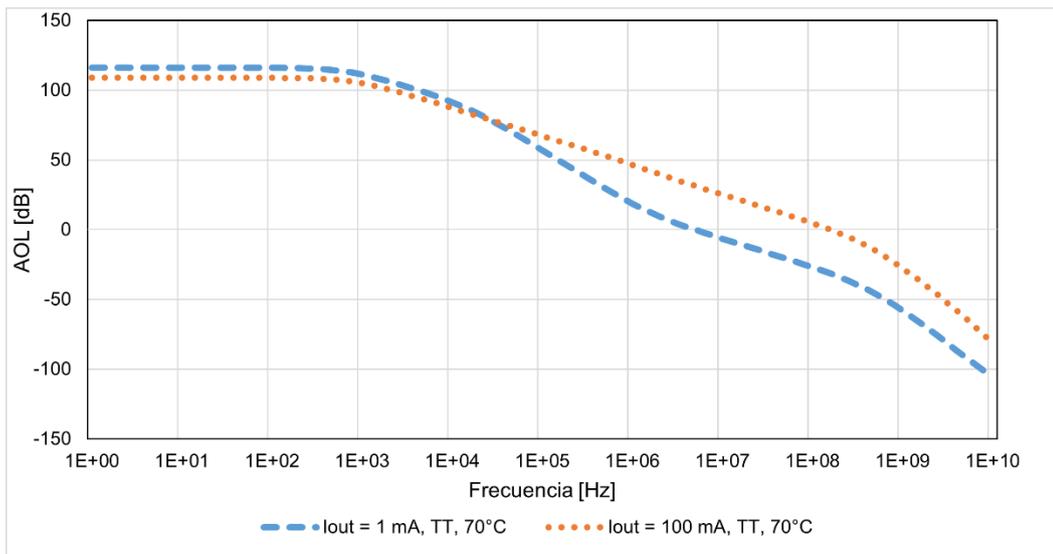


Figura 105. Gráfica de ganancia de lazo en la solución 4.

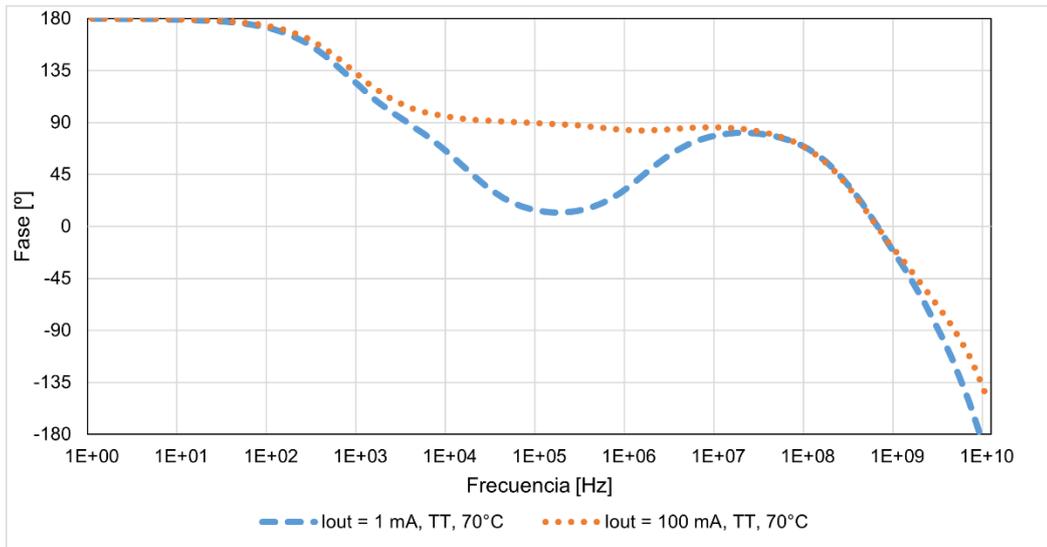


Figura 106. Gráfica de fase en la solución 4.

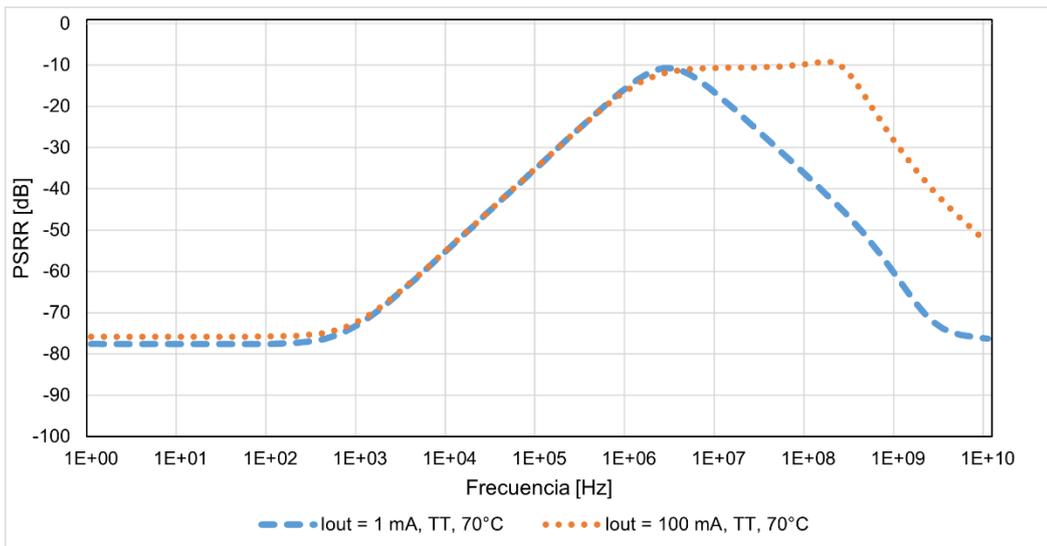


Figura 107. Gráfica de PSRR en la solución 4.

Tabla 9. Comparación de resultados de la solución 4.

	VALOR ESPERADO	VALOR SIMULADO IOUT = 1 mA	VALOR SIMULADO IOUT = 100 mA	UNIDADES
p_o	8.6-1670	17	1000	kHz
UGF	<353	5	158	MHz
z_p	1.5	1.58	1.58	MHz

p_{buf}	22.16	225	225	MHz
PSRR_{pico}	-10.44	-10.72	-10.72	dB
PSRR_{valor_final}	-78.66	-76.31	-76.31	dB
PM	>60	72.12	55.44	°
GM	>10	48.93	17.98	dB
PSRR@1MHz	<-30	-14.99	-15.75	dB
PSRR@100MHz	<-20	-37.2	-9.705	dB
PSRR@500MHz	<-40	-52.98	-19.9	dB

El único valor que se desvía considerablemente del esperado es el polo del buffer (p_{buf}). Aparece sobre los 225 MHz cuando en teoría, con su ecuación de diseño y los valores de los componentes elegidos, debería aparecer sobre los 22 MHz. Esto se puede deber a la precisión de valores como la ganancia del transistor de paso o su capacidad parásita.

Continuando con las especificaciones, el margen de fase no se llega a cumplir por completo en el caso de 100 mA de corriente de salida, solo llega a 55°. Al estar tan cerca se ha dado como bueno para realizar las comparativas. Por su parte, el margen de ganancia se cumple en ambos casos, pero, también para 100 mA, su valor está mucho más ajustado que en otras soluciones. Esto se debe al esquema de distribución de polos y ceros que hace caer la fase muy rápido en alta frecuencia.

En PSRR, a pesar de no cumplir con todos los puntos de las especificaciones, estas se aproximan mucho más que en la solución anterior. El factor que la ha limitado en baja frecuencia ha sido la estabilidad. Para cumplir con el margen de fase, la localización de p_p , p_o y z_p está muy restringida y no es del todo compatibles con llegar al punto de -30 dB en 1 MHz. Solo se ha logrado llegar hasta los -15 dB. En alta frecuencia, la UGF del caso de 100 mA provoca que la PSRR no empiece a bajar lo suficientemente pronto como para no rebasar los límites, aunque esto no ocurre en el caso de 1 mA.

Respecto a los corners de proceso y temperatura, el caso que va a otorgar una peor PSRR va a ser (FF, $I_{out} = 100\text{mA}$, -40°C) y el que va a otorgar un menor margen de fase (SS, $I_{out} = 100\text{mA}$, -40°C). Sus simulaciones de ganancia, fase y PSRR con la tabla comparativa son las siguientes:

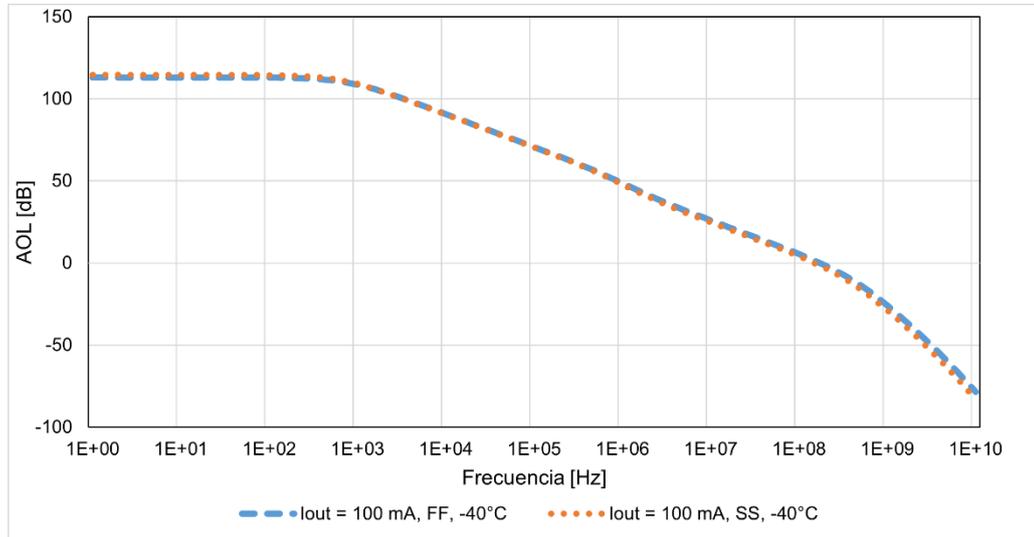


Figura 108. Gráfica de ganancia de lazo en la solución 4 en los peores corners.

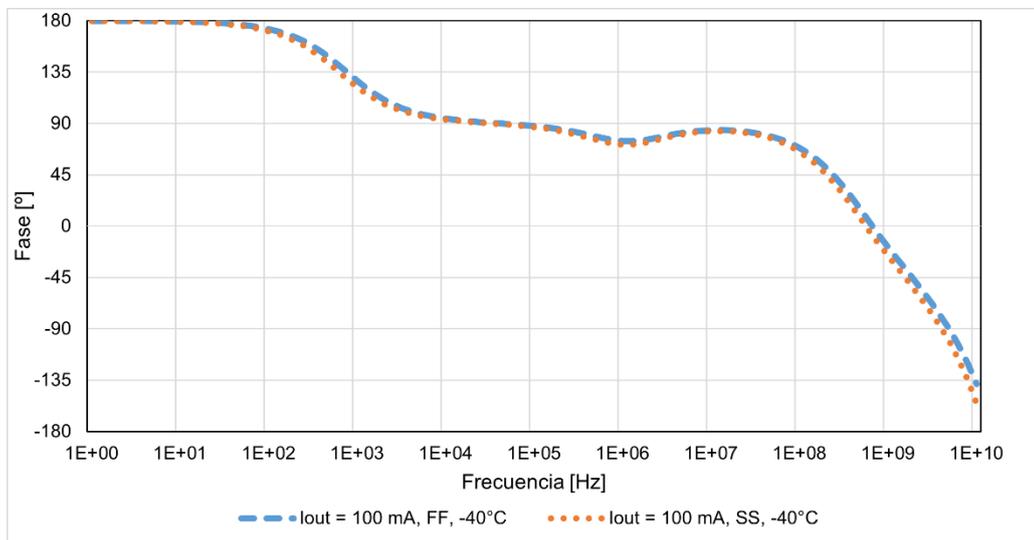


Figura 109. Gráfica de fase en la solución 4 en los peores corners.

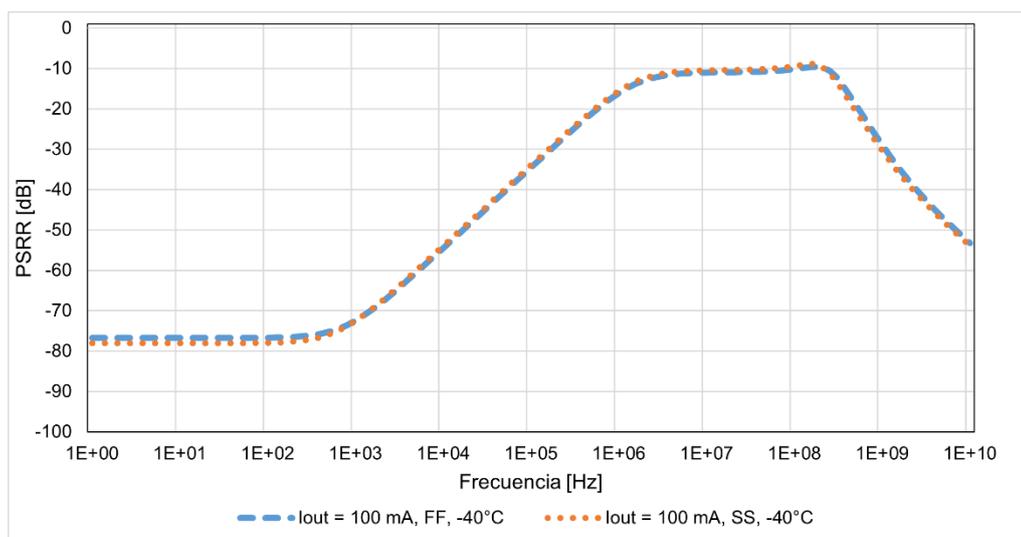


Figura 110. Gráfica de PSRR en la solución 4 en los peores corners.

Tabla 10. Comparación de resultados de la solución 4 en los peores corners.

	VALOR ESPERADO	VALOR SIMULADO IOUT = 100 mA FF, -40°C	VALOR SIMULADO IOUT = 100 mA SS, -40°C	UNIDADES
p_o	1670	1000	1000	kHz
UGF	<353	155	155	MHz
z_p	1.5	1.58	1.58	MHz
p_{buf}	22.16	235	235	MHz
PSRR_{pico}	-10.44	-10.3	-10.3	dB
PSRR_{valor_final}	-78.66	-75	-75	dB
PM	>60	55.75	55.09	°
GM	>10	18.34	17.97	dB
PSRR@1MHz	<-30	-16.08	-15.53	dB
PSRR@100MHz	<-20	-10.14	-9.379	dB
PSRR@500MHz	<-40	-18.94	-20.56	dB

Las prestaciones empeoran ligeramente respecto al caso típico pero las razones de los límites de cada una de ellas son las mismas.

Respecto a la precisión del circuito, de los 9 mV de desviación que se tienen disponibles para cumplir con el 1%, 0.3 mV corresponden con el error sistemático y 7.9 mV al error por mismatch para un total de 8.2 mV. Estos valores coinciden con los de la solución anterior ya que ambos emplean el mismo amplificador de error y transistor de paso.

Esta última solución propuesta mejora considerablemente las prestaciones del resto de las soluciones para el transistor de paso tipo P. Su PSRR ya no debe subir siempre hasta los 0 dB y se puede ajustar su comportamiento para minimizar el impacto en las especificaciones. Su principal inconveniente recae en la complejidad de diseño. Al introducir una etapa extra y dos métodos de compensación en un solo circuito, los pasos para tener un LDO funcional son mayores. Además, el proceso iterativo y la dependencia entre los componentes hace más difícil estimar los valores finales y realizar una primera aproximación. El uso de recursos también será superior al de otras soluciones, con un *buffer* que necesita mucha corriente para reducir su impedancia de salida y una C_L relativamente grande que va a ocupar un área considerable.

Capítulo 5. Comparativa de resultados

La lista con todas las soluciones propuestas durante este trabajo teniendo en cuenta el tipo de transistor de paso, amplificador de error y método de compensación aplicado es la siguiente:

Tabla 11. Soluciones a comparar teniendo en cuenta el tipo de transistor de paso, amplificador de error y método de compensación aplicado.

TRANSISTOR DE PASO	AMPLIFICADOR DE ERROR	MÉTODO DE COMPENSACIÓN
nMOS	OTA DE 5 TRANSISTORES Y LEVEL-SHIFTER	NINGUNO
		CAPACIDAD PARALELA
	CASCODO PLEGADO	NINGUNO
		CAPACIDAD PARALELA
pMOS	OTA DE 5 TRANSISTORES	NINGUNO
		CAPACIDAD PARALELA
		CAPACIDAD DE MILLER
		BUFFER Y CAPACIDAD PARALELA

Además de los circuitos de estas soluciones, en cada una de ellas se proponen varios métodos de distribución de polos y ceros o valores objetivo para la PSRR. Para realizar la comparativa, algunas de estas soluciones han sido simuladas para generar un punto de comparación absoluto y poder extrapolar las prestaciones de las puramente teóricas. Las comparativas se van a realizar entre estos tres puntos: especificaciones, recursos, y diseño.

Empezando por las especificaciones, la más importante es la estabilidad. Al tratarse de una especificación funcional es imprescindible que se cumpla con el margen de fase y el margen de ganancia en todos los casos para tener un

correcto funcionamiento del circuito. Debido a esto, el punto de comparación no será entre los valores de estos parámetros, sino entre la facilidad para conseguir cumplirla.

Para las soluciones sin método de compensación el cumplimiento de la estabilidad es muy simple. En las distribuciones de polos como en la del apartado $p_a < p_o$ se obtiene un valor de C_L máximo y para los apartados del tipo $p_o < p_a$ un valor de C_L mínimo. Solo hay que seguir un proceso de diseño simple para tener un LDO estable.

Para las soluciones con método de compensación por capacidad paralela o capacidad de Miller este proceso se complica un poco más. Al tener en estos casos control tanto sobre el nodo de salida con C_L como sobre el nodo compensado aparecen más posibles soluciones para lograr la estabilidad. En el caso de la solución 4 con el buffer se llega al límite de esta complejidad con varios parámetros modificando el margen de fase al mismo tiempo.

Tabla 12. Dificultad para lograr la estabilidad teniendo en cuenta el método de compensación aplicado.

MÉTODO DE COMPENSACIÓN	DIFICULTAD PARA CONSEGUIR LA ESTABILIDAD
NINGUNO	BAJA
CAPACIDAD PARALELA	MEDIA
CAPACIDAD DE MILLER	MEDIA
BUFFER (pMOS)	ALTA

La segunda especificación más importante es la PSRR. Al tratarse ahora de una especificación de rendimiento sí que se ha de comparar el valor absoluto de cada una de ellas. La primera distinción clara aparece en el tipo de transistor de paso. El nMOS es mucho mejor ya que, como se explica en el apartado PSRR [4], la impedancia vista desde la entrada de tensión es superior a la versión pMOS. Esto significa que, para unas especificaciones de PSRR muy restrictivas, sería

muy recomendable realizar el diseño con el transistor de paso tipo N siempre que se tenga disponible una fuente de tensión adicional y superior a la primera para cumplir con su requisito de aplicación.

Analizando también los métodos de compensación, si no se aplica ninguno el control sobre el valor de pico y la frecuencia donde este aparece va a ser muy limitada. Al aplicar uno de estos, especialmente el de la capacidad paralela en el nMOS, la PSRR ya se puede controlar con más precisión y se mejora su valor absoluto.

Tabla 13. Prestaciones de la PSRR teniendo en cuenta el tipo de transistor de paso y el método de compensación aplicado.

TRANSISTOR DE PASO	MÉTODO DE COMPENSACIÓN	PRESTACIONES PSRR
nMOS	NINGUNO	BUENA
	CAPACIDAD PARALELA	EXCELENTE
pMOS	NINGUNO	MUY MALA
	CAPACIDAD PARALELA	MALA
	CAPACIDAD DE MILLER	MALA
	BUFFER Y CAPACIDAD PARALELA	MEDIA

La última especificación que se ha tenido en cuenta en este estudio es la precisión. La mayor influencia sobre el error sistemático la tiene el uso o no de cascodos a la salida del amplificador de error. Sin ellos se produce el efecto explicado en el apartado Amplificador de error donde las dos ramas del amplificador de error se desequilibran y, en los casos simulados, muestran un error de unos 4.6 mV. En los casos con cascodos, este valor se reduce a unos 0.3 o 0.9 mV mostrando una clara mejora.

Tabla 14. Error sistemático esperado teniendo en cuenta la arquitectura del amplificador de error.

AMPLIFICADOR DE ERROR	ERROR SISTEMÁTICO
SIN CASCODOS	ALTO
CON CASCODOS	BAJO

El otro factor que empeora a la precisión de la salida es el *mismatch*. En este caso ni la arquitectura del LDO ni el método de compensación aplicado van a afectar a este error, solo el área del par diferencial o los espejos de corriente. Ambas fuentes de error se deberán complementar para no superar el límite de las especificaciones, reduciendo al mínimo el error por *mismatch* en el caso de error sistemático alto y viceversa.

El segundo punto de comparación elegido ha sido entre los recursos empleados para el circuito y, en un circuito microelectrónico, el área es el máspreciado de estos. La capacidad de salida (C_L) será la que más área ocupe, por lo que será preferible aplicar soluciones donde su valor no sea excesivamente grande si el área disponible para el diseño está muy limitada. Los resultados de este estudio son los siguientes:

Tabla 15. Estimación del área empleada teniendo en cuenta el método de compensación aplicado.

MÉTODO DE COMPENSACIÓN	ÁREA EMPLEADA
NINGUNO ($p_a < p_o$)	BAJA
NINGUNO ($p_o < p_a$)	ALTA
CAPACIDAD PARALELA	MEDIA
CAPACIDAD DE MILLER	MEDIA
BUFFER + CAPACIDAD PARALELA	ALTA

Además de la C_L , los componentes que van a ocupar más área van a ser el transistor de paso, las capacidades de compensación y el amplificador de error

con sus redes de polarización. Comparadas con el tamaño del primer componente estas pueden ser despreciadas en la mayoría de los casos, pero hay que tener en cuenta situaciones con mucha corriente de salida o capacidades de compensación muy grandes donde puede que su tamaño ya no sea tan pequeño.

El otro gran recurso que afecta a la eficiencia del LDO es el consumo de corriente. La red de realimentación y la polarización del amplificador de error van a consumir una pequeña corriente estática que puede limitar la eficiencia o la disipación de potencia del circuito. En el caso de emplear una etapa *buffer* este valor de corriente va a ser mucho más elevado para reducir su impedancia de salida.

Tabla 16. Consumo de corriente esperado teniendo en cuenta la arquitectura del LDO.

SOLUCIÓN	CONSUMO DE CORRIENTE
OTA DE 5 TRANSISTORES	BAJO
CASCODO PLEGADO	BAJO-MEDIO
BUFFER	ALTO

El último punto de comparación va a tratar sobre el proceso de diseño. De forma general, cuanto más complejo sea un diseño más tiempo va a requerir, pero mejores prestaciones va a otorgar. Dependiendo del método de compensación aplicado el tiempo de diseño va a cambiar.

Tabla 17. Complejidad de diseño esperada teniendo en cuenta la arquitectura del LDO.

MÉTODO DE COMPENSACIÓN	COMPLEJIDAD
NINGUNO	BAJA
CAPACIDAD PARALELA O MILLER	MEDIA
BUFFER	ALTA

Dentro del apartado de diseño también hay que tener en cuenta el nivel de control que el diseñador va a tener para aplicar algunas de las soluciones

propuestas y limitar algunos valores como, por ejemplo, el valor máximo al que llega la PSRR. Las soluciones sin método de compensación aplicado van a estar muy restringidas por los valores parásitos de algunos componentes, mientras que al aplicar un método como el de la capacidad paralela todos los elementos de la respuesta en frecuencia o PSRR pueden ser controlados.

Tabla 18. Nivel de control durante el proceso de diseño teniendo en cuenta la arquitectura del LDO.

MÉTODO DE COMPENSACIÓN	NIVEL DE CONTROL
NINGUNO	BAJO
CAPACIDAD PARALELA O MILLER	ALTO
BUFFER	MEDIO

Capítulo 6. Conclusión

Cada circuito que se vaya a alimentar dentro de un sistema microelectrónico requerirá de unas prestaciones diferentes y variadas y, por lo tanto, las especificaciones del LDO que lo vaya a realizar también lo serán. Dependiendo de la estructura interna de este regulador, los límites de su rendimiento en aspectos como la PSRR o la precisión también cambiarán, por lo que habrá que elegir una acorde al objetivo que se desee cumplir. En este estudio comparativo se han analizado las arquitecturas, métodos de compensación y distribuciones de polos y ceros más típicas para un LDO, así como los límites de cada una de ellas y cómo esto afecta a las prestaciones del circuito. En el aspecto comparativo del trabajo se ha creado una guía de diseño preliminar en que, dependiendo del tipo de transistor de paso, amplificador de error, red de realimentación o método de compensación aplicado, se pueda tomar una decisión respecto a esta estructura para ajustar su rendimiento al deseado además de mostrar paso a paso todo el proceso de diseño para llegar a la solución propuesta.

Capítulo 7. Futuros trabajos

Un posible futuro trabajo podría basarse en las carencias de este para expandir su contenido y contestar mejor a la pregunta de cómo afecta la estructura de un LDO a sus prestaciones y cuál se debería elegir para cada situación de diseño. Algunas de las soluciones que se han propuesto no se han podido simular debido al tiempo que eso requeriría y se han tenido que estudiar solo de forma teórica. Otras arquitecturas, como la realimentación por corriente o versiones alternativas del amplificador de error, tampoco se han podido analizar en profundidad.

Respecto a las especificaciones, solo se han tratado las más básicas e imprescindibles para un regulador de tensión, por lo que se podrían incluir otras como como el ruido, la regulación de carga o la respuesta frente a transitorios para investigar de forma más precisa cada solución. De las que sí se han examinado, la PSRR es la que más necesitaría una revisión. Solo se ha estudiado su respuesta para las distribuciones más básicas y no se han visto todas las combinaciones posibles de transistor de paso, amplificador de error, método de compensación y distribución de polos y ceros.

Dejando aparte las mejoras que se podrían realizar sobre el trabajo actual, otro posible futuro trabajo consistiría en aplicar los conocimientos adquiridos para realizar un diseño que pueda ser empleado en un proyecto real. En este se deberían tener en cuenta aspectos como las secuencias de encendido y apagado, la tensión que deberá soportar cada transistor o el dimensionamiento del amplificador de error o redes de polarización. Su objetivo sería el de perfeccionar el proceso de diseño concreto de un circuito completamente real donde se analicen de forma detallada todos los aspectos de un LDO.

Capítulo 8. Bibliografía

- [1] B. Razavi, Design of Analog CMOS Integrated Circuits, Nueva York: Mc Graw Hill Education, 2015.
- [2] NXP Semiconductors, «LDO voltage regulators: fundamentals, topologies and parameters,» Application note AN11037, 2013.
- [3] C. K. Chava y J. Silva-Martínez, «A Frequency Compensation Scheme for LDO Voltage Regulators,» *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS*, vol. 51, nº 6, pp. 1041-1050, 2004.
- [4] V. Gupta, G. A. Rincón-Mora y P. Raha, «Analysis and Design of Monolithic, High PSR, Linear Regulators for SoC Applications».
- [5] A. Hajimiri, «Generalized Time and Transfer Constant Circuit Analysis,» *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS*, vol. 57, nº 6, pp. 1105-1121, 2010.
- [6] J. Jiang, «Design and realization of low dropout voltage regulator and voltage reference in deep-submicron CMOS for emerging Internet-of-Things and satellites,» Doctoral thesis, Nanyang Technological University, Singapur, 2018.
- [7] C. K. Chava y J. Silva-Martinez, «A ROBUST FREQUENCY COMPENSATION SCHEME FOR LDO REGULATORS,» Analog and Mixed Signal Center, A&M University, Texas.
- [8] M. Arif Sobhan Bhuiyan, M. R. Hossain, K. Nisa' Minhada, F. Haque, M. Shahriar Khan Hemel, O. Md Dawi, M. Bin Ibne Reaz y K. J. A. Ooi, «CMOS Low-Dropout Voltage Regulator Design Trends. An Overview,» *Electronics, Circuit and Signal Processing*, nº 11,193, 2022.
- [9] T. Instruments, «LDO Basics,» SLYY151A, Texas, 2018.



- [10] Toshiba, *Load Transient Response of LDO and Methods to Improve it*, Application Note, , 2021.

- [11] H. Martínez-García, «Low Drop-Out Voltage Regulator as a Candidate Topology for Photovoltaic Solar Facilities,» Barcelona College of Industrial Engineering (EUETIB), Department of Electronics Engineering, Barcelona, 2015.

- [12] F. Chen, Y. Lu y P. K. T. Mok, «Transfer_Function_Analysis_of_the_Power_Supply_Rejection_Ratio_of_Capacitor-Less_LDOs,» Department of Electronic and Computer Engineering, The Hong Kong University of Science and Technology, Hong Kong, 2019.

- [13] G. Morita, «Understand Low-Dropout Regulator (LDO) Concepts to Achieve Optimal Designs,» Analog Dialogue 48-12, 2014.