



UNIVERSITAT  
POLITÈCNICA  
DE VALÈNCIA

– **TELECOM** ESCUELA  
TÉCNICA **VLC** SUPERIOR  
DE INGENIERÍA DE  
TELECOMUNICACIÓN

UNIVERSITAT POLITÈCNICA DE VALÈNCIA

Escuela Técnica Superior de Ingeniería de  
Telecomunicación

Análisis y diseño de un conversor analógico digital Sigma-  
Delta

Trabajo Fin de Grado

Grado en Ingeniería de Tecnologías y Servicios de  
Telecomunicación

AUTOR/A: Castellero Perea, Pedro Antonio

Tutor/a: Herrero Bosch, Vicente

Cotutor/a externo: GARCIA GONZALEZ, JOSE MANUEL

CURSO ACADÉMICO: 2022/2023



## Resumen

El objetivo de este Trabajo de Fin de Grado es analizar el diseño y la caracterización de un modulador de un convertidor Sigma-Delta en dos tecnologías diferentes. El convertidor sigma delta es un tipo de conversor analógico-digital utilizado en diversas aplicaciones, como comunicaciones, audio y sensores. El modulador es una parte esencial de este convertidor, encargado de realizar la conversión de señales analógicas a digitales.

En este estudio, se ha comparado dos tecnologías de diseño de moduladores Sigma-Delta, explorando sus ventajas y desventajas en términos de rendimiento, velocidad y consumo de energía. Se llevó a cabo un análisis detallado de cada tecnología, incluyendo aspectos como el diseño de circuitos y sus topologías, diseño de circuitos de caracterización y análisis temporal y frecuencial.

Además, se ha realizado una caracterización exhaustiva de los moduladores implementados, evaluando su desempeño y prestaciones en conjunto. Se realizó adicionalmente una mejora sobre los diseñados caracterizándolos y estudiando cómo se realiza dicha mejora con nuevas topologías como la expuesta en este documento.

El estudio de esta práctica, permitirán comprender mejor las características y el rendimiento de los moduladores Sigma Delta además de ayudar a entender como funciona dentro de un sistema como el de un conversor analógico digital..

## **Resume**

The objective of this document is to analyze the design and characterization of the modulator of a Sigma-Delta converter in two different technologies. The Sigma-Delta converter is a type of analog-to-digital converter used in various applications such as communications, audio, and sensors. The modulator is an essential part of this converter, responsible for converting analog signals to digital.

In this study, two Sigma-Delta modulator design technologies will be compared, exploring their advantages and disadvantages in terms of performance, speed, and power consumption. A detailed analysis of each technology will be conducted, including circuit design and topologies, circuit characterization design, and temporal and frequency analysis.

Furthermore, a comprehensive characterization of the implemented modulators will be performed, evaluating their performance and overall capabilities. Improvement will be made by characterizing and studying how it is achieved using new topologies as presented in this document.

Studying this practice will provide a better understanding of the characteristics and performance of Sigma-Delta modulators, as well as help understand their functioning within an analog-to-digital converter system.

# Índice general

## I Memoria

<b>1</b>	<b>Introducción y ADCs</b>	<b>1</b>
1.1	Conceptos . . . . .	1
1.2	Sigma-Delta . . . . .	5
1.3	Bloques del ADC Sigma-Delta y Funcionamiento . . . . .	6
1.3.1	Noise shaping . . . . .	8
<b>2</b>	<b>Diseño del modulador</b>	<b>9</b>
2.1	OpAmps . . . . .	9
2.1.1	Red de condensadores . . . . .	10
2.1.2	Amplificadores internos . . . . .	11
2.2	Cuantizador . . . . .	15
2.3	Generador de Fase . . . . .	16
2.4	Interruptores . . . . .	18
<b>3</b>	<b>Verificación</b>	<b>21</b>
3.1	Simulación del Amplificador . . . . .	21
3.1.1	Caracterización de los amplificadores . . . . .	21
3.1.2	Simulación de las capacidades de sensado del modo común de salida . . . . .	25
3.2	Comparador . . . . .	25
3.3	Generador de Fase . . . . .	28
3.4	Interruptores . . . . .	30
<b>4</b>	<b>Mejora del amplificador</b>	<b>33</b>
4.1	Topología de diseño . . . . .	34
<b>5</b>	<b>Análisis temporal y frecuencial</b>	<b>37</b>
5.1	Análisis frecuencial . . . . .	37
5.2	Análisis temporal . . . . .	38
<b>6</b>	<b>Resultados y Prestaciones</b>	<b>43</b>
<b>7</b>	<b>Conclusión</b>	<b>47</b>
	<b>Bibliografía</b>	<b>49</b>
	<b>Bibliografía</b>	<b>49</b>

# Índice de figuras

1.1	Señal de entrada al sistema en frecuencia. . . . .	2
1.2	Espectro resultante de muetsrear a dos veces $f_b$ . . . . .	2
1.3	Filtro necesario para obtener el espectro deseado. . . . .	3
1.4	Espectro frecuencial con la señal sobremuestreada. . . . .	3
1.5	Posible filtro para obtener la señal de entrada tras el sobremuestreo. . . . .	3
1.6	Ejemplo de salida digitalizada. . . . .	4
1.7	Bloques del modulador de primer orden. . . . .	7
1.8	Modulador de primer orden. . . . .	7
1.9	Modulador de segundo orden. . . . .	8
2.1	Bloque conjunto de sensado. . . . .	9
2.2	Red de sesado del modo común. . . . .	10
2.3	Esquema de condensadores desplegado. . . . .	10
2.4	Esquema de amplificadores . . . . .	11
2.5	Amplificador del modo común. . . . .	12
2.6	Amplificador de modo diferencial, AmpCore. . . . .	13
2.7	Circuito ideal del amplificador. . . . .	15
2.8	Estructura del cuantizador. . . . .	15
2.9	Generación de relojes. . . . .	17
2.10	Flujo de la señal en las dos etapas diferentes de procesado. . . . .	17
2.11	Generación de fases de referencia. . . . .	18
2.12	Curva de transferencia ideal entre tensión en la puerta e impedancia de los <i>switches</i> . . . . .	19
2.13	Esquemático de un <i>switch</i> . . . . .	19
3.1	Test-bench de los amplificadores. . . . .	22
3.2	Capacidades del amplificador. . . . .	22
3.3	Simulación de la caracterización del amplificador. . . . .	23
3.4	Ajuste del OS en la salida. . . . .	24
3.5	Simulación del PSRR. . . . .	24
3.6	<i>Test-bench</i> de la red de sensado de los condensadores. . . . .	25
3.7	<i>Test-bench</i> realizado para el comparador . . . . .	26
3.8	Simulación de entrada ascendente y descendente del comparador. . . . .	26
3.9	Offset del comparador. . . . .	27
3.10	Señal de entrada al comparador en su zona crítica. . . . .	27
3.11	<i>Test-bench</i> diseñado para el generador de fase. . . . .	28
3.12	Simulación del reloj ph1 y su adelantada. . . . .	28
3.13	Simulación del reloj ph1 y ph2 y sus adelantadas. . . . .	29
3.14	Simulación detallada del generador de fase. . . . .	29

3.15	Test-bench para los interruptores. . . . .	30
3.16	Simulación real de la impedancia de un interruptor. . . . .	31
4.1	Topología del amplificador diferencial mejorado. . . . .	33
4.2	Balanceo del sistema y funcionamiento del amplificador con aumento de la tensión $V_{inp}$ . . . . .	35
5.1	FFT del Sigma Delta. . . . .	38
5.2	Medición de armónicos en la FFT. . . . .	39
5.3	Conversión de la señal analógica-digital. . . . .	39
5.4	Densidad de unos y ceros a la salida del sistema. . . . .	39
5.5	<i>Duty Cycle</i> de la señal digitalizada. . . . .	40
5.6	Señal diferencial de salida de los moduladores. . . . .	41
5.7	Señal común de salida de los moduladores. . . . .	41
6.1	. . . . .	46
6.2	. . . . .	46

# Índice de tablas

6.1	Tabla de comparación de valores nominales entre las diferentes tecnologías. . . .	43
6.2	Comparación de ratios de mejora tecnológicas entre corriente y ancho de banda. .	44
6.3	Comparación del modulador respecto la implementación de sus componentes in- ternos. . . . .	44
6.4	Comparación los diferentes moduladores en WC de sus parámetros . . . . .	45





**Parte I**

**Memoria**



# Capítulo 1

## Introducción y ADCs

Este proyecto trata el diseño y verificación de un Conversor Analógico Digital (ADC) Sigma-Delta. El propósito principal es la caracterización del modulador del ADC de una tecnología de  $350nm$ , donde se han estudiado sus prestaciones. Por otro lado, se realizó un cambio de la tecnología anterior a  $110nm$ , donde se ha diseñado de nuevo el sistema completo. Este nuevo Sigma-Delta se volvió a caracterizar y se comprobó que las prestaciones han mejorado, o como mínimo se mantienen respecto a la tecnología anterior. Las topologías aplicadas anteriormente fueron diseñadas de nuevo y optimizadas para esta nueva tecnología, diseñando nuevos bloques más complejos. Se han realizado nuevos diseños de mejora para las prestaciones, sus bancos de prueba y bloques que modulen idealmente su comportamiento. El estudio de las técnicas características de un ADC Sigma-Delta y su respuesta en frecuencia será esencial para la comprensión de su funcionamiento, por lo que se realizarán simulaciones de estas comprobando su funcionamiento.

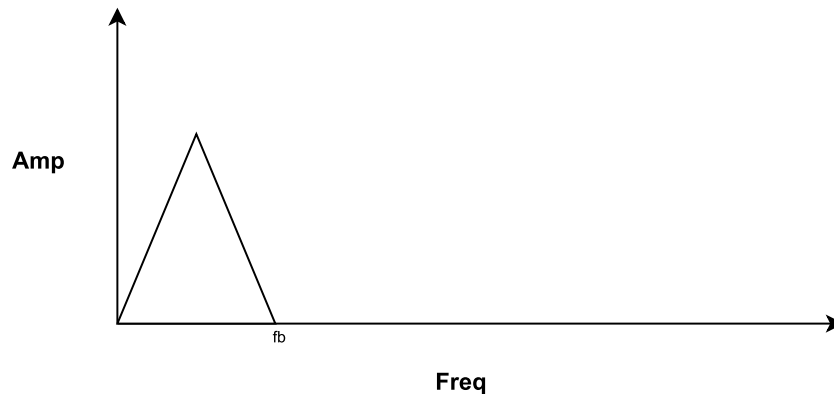
Los convertidores analógico-digitales han sido y siguen siendo un ámbito de estudio y desarrollo en las últimas décadas, por lo cual se encuentran dispositivos con más prestaciones y características. Dependiendo del uso correspondiente, existen diversos tipos y clases de convertidores que pueden desarrollarse, diferenciándose principalmente por el algoritmo de procesado que utilizan. Muchos de ellos requieren aplicar varias técnicas de diseño para mejorar sus prestaciones. Por lo tanto, se expondrán algunos conceptos previos al estudio del diseño de estos convertidores.

### 1.1. Conceptos

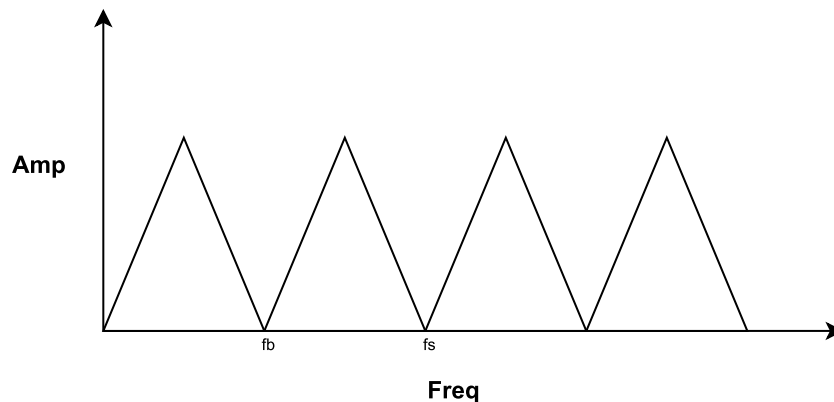
Todos los conversores utilizan diferentes técnicas para mejorar sus prestaciones y simplificar los circuitos que implementan. Aquí se tratarán algunas de las técnicas más comunes entre ellos y será necesario conocerlas para tener una visión general y más completa de su funcionamiento. Comenzando con el concepto del muestreo de la señal de entrada, el Sigma-Delta utiliza la técnica del **oversampling** o sobremuestreo de la señal de entrada. Esta técnica se basa en sobremuestrear la señal de entrada más allá de lo mínimo necesario. Se sabe que para que una señal analógica pueda ser transformada en una señal digital de manera íntegra, bastaría con muestrear esta señal al doble de la frecuencia de la señal de entrada. Esto está bien demostrado en el teorema de Nyquist, que básicamente establece lo siguiente:

$$f_s = f_b \cdot 2 \tag{1.1}$$

Siendo  $f_s$  la frecuencia de muestreo de la señal y  $f_b$  la frecuencia de la señal a muestrear. En caso de que la señal no fuera representada como una delta en el dominio frecuencial, sino que tuviera un ancho de banda espectral, la frecuencia  $f_b$  sería la frecuencia más alta alcanzada por su ancho de banda. Se mostrará un ejemplo con una señal que tenga un espectro en frecuencia de forma triangular.



**Figura 1.1: Señal de entrada al sistema en frecuencia.**

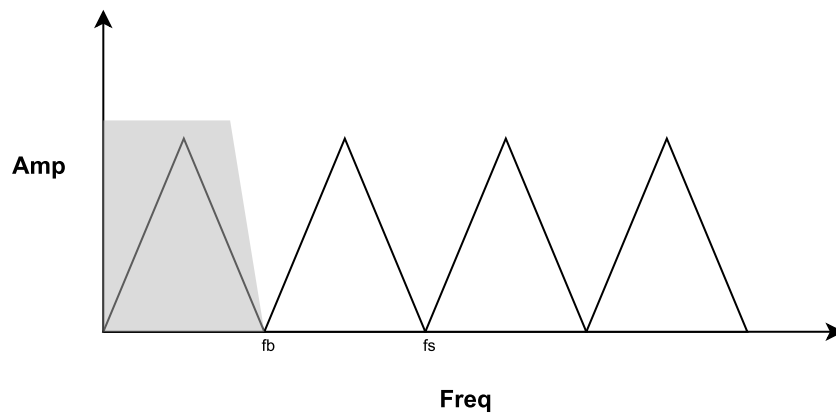


**Figura 1.2: Espectro resultante de muestrear a dos veces  $f_b$ .**

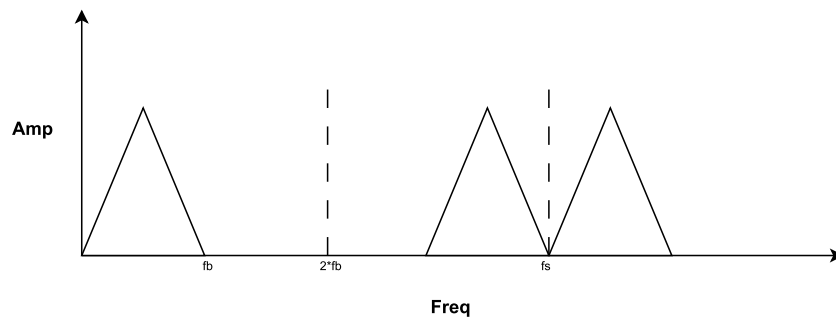
Si a la Figura 1.2 se quisiera aplicar un filtro paso bajo con unas prestaciones aceptables, se diseñaría de manera que la pendiente, debido al espectro y sus réplicas, fuera muy abrupta, ya que la distancia entre la señal original y la siguiente réplica es mínimo. Se debería de realizar el diseño de filtros de alta complejidad para suplir esto.

Sin embargo, si la frecuencia de muestreo fuera mucho mayor que la original, se crearía una banda de transición mucho mayor a la anteriormente expuesta. Por lo tanto, la pendiente del filtro que se desearía conseguir podría ser de mucha menor inclinación, como se puede ver en la Figura 1.5, obteniendo las mismas prestaciones o incluso mejores. Por tanto, filtros más sencillos son resultantes en estos casos.

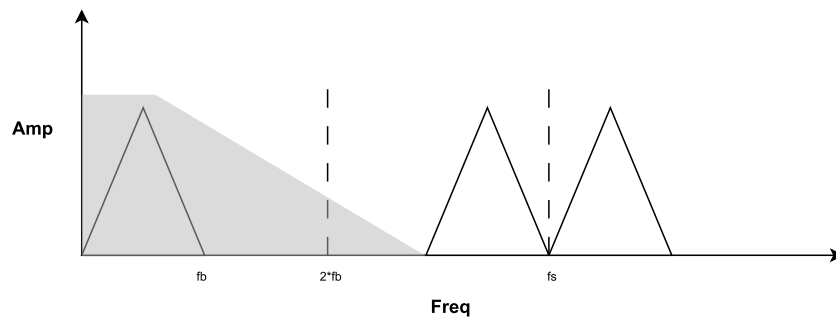
Este concepto recoge la necesidad de realizar un sobremuestreo, además explica implícitamente a través de Nyquist que si se realiza un *undersampling* el espectro se tergiversaría debido al solape



**Figura 1.3: Filtro necesario para obtener el espectro deseado.**



**Figura 1.4: Espectro frecuencial con la señal sobremuestreada.**



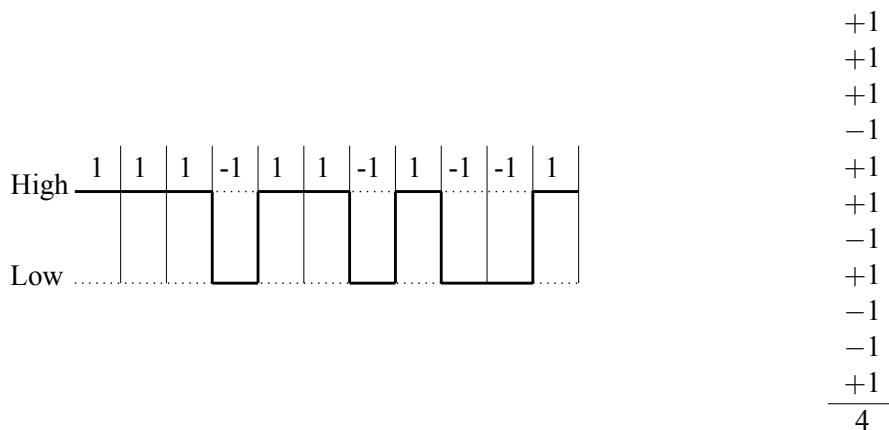
**Figura 1.5: Posible filtro para obtener la señal de entrada tras el sobremuestreo.**

producido por las muestras entre sí. La frecuencia de muestreo utilizada determinará el **ratio de sobremuestreo** (*oversampling rate*, OSR) de la señal. Este término será un indicador respecto a la frecuencia de Nyquist, sobre cuánto más de lo necesario se ha muestreado una señal. Este podrá ser definido con la siguiente ecuación:

$$OSR = \frac{f_s}{BW} \quad (1.2)$$

El *Bandwidth* de la señal vendrá limitado por el filtro de decimación final. Para ello primero se introducirá el concepto de **decimación**. Este proceso tiene como objetivo reducir la frecuencia de muestreo procesando varias muestras para ofrecer como resultado un valor equivalente al conjun-

to de ellas. La salida del ADC, considerando un cuantizador de un solo bit, será representada con valores de -1 y 1 para el nivel bajo y alto, respectivamente. De esta manera, se podrán analizar conjuntos de muestras realizando un promediado de ellas. Realizar una suma binaria de estas muestras ayudará a entender este concepto.



**Figura 1.6: Ejemplo de salida digitalizada.**

Este ejemplo representa la salida de un cuantificador de un bit. Si se suman varias muestras contiguas para formar una trama, el resultado total sería el número 4. En representación binaria, '0100', se necesitarían al menos 4 bits para representar el valor, siendo uno de ellos utilizado para identificar el signo. En esta trama, si todos los niveles fueran positivos (1), el número máximo a representar sería 12, lo que requeriría 5 bits. El parámetro del ADC que indica la resolución real en bits se conoce como **número efectivo de bits** (*Effective Number Of Bits*, ENOB). Sin embargo, debido al ruido del sistema y efectos indeseados, el ENOB siempre será menor en comparación con el ejemplo anterior. El ENOB está determinado por la relación señal a ruido.

$$ENOB = \frac{(SNDR - 1,76)}{6,02} \quad (1.3)$$

La ecuación que determina el ENOB dependerá del tipo de señal de entrada. El descrito en la Ecuación 1.3 es propio de una entrada sinusoidal. La constante 1.76 es utilizada para tener en cuenta el ruido inherente a un ADC ideal, y 6.02 es un factor de conversión de escala logarítmica para convertir la SNR de dB a bits.

Cuando se pretende caracterizar el ruido en un ADC, se pueden identificar diferentes fuentes que se suman al sistema. Estos ruidos son referidos a diferentes errores que aquí ocurren al procesar la señal. La contribución del **Jitter** es producido debido al error de muestreo respecto al reloj. El tiempo que tarda en generar la lógica la señal de muestreo no es el mismo que el tiempo en el que la señal queda muestreada. Esto introduce errores a la salida que son representados en forma de ruido. En realidad lo que se obtiene es un mal ajuste de la sincronización de manera impredecible que se modela como ruido en el sistema.

$$S_J(f) = \frac{A^2 (2\pi f_b \sigma_t)^2}{2 f_s} \quad (1.4)$$

$$P_J = \frac{A^2 (2\pi f_b \sigma_t)^2}{2M} \quad (1.5)$$

A representará la amplitud de la señal de entrada y  $f_b$  su frecuencia. M representará la relación entre  $f_s$  y  $f_d$ , siendo  $f_d$  la frecuencia de Nyquist. Se asume que este error sigue una distribución Gausiana con una desviación estandar  $\sigma_t$ . La topología Sigma-Delta, es bastante inmune al Jitter debido al factor de sobremuestreo, pero no es así en otro tipo de topologías (*pipelined* o *flash*). De la misma manera que hay inexactitud a la hora de muestrear en tiempo la señal, lo hay al muestrear la amplitud. A este fenómeno se le llama **error de cuantificación** (*quantization error*,  $\epsilon_Q$ ). Este error es introducido por el cuantizador, en la etapa final del modulador y afectará a la señal digitalizada a la salida. Para que este error fuera nulo, se debería de tener un cuantificador de infinitos intervalos debido a que el escalón, en dicho caso, sería de tamaño mínimo. El error de cuantificación es debido a los intervalos que el cuantizador internamente contiene. La amplitud de la señal de entrada, a menudo se encontrará dentro de estos intervalos. Esta amplitud será aproximada a uno de los valores del intervalo, el superior o el inferior, modificando por ende el valor real de la señal. La potencia del ruido de cuantificación está determinado por:

$$S_E(f) = \frac{\sigma(e)^2}{f_s} = \frac{\Delta^2}{12 \cdot f_s} \quad (1.6)$$

$$P_Q = \int_{-f_d/2}^{f_d/2} S_E(f) df = \frac{\Delta^2 \cdot f_d}{12 \cdot f_s} = \frac{\Delta^2}{12M} \quad (1.7)$$

El ruido total  $\sigma(e)^2$  se encuentra repartido uniformemente en el rango de  $\pm f_d/2$ .  $S_E$  representará la densidad espectral del ruido del ruido de cuantificación, Ecuación 1.6, pudiendolo integrar entre el rango dicho anteriormente. Como se puede observar en la ecuación este ruido dependerá de la frecuencia a que se muestree y la amplitud de los intervalos tal y como se ve en la Ecuación 1.7.

El ruido de cuantificación suele ser uno de los límites más restrictivos de los conversores, sobretodo de los Sigma-Delta. Otro ruido característico e inherente al circuito es el **ruido térmico**. Este ruido será sumado directamente a la señal de entrada degradando la resultante a la salida. Por lo tanto, el ruido total que se debe de tener en cuenta en un ADC son el *Jitter*, el ruido de cuantificación y el ruido térmico, existiendo la contribución de otros como el *flicker* o el *pop-corn*. Estos efectos deben ser considerados por el diseñador e intentar de mitigarlos lo máximo posible será su misión.

## 1.2. Sigma-Delta

Uno de los más utilizados hoy en día y sobre el que aquí se expone, ya comentado anteriormente, es el ADC  $\Sigma\Delta$  (Sigma-Delta). Algunas de sus características más relevantes son:

- **Sencilla implementación en tecnología MOS.** Esto lo hace muy versátil a la hora de realizar un diseño con circuitos analógicos.
- **Gran resolución en la muestra.** La ventaja más relevante sin duda alguna es la resolución que se puede obtener realizando un sobremuestreo de la muestra propiamente dicha.



- **Funcionamiento a bajas frecuencias.** Dependiendo de la aplicación suele operar en frecuencias bajas, siendo audio por ejemplo una aplicación con frecuencias bastante altas, alrededor de los  $50\text{KHz}$  incluso.
- **Escalable en etapas.** Muchas topologías de este tipo de convertidores contemplan el escalado multietapa, no siendo esta una opción sencilla de implementar y difícil de diseñar, a cambio de mejores prestaciones.

Estas características nos dará una imagen sobre los convertidores analógico digitales, más concretamente en el Sigma-Delta, el cual se describirá en los próximos apartados con detalle.

### 1.3. Bloques del ADC Sigma-Delta y Funcionamiento

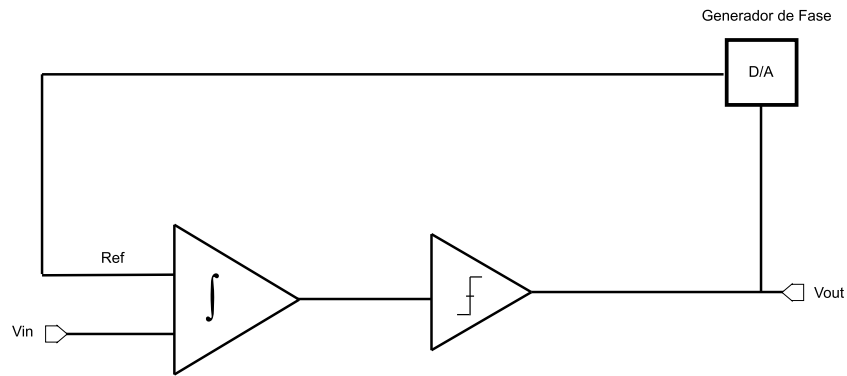
La arquitectura de un Sigma-Delta puede ser variada, dependiendo de las prestaciones necesarias se caracterizará por circuitos más o menos complejos. Sin embargo, la estructura de estos se puede resumir en tres bloques principales:

El **filtro antialiasing** será capaz de eliminar aquellas señales espúreas que pudieran entrar al convertidor, por lo tanto será la primera etapa que conformará este sistema. Estos filtros de antialiasing, pueden ser activos como amplificadores o pasivos, redes RC. Estas últimas pueden ser de alto orden con el propósito de realizar un mejor filtrado, pero para evitar implementar redes de gran tamaño, tal y como se verá posteriormente se utilizará la técnica de *oversampling*. Esto relajará el orden necesario de este filtro para funcionar con las mismas características con un diseño de orden reducido.

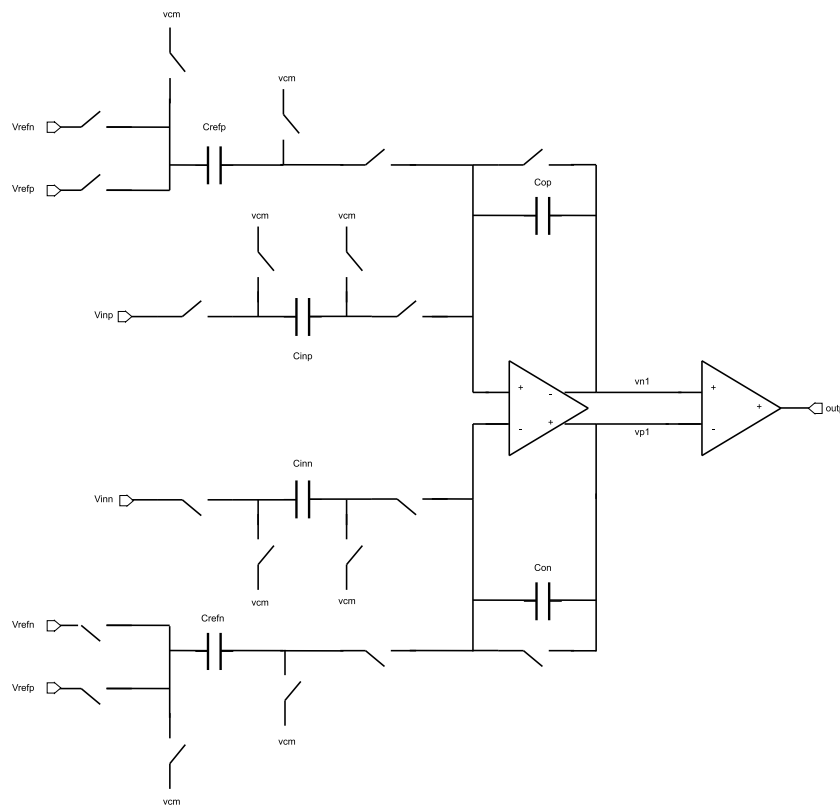
El **modulador** es sin duda el bloque más complejo en su diseño, ya que se trata de una de las partes principales de este convertidor. Aquí se realiza la conversión de analógica a digital de los datos de entrada. Este realiza varios procesos, como el de sensar la señal, procesarla o cuantificar los datos ya procesados. Dependiendo de la complejidad de este podrían encontrarse varios lazos de realimentación, si se tiene un modulador de alto orden, o cuantificadores multibit, si este diferencia más de un bit a su salida. Principalmente encontramos los siguientes elementos: switches, capacidades, comparadores y amplificadores. Estos últimos, en el caso de ser *fully differential* y necesitar regular el modo común, a su vez se componen de dos amplificadores más (uno para la señal diferencial y otro para el modo común) y una red de capacidades que sensan el modo común a la salida para retroalimentarse. La estructura básica de un Sigma-Delta, se reduce a aquella de un modulador de primer orden:

Esta primera topología de la Figura 1.7, tendrá un solo lazo de realimentación que irá desde la salida del comparador hasta el generador de fase que decidirá con cual de las referencias integrará en la siguiente iteración. Si detenidamente se analiza el camino recorrido, es inevitable pensar en un Convertidor Digital Analógico (DAC). Efectivamente dentro del modulador se encuentran DACs transformando la señal digital final, a la salida del comparador, a referencias analógicas en cada etapa.

Como se muestra en la Figura 1.8, el modulador consta de un sistema de **capacidades conmutadas** (*Switched Capacitors*), SC. Este permitirá el paso de la señal  $V_{in\_p}$  (simétricamente ocurre con  $V_{in\_n}$ ) a un primer condensador de entrada,  $C_{inn}$  y  $C_{inp}$  en la figura. Aquí se queda almacenada la carga muestreada de la señal de entrada. Simultáneamente, una de las referencias es cargada en la capacidad del lazo que cargan los condensadores  $C_{ref}$ . En el siguiente tramo, se combinan ambas



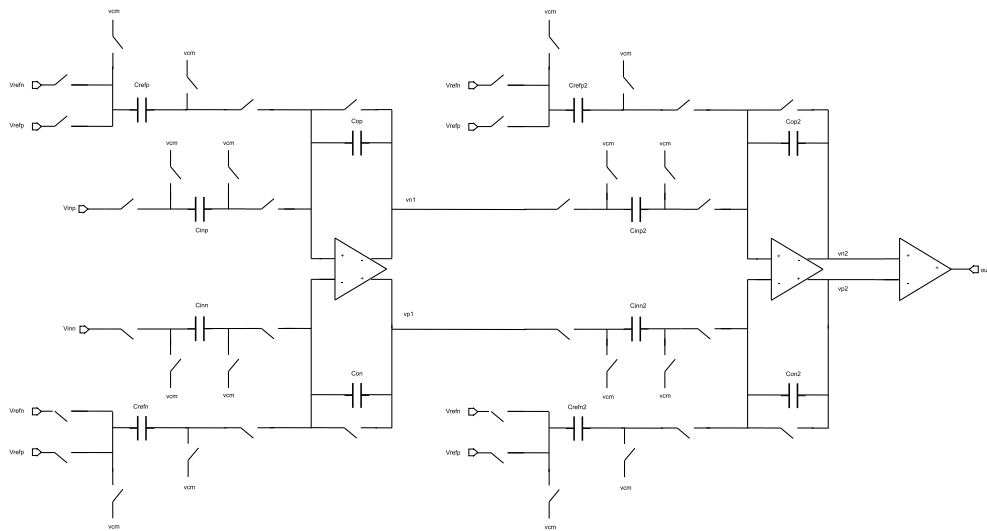
**Figura 1.7: Bloques del modulador de primer orden.**



**Figura 1.8: Modulador de primer orden.**

capacidades en el lazo de realimentación, permitiendo de esa manera que poco a poco se ajuste más al valor de la entrada. Los tamaños de los condensadores respecto al de integración permitirán a los pesos de la señal de entrada y de la referencia ser proporcionales en la integración. En resumen, existen dos etapas, una de sensado y otra de integración por cada iteración. Posteriormente se explicará el diseño de las fases que activarán o no estos interruptores para crear los caminos de la señal adecuados en cada etapa.

Será sin embargo el modulador de segundo orden el más extendido y el aquí diseñado y verificado. Cada etapa que se añada al modulador, es decir, cuanto mayor sea el orden, más bits de resolución serán posibles de alcanzar. La topología será representada en la Figura 1.9.



**Figura 1.9: Modulador de segundo orden.**

En este segundo esquema, la etapa añadida es completamente similar a la anterior. Los únicos componente que varían entre etapas son las capacidades. Estas tendrán unos pesos determinados dependiendo de las características deseadas. Aquí existirán dos lazos de realimentación, uno para cada etapa. [1]

Por último se encuentra el **decimador**. Este es un bloque completamente digital que se encarga de filtrar la señal y por último reducir la frecuencia de sobremuestreo aplicada a la señal de entrada con la que se podrá reconstruir la señal original. El filtro aquí aplicado determinará el ancho de banda de la señal de salida.

### 1.3.1. Noise shaping

Una de las propiedades más importantes y por lo que este ADC es tan utilizado es por esta propiedad. El *noise shaping* es el proceso por el cual la densidad de potencia de ruido de bajas frecuencias se desplaza hacia las altas [1]. La ventaja principal es una mejora de la relación señal a ruido en la banda de interés ya que el espectro del ruido de cuantización es desplazado a las altas frecuencias del espectro. Hay que remarcar que solo este ruido es el desplazado ya que no aplica al resto de ruidos aquí descritos. De esta manera será mucho más sencillo posteriormente el filtrar esta señal y eliminar mayor cantidad de ruido con el filtro final. El ruido que se encontrará en el espectro final tendrá forma de rampa ascendente a partir de una frecuencia con una pendiente que vendrá determinada por el orden del modulador. El desarrollo matemático de esto y la explicación de como el ruido es coloreado de esta forma se expone en el Capítulo ??.

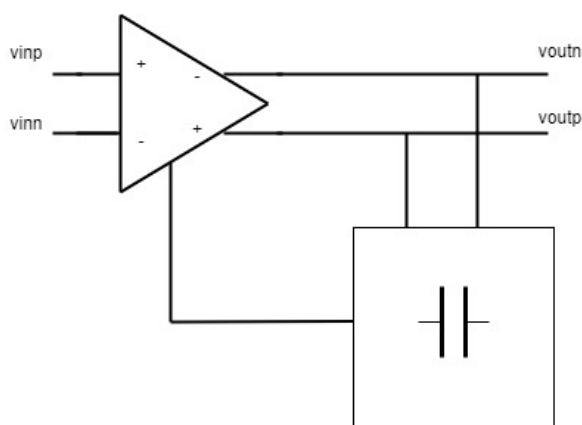
## Capítulo 2

# Diseño del modulador

En este capítulo se realiza el estudio y la justificación de los componentes diseñados para el Sigma-Delta. Como ya se expuso anteriormente, el diseño se concentrará en los diversos componentes que conforman el modulador de este ADC. El objetivo del diseño es mitigar al máximo los efectos indeseados que esta etapa produce sobre la señal a la vez que se optimizan las prestaciones que se pueden conseguir con este diseño. Muchas de estas topologías apuestan por un equilibrio o *trade-off* entre sus especificaciones como el ancho de banda o la ganancia y el consumo total. El diseño de este conversor está basado en una tecnología de  $110nm$ . Asimismo, se han diseñado estos mismos bloques con componentes ideales o en código *verilogA* para posteriormente hacer una simulación ideal del sistema y compararlo junto al realizado con transistores.

### 2.1. OpAmps

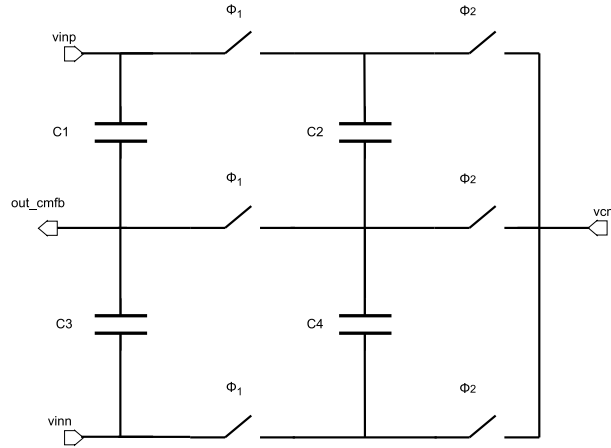
El diseño realizado se ha dividido en dos bloques individuales donde se realiza una función por separado en cada uno de ellos y se retroalimentan entre sí.



**Figura 2.1: Bloque conjunto de sensado.**

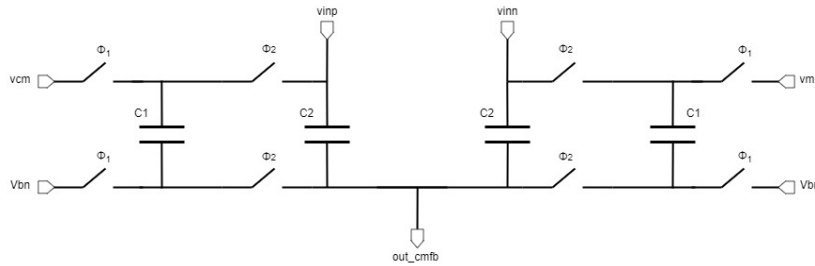
### 2.1.1. Red de condensadores

El primer bloque a analizar se trata de la red de sensado del modo común con condensadores. Como entrada a este bloque se encuentran: las señales de salida del amplificador, el modo común de referencia, las fases de reloj de los interruptores y por último la alimentación (no todas se ha representado en la Figura 2.2 para simplificar su comprensión). A la salida, este dispositivo muestra un valor sensado del modo común que es introducido de nuevo al amplificador. Este será procesado con el modo común de referencia que proviene del nivel superior.



**Figura 2.2: Red de sesado del modo común.**

Para el análisis matemático de este circuito se ha redibujado esta red de manera que la salida  $out\_c$  podrá ser expresado analíticamente más sencillamente [2].



**Figura 2.3: Esquema de condensadores desplegado.**

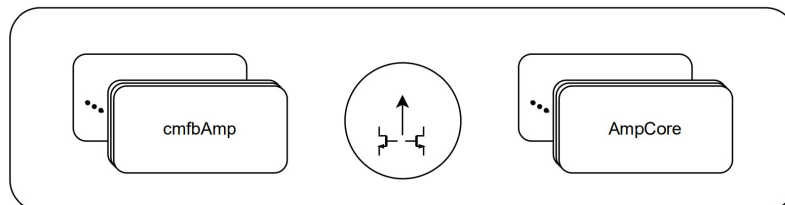
$$Q_1 = C_1 \cdot (V_{cm} - V_{bn}) \quad Q_2 = C_2 \cdot (V_{cm} - V_{bn}) \quad (2.1)$$

$$\begin{aligned} C_1 \cdot (V_{cm} - V_{bn}) &= C_2 \cdot \frac{(V_{outp} + V_{outn})}{2} - C_2 \cdot V_{cm,fb} \\ C_2 \cdot V_{cm,fb} &= C_2 \cdot \frac{(V_{outp} + V_{outn})}{2} - C_1 \cdot (V_{cm} - V_{bn}) \\ V_{cm,fb} &= V_{cm,at} - \frac{C_1}{C_2} \cdot (V_{cm} - V_{bn}) \\ V_{cm,fb} &= \frac{C_1}{C_2} \cdot V_{bn} + \frac{C_1}{C_2} \cdot (V_{cm,at} - V_{cm}) \end{aligned} \quad (2.2)$$

Como se puede ver en las ecuaciones, al final, la red de condensadores también añade parte de ganancia al modo común del sistema, pero esta es insignificante en comparación con la que introducirá el amplificador del modo común que se verá posteriormente. Dependiendo de la manera en la que nuestro circuito es realimentado, la tensión  $V_{bn}$ , que es una referencia, podrá tener un valor u otro. En este caso coinciden esas dos tensiones ya que la realimentación es introducida por una de las entradas del par diferencial del modo común, otras topologías que realimentasen directamente a alguna de las fuentes de la etapa de salida, será el valor de  $V_{bn}$  el que polarice correctamente el circuito. Si se analiza la salida final de esta red, Ecuaciones 2.2, esta será igual a la tensión  $V_{bn}$  más la diferencia entre lo que se ha sentido de la salida del amplificador diferencial,  $V_{cmat}$  y el modo común impuesto,  $V_{cm}$ .

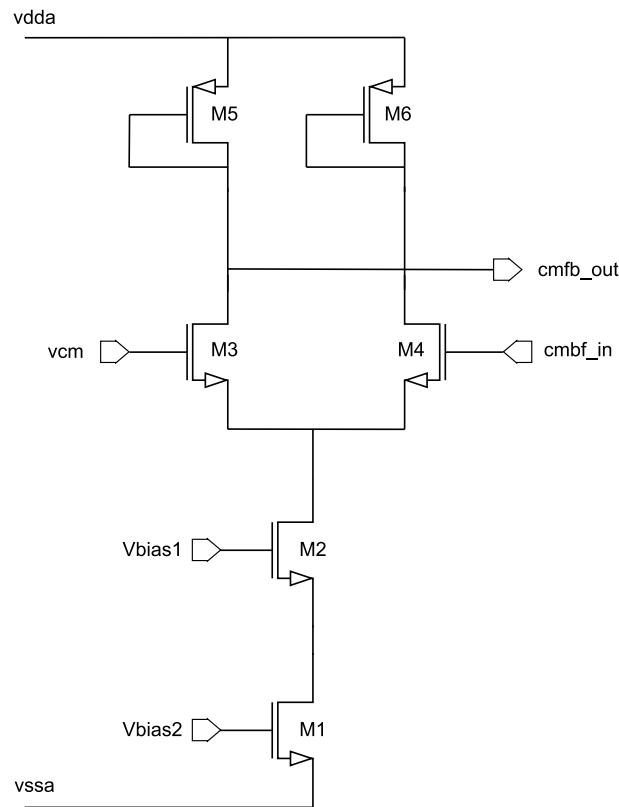
### 2.1.2. Amplificadores internos

El segundo bloque, se divide a su vez en tres bloques más sencillos donde cada uno realiza una tarea en particular. Al tratarse de un amplificador diferencial, necesita un sistema de autoregulación del modo común. Este sistema se implementa como un amplificador, al igual que el modo diferencial se implementa con otro amplificador. Los amplificadores *single-ended* sin embargo son regulados, es decir, su propia topología compensa estas modificaciones, siendo el punto de unión de ambas ramas del par diferencial, donde esto se realiza. Por ello en sus arquitecturas no se encuentran dos amplificadores internos como en los amplificadores diferenciales.



**Figura 2.4: Esquema de amplificadores**

El bloque llamado de **cmfbAmp** conforma el amplificador del modo común. Su función principal es la de realizar una comparación entre el modo común impuesto como referencia en el *Top level* y el originado por la red de condensadores anteriormente estudiada. Sus entradas las conforman las señales nombradas, varias tensiones de polarización provenientes del bloque de espejos y las alimentaciones. En la Figura 2.5, la variación entre la tensión de puerta del transistor M3 respecto del M4, provocará un desbalanceo en el par diferencial de este amplificador, provocando que por una de sus ramas fluya más corriente que por otra. A través de la salida denominada *cmfb\_out* se trasladará esta variación de corriente al AmpCore mediante la polarización de los transistores M1 y M2 de la Figura 2.6. De esta manera se realiza la compensación realimentada del modo común. Estos amplificadores deberán de tener una cierta ganancia que ayudará a establecer el modo común correctamente. Esto evitará encontrar rizados indeseados en la señal, pudiendo hacer que el sistema se vuelva inestable. Tener buenas prestaciones de ancho de banda también ayudará al sistema a realizar filtrados de algunas interferencias y distorsiones en la señal.



**Figura 2.5: Amplificador del modo común.**

Para analizar la ganancia de este amplificador habrá que analizarlo en pequeña señal obteniendo como resultado la siguiente la Ecuación 2.3

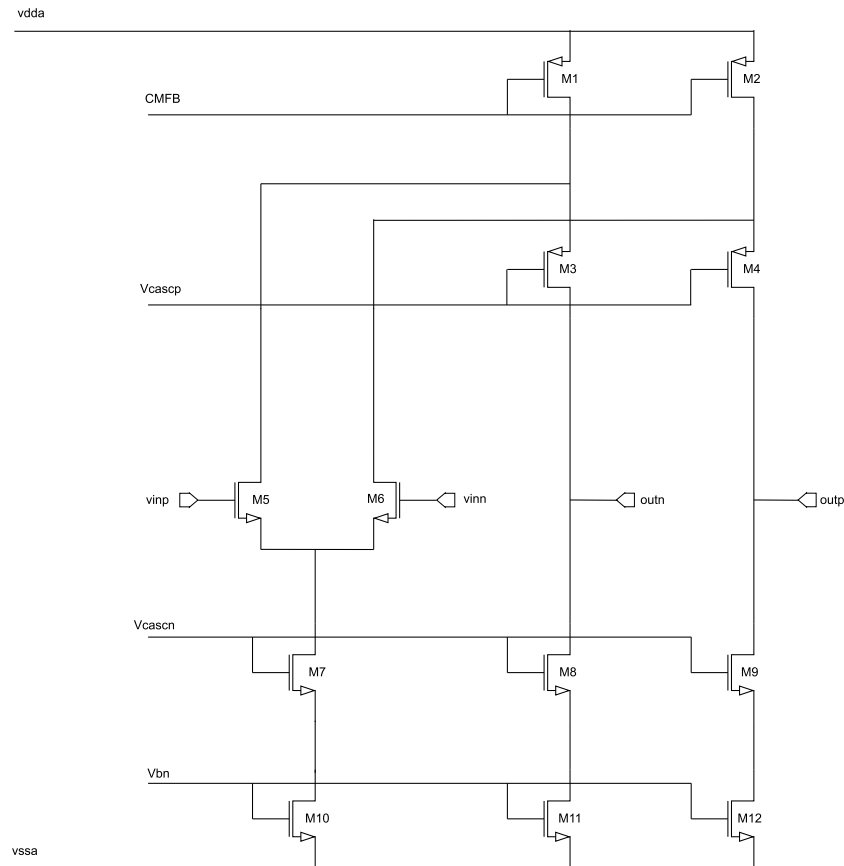
$$A_D = \frac{1}{2} g_{m4} \cdot (r_{d4} // r_{d5}) \quad (2.3)$$

Para la optimización de los amplificadores será necesario ajustar la fuente de corriente creada por los transistores M1 y M2 para que consumiendo el mínimo de corriente sea capaz de proporcionar las mismas características. Puede ocurrir que el amplificador total este consumiendo corriente de más debido al modo común que puede estar consumiendo más cantidad de la necesaria. Para realizar este ajuste de la corriente, se deberá escalar iterativamente todo el amplificador e ir comprobando que prestaciones se obtienen en cada una de ellas. De esta manera se podrá comprobar hasta que nivel se puede bajar la corriente sin perder prestaciones del diseño.

Los **espejos de corriente** tienen la función de polarizar correctamente el resto de amplificadores, conformando sus salidas como varias tomas de tensión de polarización ajustadas al diseño. Para ello, con una sola entrada se generarán diferentes tensiones mediante el uso de la técnica de copias de corriente mediante espejos.

El **AmpCore** es el amplificador encargado del modo diferencial. Su funcionamiento, al igual que el de los otros amplificadores, se encarga de balancear su polarización para ajustarse a la señal de entrada y reducir el error de sensado. Los transistores de la parte superior e inferior (M1,M2,M10,M11,M12) funcionan a modo de fuente de corriente. Estas son polarizadas por el

modo común y por los espejos de corriente respectivamente. Las dos primeras fuentes nombradas, dividirán la corriente en dos, una parte se encauzará al par diferencial y otra a la salida. Dependiendo del valor a la entrada esta circulará por una rama u otra con más o menos intensidad, siendo la suma de ambas siempre la misma (la introducida por las fuentes).



**Figura 2.6: Amplificador de modo diferencial, AmpCore.**

Para el diseño de los transistores de salida (M3,M4,M8,M9) de la Figura 2.6, será muy importante que se maximice la caída de tensión  $V_{DS}$  ya que de estos dependerá el rango de salida (*Output Swing*, OS), este parámetro mostrará el rango máximo de tensión a la salida. Se mide respecto una tensión en concreto (a elección) o a varias y es un parámetro muy importante en el diseño circuitos. Si se analiza la rama donde estos transistores se encuentran, lo óptimo sería ajustar las fuentes de corriente de manera que la caída de tensión en ellas sea la mínima necesaria para que estuvieran en saturación (aunque siempre se necesitará un pequeño margen de variación) y pudieran realizar copia de corriente de sus espejos, y que el resto cayese en los transistores de salida.

Respecto a las dimensiones de  $W$  y  $L$  (*With* y *Length*), una vez ya ajustado a un correcto punto de polarización, existen maneras de optimizarlos para mejorar algunas prestaciones. Una de las técnicas más utilizadas para aumentar el margen de fase o *phase-margin*, tratará de mantener el ratio entre estos haciéndolos lo más pequeños posibles. Para saber en que transistores debe ser aplicada será necesario analizar en busca de los puntos críticos donde se encuentran capacidades más elevadas. El polo principal, el que debe de tener más capacidad, deberá de situarse en la salida, donde se encuentra la carga. La frecuencia de este polo vendrá expresada por la Ecuación 2.4. Los cálculos son simétricos para ambas ramas. El resto de polos se formarán por capacidades parásitas,



en este caso se encuentran capacidades parásitas en el surtidor de M3 y M4, ya que son puntos donde varios transistores aportan parte de capacidad parásita. El polo de ese punto vendrá dado por la Ecuación 2.5. Similarmente ocurre con los transistores M8 y M9, estos introducen un polo entre los surtidores de estos anteriores y los drenadores de M11 y M12, Ecuación 2.6. El estudio de los polos dará información de las prestaciones del circuito diseñado al representarlos en el dominio de la frecuencia y será uno de los objetivos principales del diseñador a la hora de diseñar cualquier circuito.

$$\omega_{P1} = \frac{1}{Z_{out} \cdot C_{out}} = \frac{1}{(rd3//rd8) \cdot C_{out}} \quad (2.4)$$

$$\omega_{P2} = \frac{1}{Z_{p2} \cdot C_2} = \frac{1}{(\frac{1}{gm3} // rd1 // rd6) \cdot (C_{GDM1} + C_{GSM3} + C_{GDM6})} \quad (2.5)$$

$$\omega_{P3} = \frac{1}{Z_{p3} \cdot C_3} = \frac{1}{(\frac{1}{gm8} // rd11) \cdot (C_{GDM11} + C_{GSM8})} \quad (2.6)$$

Por otro lado el par diferencial funciona en la región de *subthreshold*, esto significa por debajo del punto de conducción. Idealmente no debería de conducir pero este sigue teniendo movimiento de cargas en su interior, esta propiedad es muy utilizada en este tipo de diseños. La tecnología de 110nm, como ventaja, trabaja con transistores de triple pozo, permitiendo así conectar el pozo al sustrato. Esto en el par diferencial también ayudará a que el ajuste de la polarización sea más sencillo.

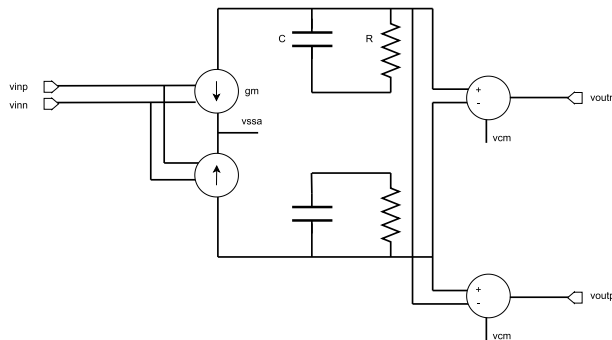
$$A = gm_6 \cdot (gm_4 \cdot rd_4(rd_2//rd_6)) \quad (2.7)$$

Tal y como se ha reflejado en la Figura 2.4, los bloques cmfbAmp y AmpCore, pueden ser encadenados, consiguiendo sistemas de mejores prestaciones. Como contrapartida se tendrá un consumo mayor en conjunto debido a que hay que alimentar más transistores. En este sistema se ha diseñado hasta 4 bloques encadenados y con ello se han medido las prestaciones en todos los casos. La salida del OpAmp, será procesada por otro bloque similar (teniendo esta como entrada) o por el comparador, dependiendo del orden del sistema. Este será realimentado y funcionará iterativamente. En el diseño también se ha considerado transistores de *power down* que podrán desactivar estos bloques por completo. Esto será útil como protección en algunos modos de funcionamiento del sistema en conjunto.

Para este bloque se ha diseñado un circuito equivalente con componentes ideales, el cual tendrá las mismas características que el amplificador anteriormente diseñado pero sin introducir errores propios de un sistema real. Se encargará de generar el mismo ancho de banda y ganancia que el original. El esquema presentado es el de la Figura 2.7 es el correspondiente al *schematic\_sim* utilizado para la simulación ideal.

La ganancia dependerá de la transconductancia ( $gm$ ) y el valor de la impedancia. Por otro lado el ancho de banda depende de la  $gm$  y la capacidad. Estos parámetros pueden ser ajustados simulando las características reales de un amplificador.

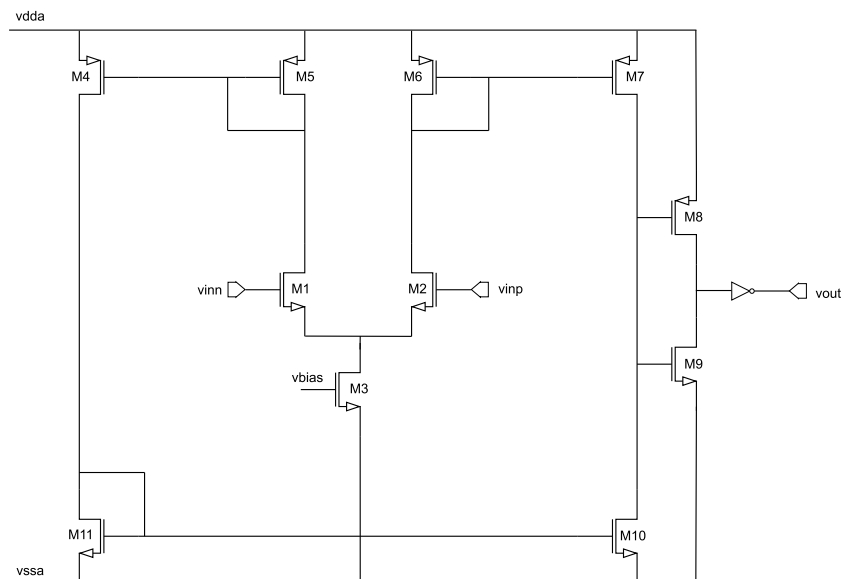
$$A_0 = gm \cdot R \quad GBW = \frac{gm}{2 \cdot \pi \cdot C} \quad (2.8)$$



**Figura 2.7: Circuito ideal del amplificador.**

## 2.2. Cuantizador

A la hora de diseñar el modulador de un ADC Sigma-Delta, uno de los bloques que lo caracteriza es el cuantizador. Este puede ser de un solo bit o multibit, dependiendo de la aplicación, se decantará por uno u otro. En este caso la elección ha sido de un cuantizador de un solo bit, un comparador. Este tratará de comparar las dos entradas provenientes del amplificador operacional anterior. Por lo tanto al tener solo un bit de representación, si la entrada positiva es mayor que la negativa mostrará a la salida un 1 y un -1 si es el caso justo contrario, es decir, un nivel alto o bajo respectivamente a la salida.



**Figura 2.8: Estructura del cuantizador.**

El comparador diseñado es un amplificador operacional clase AB seguido de dos inversores y un *flip-flop* D que actúa como *latch* debido a que la ganancia de la entrada sobre la salida es doble. Ajustará la salida modificando la polarización tanto del M7 como del M10. Este amplificador tiene una función de transferencia que viene determinada por la Ecuación 2.9 .

$$A = gm_2 \cdot N \cdot (rd_7 / rd_{10}) \cdot A_{inv} \quad (2.9)$$

En la Ecuación 2.9 se muestra la ganancia del comparador final.  $N$  es la relación de corrientes de los transistores M7 y M6 y  $A_{inv}$  es la ganancia del inversor final implementado con M8 y M9. Al ser un clase AB, el método para obtener esta ganancia sería aplicar el teorema de Barlet y obtener por superposición la contribución por ambas entradas. En este caso se ha supuesto que la relación entre M5, M4, M11 y M10 es 1, es decir, no aplica ningún factor de aumento.

Caso crítico de este comparador es el de dos señales de entradas con un valor muy parecido. Es importante ajustar con detalle el punto de inflexión (*threshold*). Para ajustar esto, son los transistores M7 y M10 los responsables de detallar ese nivel donde se decide una salida.

El error de cuantificación en estos comparadores de un bits se reduce al offset y a la histéresis que estos presentan. Debido a que estos dependen de la ganancia de la señal, se ha añadido una etapa final al cuantizador, que actúa como un inversor y buffer de la señal al mismo tiempo. Le dará más energía y la comparación será más eficiente ya que será más fácil ajustar este punto de *threshold*. Si el cruce de comparación no estuviera centrado, son estos transistores de la soldia (M8 y M9) los que deben ser modificados, de manera que tuvieran la misma fuerza entre sí. En la simulación se podrá observar el ajuste de este punto.

Por último, para revertir el efecto de esta última etapa amplificadora inversora, se ha añadido una célula digital inversora, que volverá a la señal a su estado inicial pero con mayor amplitud, debido a que se ha ampliado como justamente antes se ha comentado. Tal y como se muestra en la imagen anterior, el diseño de un comparador es un amplificador operacional con una sola salida (*single ended*), seguida de un *flip-flop* D lachea la salida del último inversor y la hace disponible al filtro de decimación.

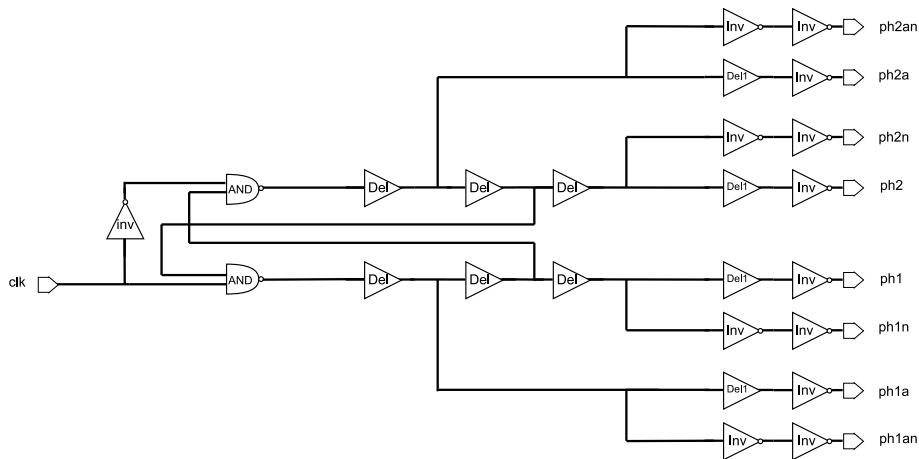
Al igual que para el amplificador, se ha diseñado una nueva vista de este componente que simulará un comportamiento ideal en su simulación. A diferencia del anterior este se ha realizado con *VerilogA*. Este es un lenguaje de diseño de circuitos tanto analógico como digital. Servirá para crear células de manera más sencilla, pudiendo incluso crear sistemas enteros.

### 2.3. Generador de Fase

En el generador de fase, tal como se comentó anteriormente, se realizan subdivisiones del reloj principal, que actúa de entrada al generador de fase, permitiendo tener diferentes relojes a la vez en un mismo diseño, generando señales no solapadas de muestreo, integración y latch del ADC. Estas señales controlarán los interruptores que se encuentran en el circuito creando caminos para el flujo de la señal. Además se tendrán que generar señales opuestas a las mismas (esto evitará efectos no lineales de *clocking* en los interruptores) y con cierto retraso para evitar introducir nodos flotantes no deseados.

En este diseño se han generado las siguientes señales: ph1, ph1n, ph2, ph2n, ph1a, ph1an, ph2a y ph2an.

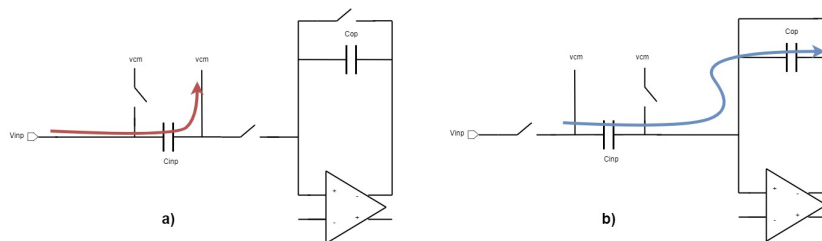
A la hora de diseñar estas señales se debe de tener en cuenta el funcionamiento conjunto del diseño. En primer lugar las señales adelantadas, que son las nombradas phx<sub>a</sub>, como por ejemplo ph2a o



**Figura 2.9: Generación de relojes.**

ph1a, realizan un papel de conducción de la señal de entrada de manera que siempre haya un nodo de baja impedancia, activándose cierto tiempo previo para, tal como se dijo anteriormente, evitar nodos flotantes y permitir siempre el flujo de cargas.

La generación de señales negadas se realiza mediante una célula llamada *Delay1* en el esquemático de la Figura 2.9. Esta célula cumple la función de introducir el mismo retraso en la señal que el inversor primero que actúa sobre su complementaria negada. Esta célula tiene la misma estructura que un interruptor pero está siempre estará conduciendo, por lo tanto, actuará como un retraso a en la señal. Es importante que este se encuentre alienado con su negada ya que introduciría efectos como el *clock feedthrough* en caso de no estarlo.



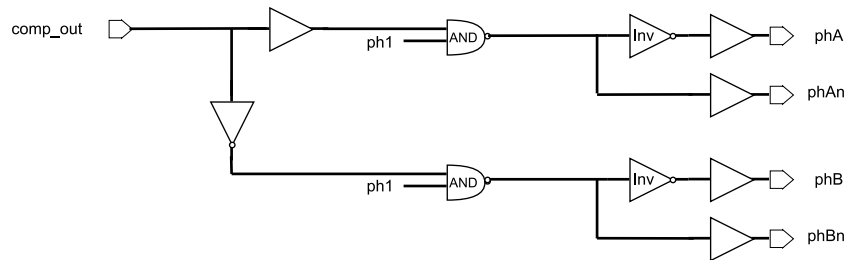
**Figura 2.10: Flujo de la señal en las dos etapas diferentes de procesado.**

Para comprender mejor las fases generadas, la Figura 2.10, es creada mediante la activación y desactivación de interruptores con estos relojes. La imagen a) corresponde a la fase primera, donde primero es la señal ph1a la que se activa creando un camino previo y luego es ph1 la que le precede, dejando el paso de la señal. El tiempo que transcurre entre estas dos señales, es decir, el retraso entre ambas, será una de las tareas propias del diseñador. El objetivo de que siempre exista un camino para la señal es el de evitar que existan nodos flotantes. Para conseguir aumentar o disminuir estos tiempos se obtendrá encadenando varios *delays* previos a la generación de la señal no adelantada, ya que solo afectará a la señal principal y su negada. La simulación y visualización de estas ondas se detallarán posteriormente.

De la misma manera, se genera la figura b) de la imagen anterior. Esta es generada con la fase segunda, ph2 y ph2a, siguiendo el mismo funcionamiento que la fase 1. Habrá que ajustar también un margen de tiempo entre la señal ph1 y ph2a, ya que son las dos señales de las dos fases que están

más próximas en tiempo junto a ph2 y ph1a. Este es uno de los puntos críticos del diseño debido a que si no existe suficiente tiempo la señal podrá tener en algún momento varios caminos, es decir, evitar que se solapen las señales de activación y desactivación. Habrá que analizar los relojes y ajustarlos para el diseño relaizado.

En el bloque de generación de fase, también se encuentra la generación de nuevas señales para las referencias. Este bloque tiene como entrada la señal de salida del comparador (*comp\_out*).



**Figura 2.11: Generación de fases de referencia.**

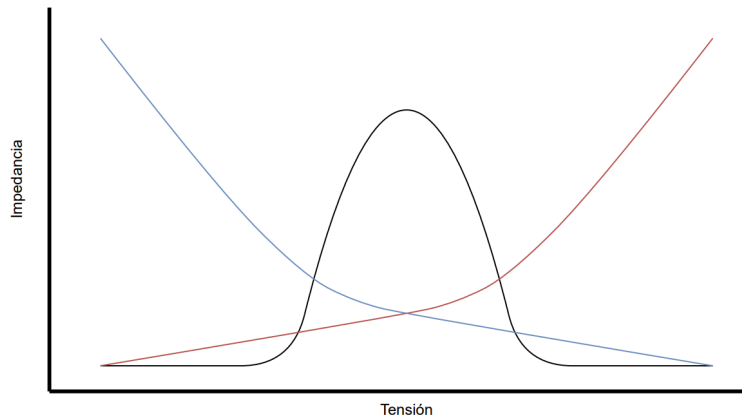
La señal *comp\_out*, dependiendo de su valor generará una salida positiva en la referencia *phA* o *phB*, dando paso a que esta señal active una referencia u otra. Esta señal dependerá de *ph1*, donde solo cuando ambas coincidan esta señal será válida. De esta manera la señal se establecerá siempre en la primera fase de trabajo del amplificador. Esta subdivisión del generador de fase es la que genera los DAC del Sigma-Delta, ya que la señal del comparador es digital y la entrada de la referencia es analógica.

Para el generador de fase se ha realizado una vista en *VerilogA* que simulará su comportamiento de forma ideal y generará las señales necesarias a la salida. Las señales simuladas tendrán flancos ideales tando de subida como de bajada.

## 2.4. Interruptores

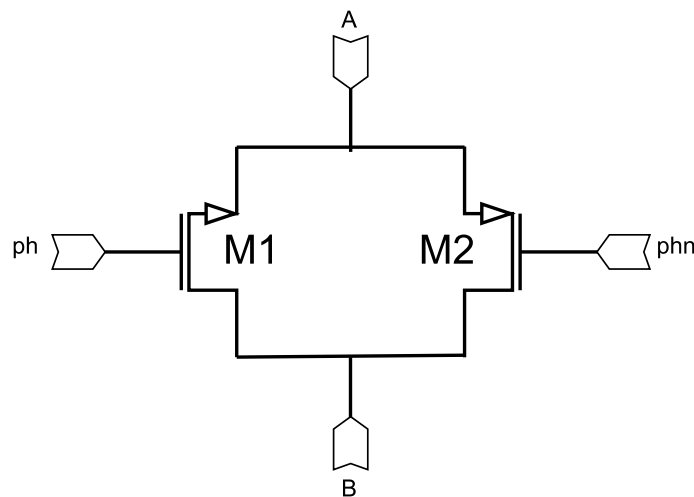
A la hora de diseñar *switches* en este tipo de aplicaciones conlleva tener en cuenta varios fenómenos que estos producen sobretodo en las prestaciones del diseño. El diseño más básico de estos lo conforma un solo transistor. Esta es una de las aplicaciones más utilizada de los transistores, donde aplicándole una tensión en la puerta del dispositivo, dejará pasar la señal entre el drenador y el surtidor o no. El tamaño de los interruptores determinará la resistencia que estos presentan. Para este diseño se ha optado por un esquema complementario, debido al rango de voltajes de la señal que ah de pasar. Este contiene por tanto un transistor tipo N y otro tipo P. El primero (tipo N) presentará poca impedancia para la transmisión de 0 y el segundo (tipo P) presentará poca impedancia para la transmisión de unos. Si se observa la función de transferencia de estos interruptores se percibe como al acercarse al punto intermedio de voltaje, donde uno deja de conducir y otro empieza, se encuentra el pico máximo de impedancia, siendo este el crítico en el diseño realizado. Esto es debido a que los dos están funcionando a la vez.

Cuanto menor sea la impedancia de este interruptor, más óptimo será el diseño, sin embargo se necesitaría un área muy grande para reducirla drásticamente, además de que un área mayor tendrá más problemas de inyecciones de carga, *clock feedthrough* y habrá que aumentar la fuerza de las celdas digitales que dan señal de control a estos interruptores. Aquí se encuentra por tanto, la



**Figura 2.12:** Curva de transferencia ideal entre tensión en la puerta e impedancia de los *switches*

solución de compromiso de este componente. Por otro lado, se encuentran otros efectos como la inyección de carga [3], que deberá de ser compensada. Para afrontar este problema existen diversas topologías encargadas de compensar este efecto, una de las más utilizadas es el uso de transistores *dummies*, los cuales tendrán la mitad de área de puerta que el diseñado [3]. En el Sigma-Delta diseñado, se ha utilizado esta topología diferencial comentada anteriormente. Las inyecciones de carga, al tratarse de un sistema diferencial, no serán un efecto crítico a compensar. Como solución se ha optado por dar la misma geometría tanto a los transistores N como P, idealmente deberían de ser iguales estas inyecciones a cada lado.



**Figura 2.13:** Esquemático de un *switch*

Estos interruptores serán controlados por los relojes generados por el generador de fase anteriormente expuestos. Al tener una topología diferencial, necesitarán dos entradas simultaneas y opuestas de control, cada una para un tipo de transistor. Idealmente deberán de estar perfectamnete sincronizadas.

Para este componente se ha diseñado una vista *schematic\_sim* el cual se compone de un simple

interruptor ideal que se comportará sin resistencia interna y sin las inyecciones de carga propias de un interruptor realizado con transistores, entre otros efectos.

## Capítulo 3

# Verificación

Este ADC ha sido concebido por bloques que funcionarán conjuntamente. Caracterizar individualmente cada bloque será el comienzo para verificar su correcto funcionamiento. Aquí se mostrarán las simulaciones obtenidas de cada bloque, verificando que estos funcionan correctamente. En este apartado se explicará cómo se han verificado todos los bloques, para ello se detallará el diseño de los *test-bench* ya que es una parte tan importante como la del diseño del propio circuito. Los esquemáticos aquí diseñados serán válidos para ambas tecnologías.

### 3.1. Simulación del Amplificador

Para la caracterización de los amplificadores se verificarán parámetros como la ganancia en lazo abierto y cerrado, el margen de fase, el ancho de banda, el OS a varios niveles de voltaje, el PSRR, el consumo total y el ruido. El primer paso para la caracterización de un amplificador será crear un *Test-bench* que se ajuste a las necesidades. Gracias a éste se podrán controlar las entradas de este bloque y tener una simulación controlada. Primero se creará el esquema de simulación en el cual se instanciará el bloque a verificar. Creando sobre este una vista **maestro** del esquemático, se podrán crear expresiones que proporcionen valores concretos del diseño. Primero se verificará el amplificador independientemente de la red de condensadores

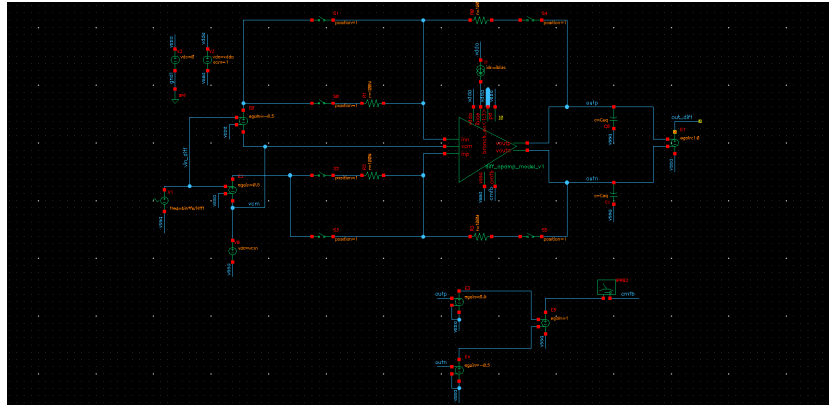
#### 3.1.1. Caracterización de los amplificadores

Para poder realizar esta tarea sin que dependan entre sí se ha implementado provisionalmente una red ideal, obteniendo así el resultado equivalente que se esperaría de esta. Esto puede visualizarse en la parte baja de la Figura 3.1

Utilizando componentes como *vcvs* de las librerías base de *Cadence* se ha conseguido obtener el valor medio de las salidas diferenciales del amplificador, simulando idealmente esta red. Su salida viene determinada por:

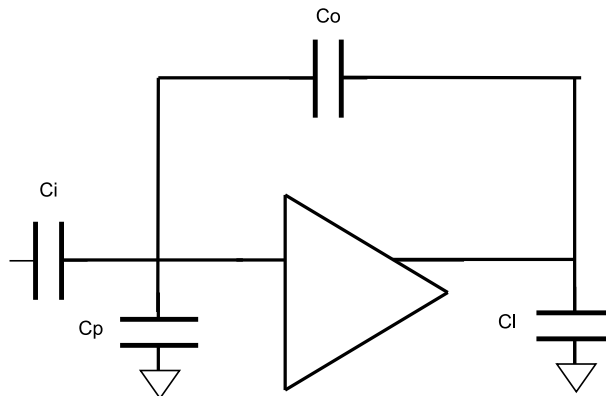
$$cmfb = Gain \cdot (V_{int+} - V_{int-}) \quad (3.1)$$





**Figura 3.1: Test-bench de los amplificadores.**

La implementación de los *switches*, ayudará a que la simulación sea más sencilla, pudiendo realizar diferentes tipos de análisis como dc y ac dependiendo de su posición. La propia simulación será capaz de activarlos y desactivarlos ya que internamente se han configurado abiertos o cerrados dependiendo del tipo de simulación que se realice. Por otro lado, se deberá calcular la capacidad equivalente que ve el amplificador a su salida para obtener el lazo cerrado y estabilizar la simulación AC, para ello, se seguirá el siguiente esquema con las cargas ya determinadas por el diseño.



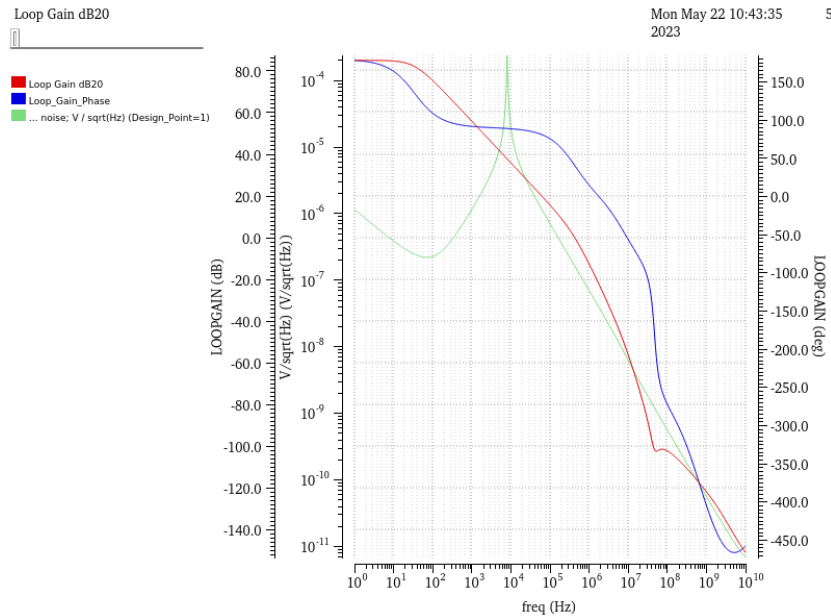
**Figura 3.2: Capacidades del amplificador.**

La capacidad equivalente a la salida, vendrá dada por la Ecuación 3.2. Estos condensadores hacen referencia a los utilizados en la Figura 1.8 anteriormente comentada. Dependiendo de los pesos de estos condensadores tendrá más importancia la referencia o la señal de entrada al realizar la integración de ambas señales. Estos pesos serán estudiados finalmente en el Apéndice A. Serán de vital importancia para establecer correctamente la respuesta en frecuencia necesaria para el diseño del Sigma-Delta.

$$C_{eq} = C_i + C_p + C_l \cdot \left(1 + \frac{C_i + C_p}{C_o}\right) \quad (3.2)$$

El modo común también ha sido parametrizado para poder ajustarlo a un valor determinado. La primera simulación que se realiza será la de **DC**, comprobando el punto de operación. Para comprobar que el circuito está correctamente polarizado, debemos de encontrar a la salida el mismo valor que

a la entrada, es decir, el modo común. Seguidamente, la simulación en **AC** que permitirá dibujar el diagrama de bode entre otros. Se podrá mostrar la ganancia dependiendo de la frecuencia y el margen de fase obtenido. A partir de estos análisis se podrán obtener parámetros como la ganancia en lazo abierto, el margen de fase, el ancho de banda... En la Figura 3.3 se muestra algunas de las curvas más características del amplificador.



**Figura 3.3: Simulación de la caracterización del amplificador.**

Para el *output\_swing* se creará un esquema similar donde la entrada sea el parámetro a barrer. Este parámetro será importante de maximizar en el diseño. Para mejorar su visualización y su ajuste se puede utilizar el visualizador de onda donde se verá con mayor claridad si alguno de los transistores de salida está limitando el barrido de la entrada disminuyendo su ganancia. Esto se puede ver en la Figura 3.4

Como se puede ver en la Figura 3.4 se ha dibujado adicionalmente la tensión resultante de ambos de los transistores de salida. Si fuera referida a la Figura 2.6, por ejemplo, serían los transistores M4 y M9 los referidos anteriormente. Probablemente alguno de estos dos o el equivalente en el circuito que se analice, estará limitando el *output swing* del amplificador, pudiendolos ajustar hasta un barrido simétrico en la medida de lo posible.

La linealidad también es un parámetro que se puede caracterizar con la Figura 3.4. Esta determinará como de plana es la ganancia con diferentes tensiones de entarda. Cuanto menos se diferencie la ganancia respecto a la del punto central, más lineal será su respuesta.

Otra característica a representar será el PSRR. El método para analizar este parámetro en *Cadence* es realizar una simulación de tipo **xf**. Para los sistemas diferenciales como el que aquí se diseña, este parámetro deberá de ser analizado en **ac**, teniendo que realizar previamente un análisis de Montecarlo para variar estadísticamente los transistores. Esto provocará un desbalanceo entre estos, empeorando las prestaciones del PSRR, o en el caso, haciendolo medible realmente. De esta manera se creará un nuevo esquema a modo de *Test-bench* similar a los anteriores pero con la fuente de alimentación diferenciada del resto. Esto permitirá representar este parámetro de manera

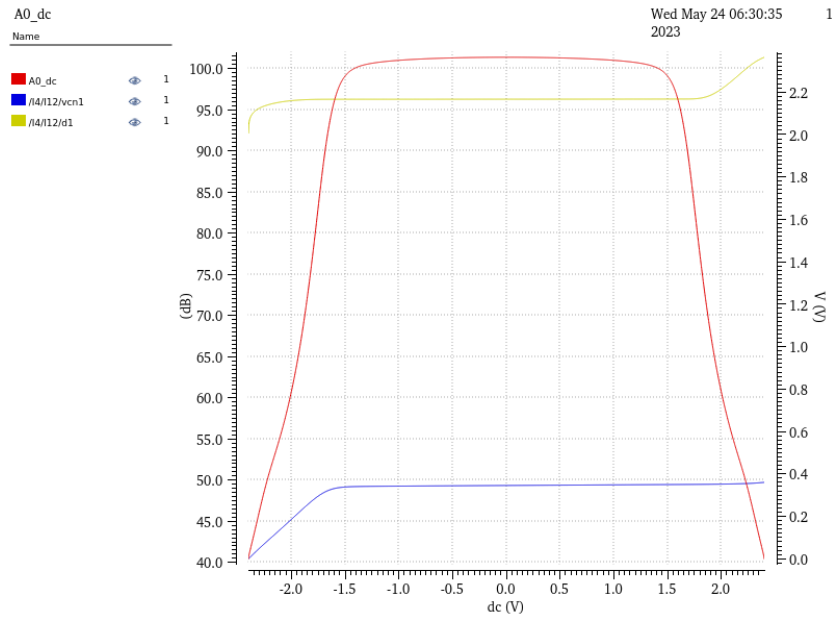


Figura 3.4: Ajuste del OS en la salida.

realista.

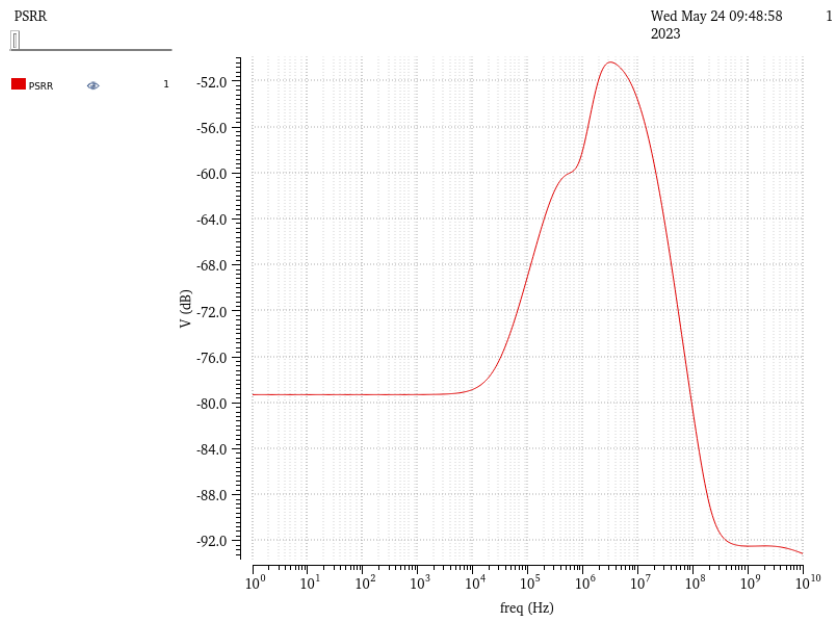


Figura 3.5: Simulación del PSRR.

Al igual que con el amplificador diferencial, toda esta verificación se deberá de realizar con el amplificador del modo común, ya que ambos tendrán prestaciones completamente diferentes y cuplirán una función distinta dentro del sistema del amplificador diferencial. Estas prestaciones también serán necesarias ajustarlas para obtener una buena respuesta del sistema.

### 3.1.2. Simulación de las capacidades de sensado del modo común de salida

Una vez verificado el amplificador y realizando iteraciones junto a la modificación de los transistores necesarios para mejorar las prestaciones, se deberá verificar el funcionamiento del sensado de la red de condensadores, este deberá de dar una media entre sus entradas, que son en realidad la salida del amplificador. Para esta red se ha diseñado el *Test-bench* de la Figura 3.6

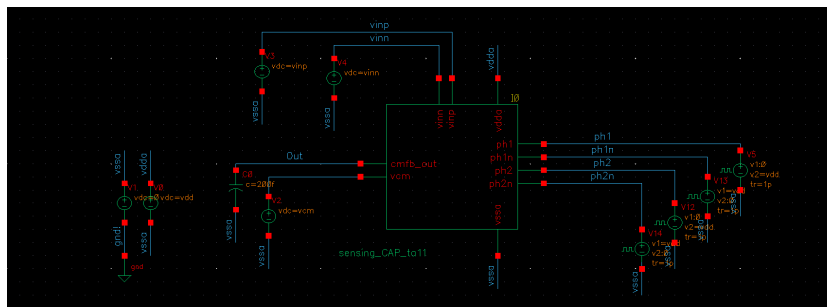


Figura 3.6: *Test-bench* de la red de sensado de los condensadores.

Con este banco de pruebas, se caracterizará la respuesta que tiene el sistema de capacidades y se determinará parámetros como el *offset* respecto a la señal original. Las entradas a este bloque son señales ideales que simulan los relojes generados por el generador de fase.

La frecuencia de esta señal del *Top-level* a diferencia de esta, se encuentra parametrizada. Es importante saber que esta entrada no será representada como una delta en frecuencia debido a que no es una señal ideal. Por lo tanto se dice que hay que ser coherente con la frecuencia de muestreo y el número de puntos debido a que la señal de entrada vendrá dada por estos parámetros.

$$f_{in} = \frac{bin}{N_{fft}} \cdot f_s \quad (3.3)$$

Para que el espectro sea lo más óptimo posible el bin representará un número primo y la frecuencia de muestreo será un número divisible entre el número de puntos ( $N_{fft}$ ), siendo este último valor potencia de 2. Con estas características se evitarán que las réplicas se solapen entre sí en el espectro una vez se plieguen.

## 3.2. Comparador

En la verificación de este componente se deberá comprobar su funcionamiento para las distintas entradas que pueda tener. El *test-bench* diseñado para este circuito es el siguiente:

Dependiendo de si la señal es ascendente o descendente cuando pasa por este nivel, se encontrará una pequeña variación de su valor de *threshold*, es decir, no es simétrico. Esta histéresis, será un

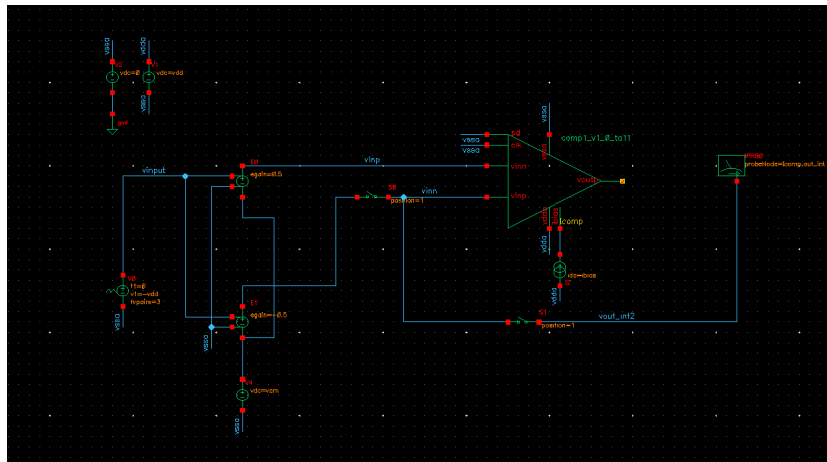


Figura 3.7: *Test-bench* realizado para el comparador

parámetro esencial en la caracterización de un comparador. Se pueden encontrar otros como el Offset, ancho de banda...etc.

El funcionamiento básico del comparador sería tal que, a una entrada ascendente, superado cierto límite, cambiara su valor de salida de bajo a alto. Este valor vendrá dado por el modo común, ya que será el valor al cual la señal este centrada.

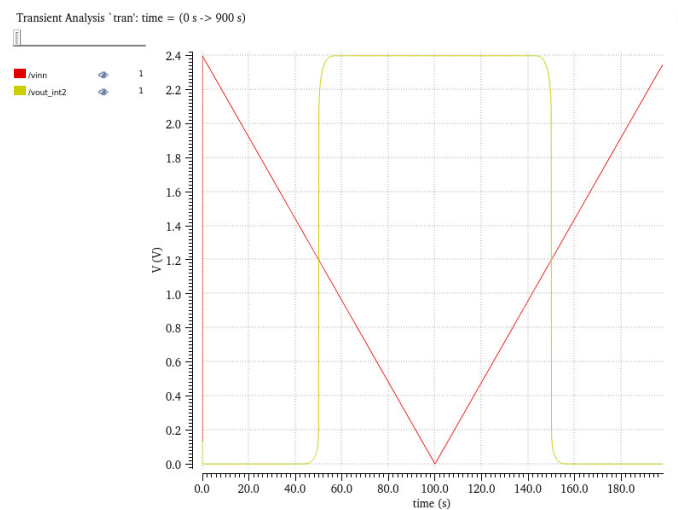
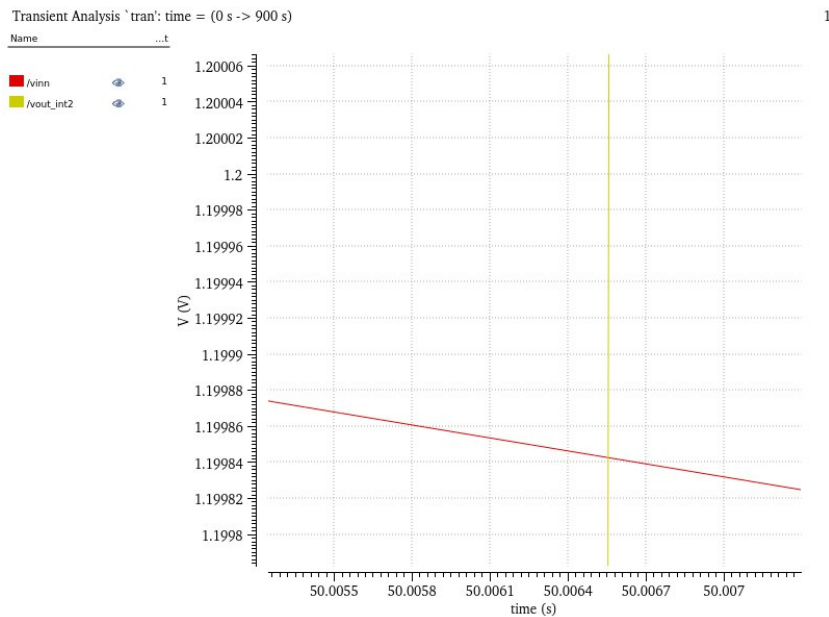


Figura 3.8: Simulación de entrada ascendente y descendente del comparador.

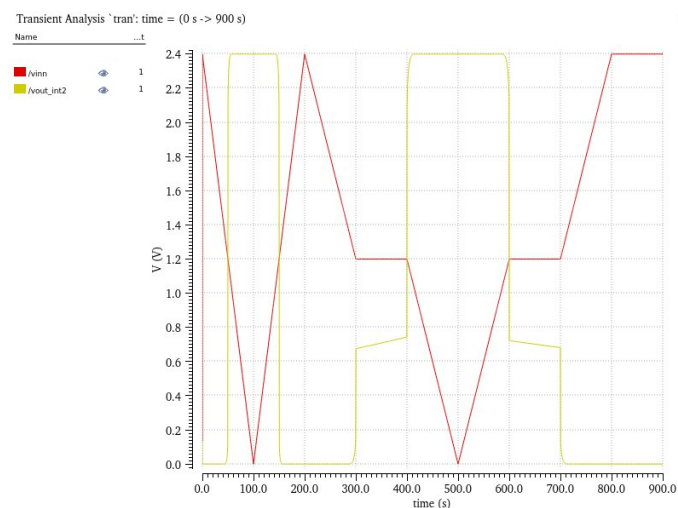
El modo común se puede deducir de la Figura 3.8 en  $1,2V$ , por lo tanto, aquí deberá encontrarse el punto de *threshold*. Si se amplía el cruce entre las señales de entrada y salida, estos deberían permanecer donde parecen estar a simple vista, alineadas con el modo común. Se verá que esto no es realmente así provocando un pequeño error. Esto se puede ver en la Figura 3.9.

Esta imagen refleja el *offset* anteriormente comentado. Este se encuentra desplazado del valor intermedio creando así una zona de histéresis entre el valor positivo, debido a que ocurrirá lo mismo con el flanco complementario. El centro de esta histéresis será el *offset* real del circuito. Existe por tanto un caso crítico de señal de entrada donde este coincide dentro de la zona de histéresis. El



**Figura 3.9: Offset del comparador.**

comparador no sabrá realmente que valor establecer a su salida. Es importante para reducir esto al máximo que esta zona sea lo más estrecha posible y asegurar que la ganancia en la última etapa es suficiente, por ello se añadió una etapa inversora final a este comparador, de esta manera se consiguió mejorar notablemente sus especificaciones.



**Figura 3.10: Señal de entrada al comparador en su zona crítica.**

En la simulación de la Figura 3.10 se ha establecido la entrada dentro de la zona de histéresis. Como se puede ver, la respuesta mostrada por el comparador no esta para nada determinada, queda en una zona intermedia sin decidirse por completo.

### 3.3. Generador de Fase

Tal y como se expuso en la fase de diseño, el generador de fase genera diferentes relojes con ciertas especificaciones a cumplir. El *test-bench* utilizado para verificar este componente trata de simular y verificar todas estas salidas.

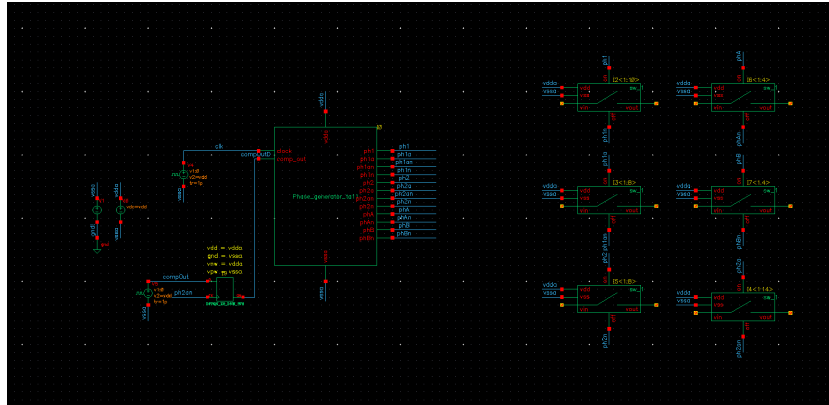


Figura 3.11: *Test-bench* diseñado para el generador de fase.

Los interruptores instanciados a la salida de cada reloj simularán la capacidad que verán estos cuando se encuentren funcionando en el circuito. Esto proporcionará valores correctos en la simulación. Por otra parte, una de las entradas simula la salida del comparador, señal necesaria para generar valores de salida en los relojes *phA* y *phB* y sus complementarias. Esta entrada determina si se integrará la señal de entrada con la referencia *P* o la referencia *N* establecida.

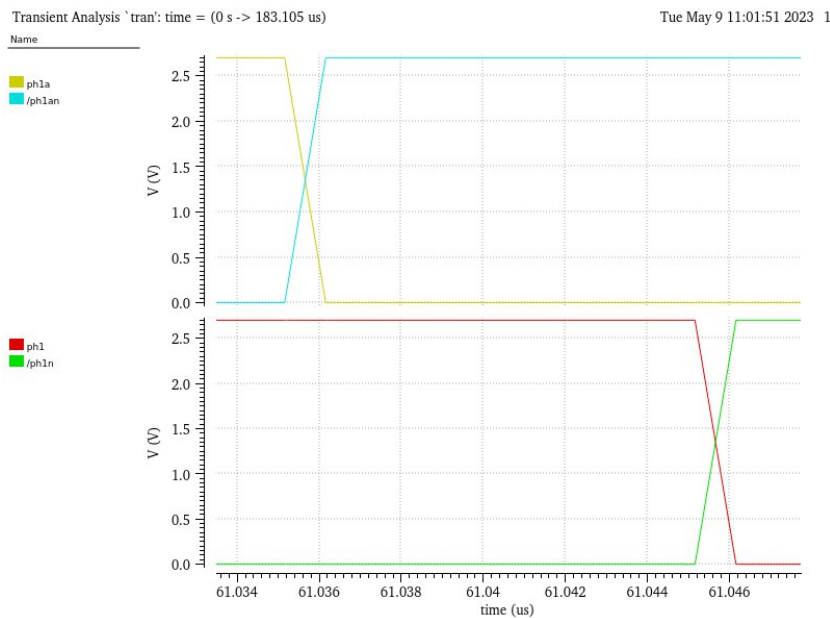
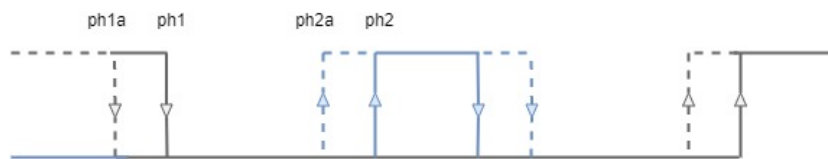


Figura 3.12: Simulación del reloj *ph1* y su adelantada.

La Figura 3.12 muestra el tiempo que transcurre entre la señal adelantada y la *bottom-plate* o *top-plate sampling*. El tiempo que transcurre debe de ser suficiente para que no existan interferencias

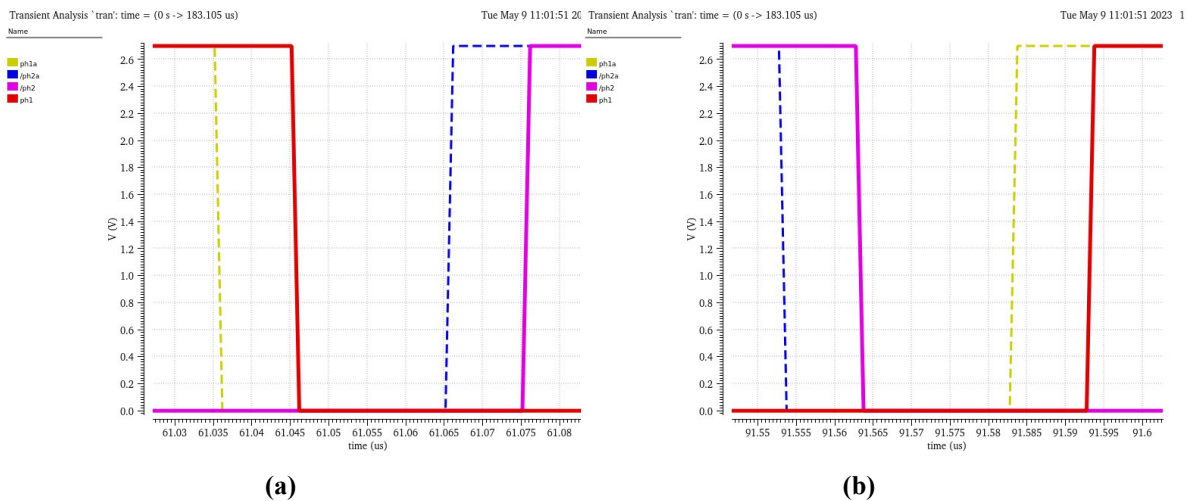
ni *overlapping*. Para ajustar esto, en el diseño se ha de encadenar los bloques necesarios de *delay* (células mostradas en el diseño) para que exista suficiente margen. También se muestra en la imagen la señal negada de ambas. Estas deben cruzarse con su original en el punto medio del flanco para que estén totalmente equilibradas. En caso de que esto no ocurra habría que ajustar tanto el momento en el que empieza la señal a realizar su cambio, es decir, cuando comienza el flanco, como las fuerzas de estas células, es decir, lo abrupto que es este flanco.

Por otra parte el funcionamiento deseado de las fases de relojes conjunta debería de funcionar de como en la Figura 3.13 idealmente.



**Figura 3.13: Simulación del reloj ph1 y ph2 y sus adelantadas.**

Este es el esquema de la simulación ideal del componente. La simulación real deberá de parecerse lo máximo posible a esta.



**Figura 3.14: Simulación detallada del generador de fase.**



### 3.4. Interruptores

Los interruptores como ya se ha comentado anteriormente, serán controlados por las distintas fases que se han generado en el generador de fase. Lo que aquí se debe simular es la resistencia que estos dispositivos simularán cuando la señal pase por ellos.

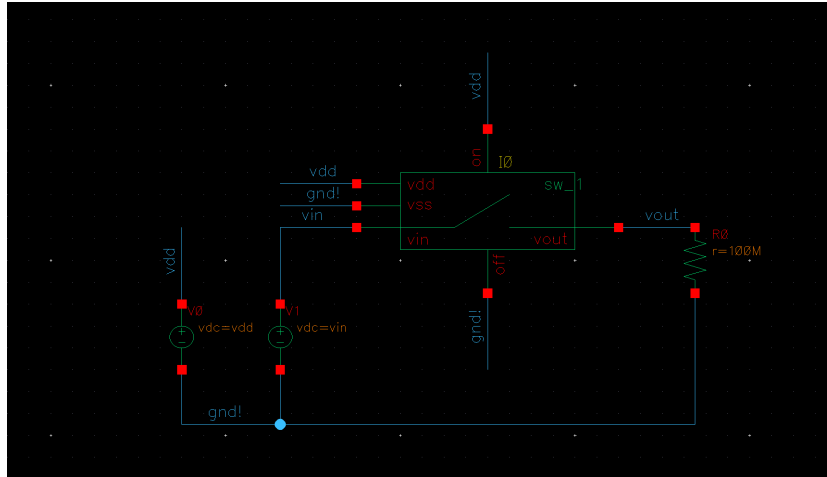
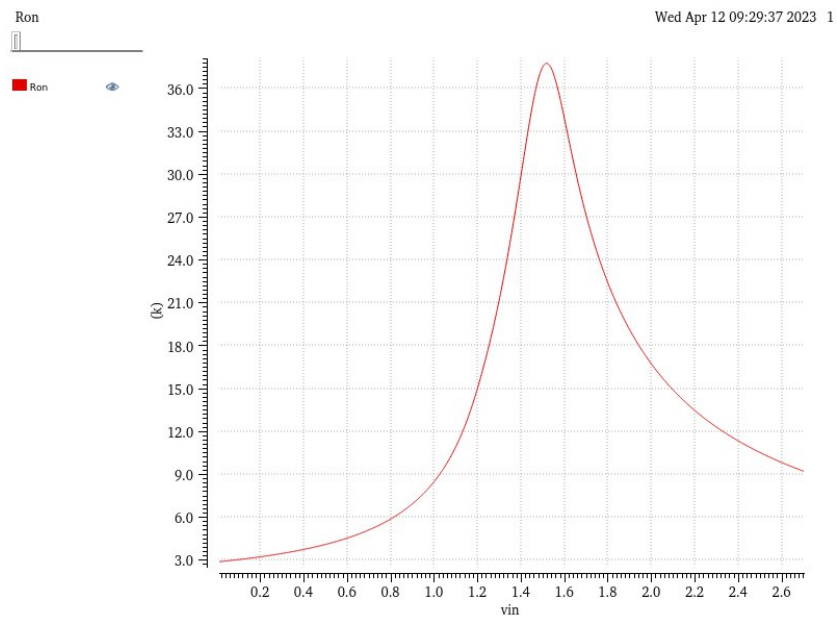


Figura 3.15: Test-bench para los interruptores.

Para este *test-bench* se ha utilizado una señal de entrada continua junto con una resistencia de carga a la salida. Si el circuito fuera ideal (resistencia constante), toda la tensión de entrada caería en la resistencia de salida, suponiendo que el interruptor tuviera una resistencia constante. Sin embargo debido a que si que presenta impedancia, se podrá medir la caída de tensión que aquí se da y por tanto la resistencia que presenta y su no linealidad en el rango de operación. La resistencia de carga debe de ser considerablemente más grande que la del interruptor para que esta prueba sea válida.

Tal y como se vió en el apartado de diseño, la curva característica es similar a la obtenida. El punto máximo de la curva indicará el valor máximo de la resistencia que presenta el *switch*



**Figura 3.16: Simulación real de la impedancia de un interruptor.**



## Capítulo 4

# Mejora del amplificador

Una vez comprendido el funcionamiento del modulador y después de caracterizarlo, se realiza una propuesta de una nueva topología para el amplificador. Estas serán comparadas posteriormente. Este amplificador será de clase AB. Esta nueva topología realizará un *trade-off* entre la corriente y el ancho de banda, consiguiendo idealmente las mismas prestaciones que la topología anterior con la mitad de corriente. Por lo tanto se tendrá un factor 2 de mejora. [4]

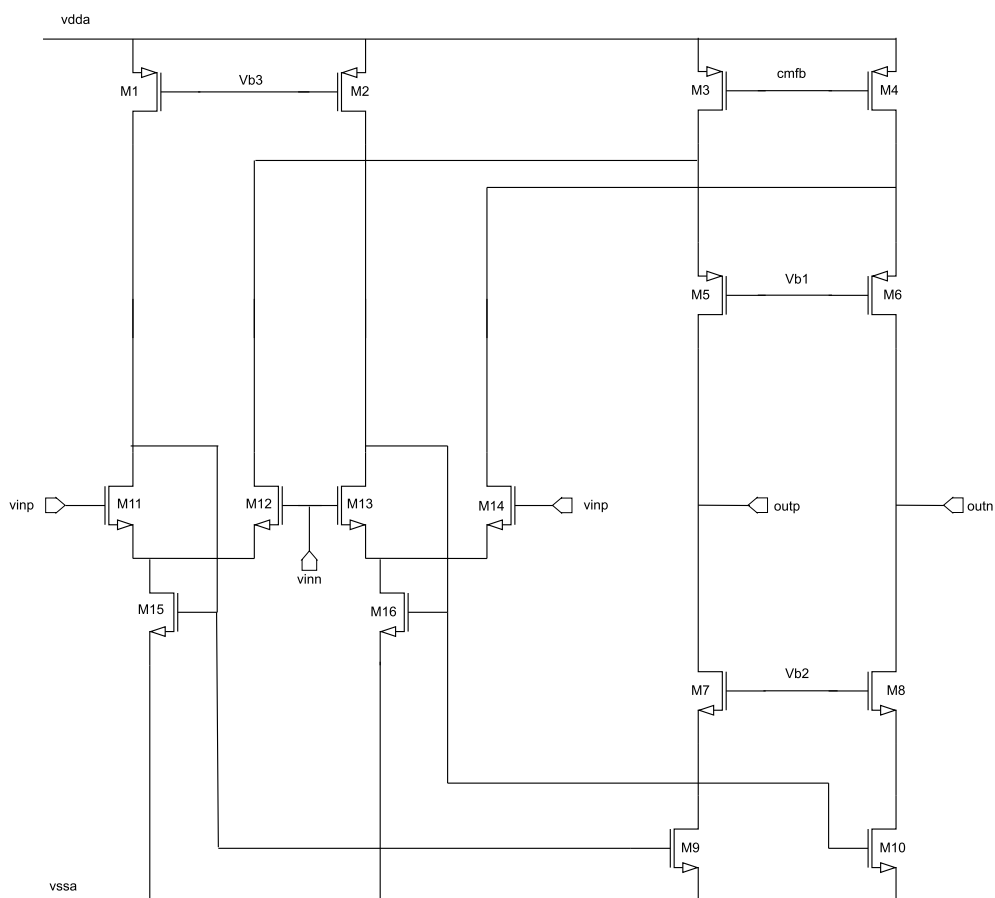


Figura 4.1: Topología del amplificador diferencial mejorado.

## 4.1. Topología de diseño

Esta topología presentará dos pseudo pares diferenciales para la señal de entrada de señal. Como es característico de los Clase AB, realizará un "doble balanceo", dependiendo de la fase aplicada de la señal de entrada (en caso de ser una señal senoidal), modificando la polarización tanto de las fuentes P como de las fuentes N.

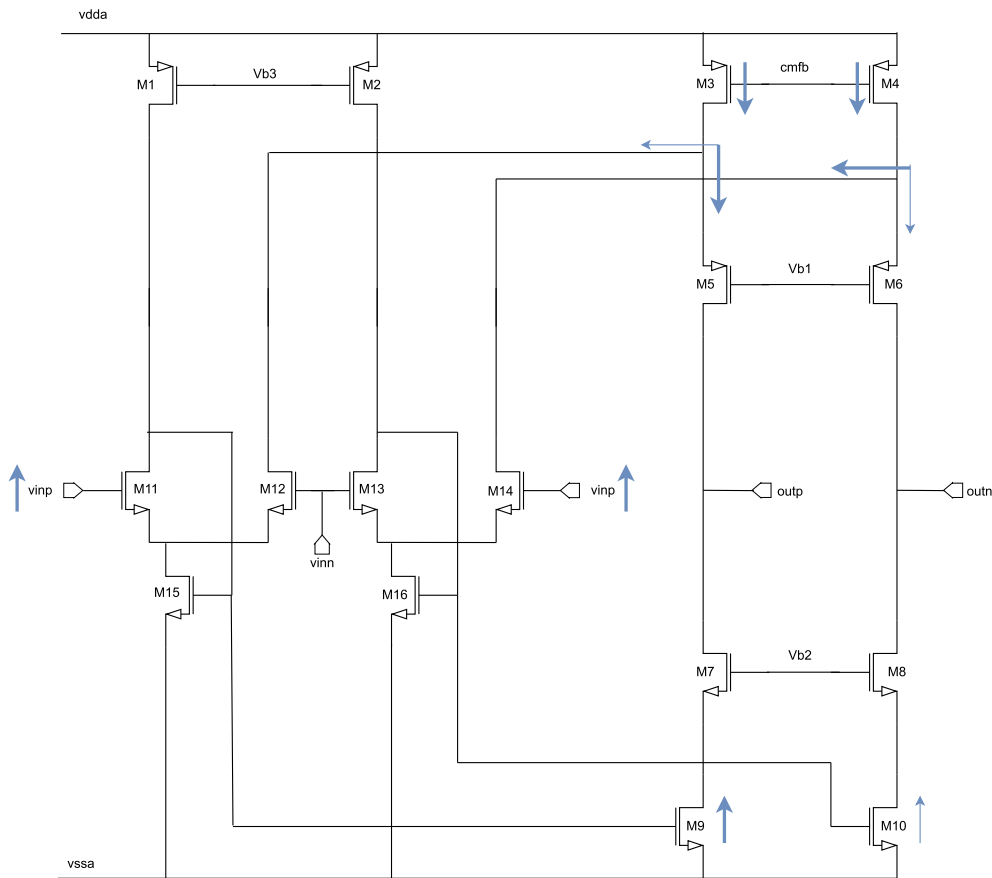
Para el dimensionamiento de este amplificador de la Figura 4.1 se deberá de tener en cuenta las limitaciones de algunos transistores. Uno de los transistores más críticos de diseño será el M16 (o el M15) debido a que estos generan la corriente necesaria para alimentar a los pares diferenciales y dependiendo de la tensión que estos consuman polarizarán las fuentes de corriente N que polarizan la salida. Existen varias corrientes que provienen de otros circuitos y servirán para polarizar. Tanto la tensión  $V_{b3}$  como  $V_{b2}$  y  $V_{b1}$  provienen del bloque de espejos de corriente. La tensión  $V_{cmfb}$ , tal y como dice su nombre vendrá del lazo de realimentación del modo común. Esta tensión regulará tal y como en la anterior topología la corriente por esa rama, pero esta vez tendrá una doble regulación. La razón de esto es debido a que la corriente introducida por las fuentes de corriente P, espejos en copia del modo común, repartirán la corriente entre el par diferencial y la etapa de salida. Estos a su vez están interconectados con las fuentes de corriente N M9 y M10.

Debido a la topología de los pares diferenciales, las entradas tendrán un rango limitado. Si este rango se sobrepasa, la polarización que se obtendrá en esa situación será crítica en el sistema. Si  $V_{in_n}$  sube su nivel, debería de aumentar la corriente de drenador del transistor M13, sin embargo la corriente por esa rama vendrá impuesta por la copia del transistor M2. Por lo tanto para compensar este aumento de tensión en la entrada y mantener la misma corriente subirá la tensión de surtidor M13 (drenador M16). En resumen, el rango de saturación de M14 viene definido por  $V_G$  del transistor M16. Si se analiza la caída de tensión sobre la rama de este transistor, el límite vendrá impuesto cuando la tensión que caiga en el transistor M13 no sea suficiente, ya que aumentaría la caída de  $V_{ds}$  en M16 quitándosela al transistor M13. Por otro lado si esta tensión disminuye, el transistor que en este caso está en peligro de una mala polarización es el M16. tal como se explicó antes, si el valor de la  $V_{in_n}$  disminuye, el valor de la tensión en el surtidor de M13 también disminuirá provocando que la tensión  $V_{DS}$  del M16 no sea suficiente.

$$I_D = \frac{K_{pp}}{2} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (4.1)$$

Por otro lado, es interesante realizar un análisis del modo diferencial comprobando así el funcionamiento transitorio de este amplificador. Se ponga por caso el aumento de la tensión  $V_{in_p}$ . Con esta premisa debería de aumentar la tensión en  $V_{out_p}$  y disminuir en  $V_{out_n}$ . Este hecho permite que más corriente fluya por esa rama y por ende, al tener una fuente constante de corriente que alimenta esa rama y la salida (transistores P), se desviará parte de la corriente que antes fluía por la rama de salida de  $out_n$ . Al ser clase AB, si se analiza de nuevo el circuito se encontrará en las fuentes N una doble compensación. De nuevo si la tensión en  $V_{in_p}$  aumenta, la corriente aumentará también, desbalanceando el par diferencial, debido a que la corriente que antes desviará más corriente por la misma razón anteriormente expuesta. Esto provoca que la tensión en el drenador de M13 disminuirá, al igual que en la puerta del M16 que a su vez está conectada con la puerta del transistor M10, fuente de corriente en N. Por lo tanto disminuye la salida por ambos lados. Esta compensación de corrientes y tensiones y corrientes ha sido ilustrada en la Figura 4.2. Si se analiza desde el punto de vista de la entrada del transistor M11, si esta tensión aumenta ( $V_{in_p}$  en la puerta

del M11), el desbalanceo en el par diferencial, se realizará a favor de esta rama, disminuyendo por tanto la corriente que pasa por la rama del transistor M12. Gracias a esto la fuente de corriente M3, distribuirá mayor corriente a la rama de salida  $out_p$ . Lo mismo ocurrirá con la fuente N de esa rama (transistor M9). El caso de disminuir esta entrada implicaría el efecto contrario de todo este análisis. Por último, el comportamiento de la variación de  $V_{in_n}$  sería similar al de  $V_{in_p}$  pero de manera opuesta. Si la tensión en  $V_{in_n}$  aumenta, la salida  $out_p$  disminuye y viceversa. Como se ha podido ver, los sistemas de clase AB realizan una doble compensación en el circuito, esto es lo que permite que con menos corriente las prestaciones sean similares ya que los cambios que este circuito experimenta es doble.



**Figura 4.2: Balanceo del sistema y funcionamiento del amplificador con aumento de la tensión  $V_{in_p}$ .**

La ganancia para este diseño se obtendrá aproximadamente como en la Ecuación 4.2. Se ha considerado que los transistores de cola son fijos ya que la variación que estos presentan es mínima. Esto implica poder analizarlos como un par diferencial común.

$$A = 2gm_{14} \cdot ((gm_8 \cdot rd_8(rd_4//rd_{14}))/rd_8) \quad (4.2)$$

Al igual que en los diseños anteriores será importante identificar cuales son los polos en este circuito. El punto con más capacidad parásita, excluyendo la salida, será el que comparte la puerta del transistor M16 con la puerta del M10 y los drenadores de M2 y M13, simétricamente con la

otra rama se encontrará otro. Por lo tanto si se quiere mejorar el margen de fase será acertado el reducir los tamaños de estos transistores.

## Capítulo 5

# Análisis temporal y frecuencial

Una vez ya caracterizados todos los módulos que componen el ADC, el estudio de la respuesta en el tiempo y frecuencia que este ofrece mostrará si el comportamiento que este proporciona es correcto o no. Para ello se ha utilizado la herramienta *Sandworks* con la que se podrá representar las señales internas del circuito. Con estos análisis, se comprobarán las prestaciones del circuito como el THD y el SNR y el funcionamiento interno de las señales del circuito. Será importante la configuración de la simulación que será reproducida para los análisis. En estos ejemplos la frecuencia de muestreo es de 16384 Hz y se utilizarán 65536 puntos para realizar el análisis en frecuencia. Cuanto más puntos se utilicen, más precisos serán los resultados.

### 5.1. Análisis frecuencial

Para el análisis frecuencial, se realizará mediante el procesado de la FFT de la salida del comparador. Esta salida tendrá un 1 para el nivel alto y un 0 para el nivel bajo. En realidad se necesitará que sea 1 y -1 respectivamente para analizarlo adecuadamente en frecuencia. Por ello se le ha realizado un par de transformaciones a la señal previamente. Primero se ha generado una señal digital de 1 bit, para ello si la señal está por encima de un valor intermedio, previamente establecido, la señal estará a nivel alto y en caso contrario a nivel bajo. Esta señal es la que se procesará en frecuencia. La transformada de Fourier se realizará con un enventado *Hanning*. Esta ventana distribuye la densidad de potencia de la señal en tres puntos, en vez de en un ancho de banda, de manera que los externos estén equidistantes del central y con una diferencia de  $6dB$ .

El espectro de la señal en frecuencia se podrá dividir en dos partes. La primera, donde se encuentra la señal introducida en el sistema, de bajas frecuencias y con poco ruido. Aquí se encontrarán los primeros armónicos a 2 veces y 3 veces la frecuencia central de la señal. Estas deberán ser lo mínimo perceptibles posibles, idealmente no existir, respecto a las cuales se podrá medir el THD. Esta medida es la diferencia entre el nivel de señal máximo respecto a estos armónicos. Será una manera de determinar como de buena es su respuesta en frecuencia respecto a otros sistemas y será clave la comparación de estos parámetros entre tecnologías. Por otro lado el espectro de medias y altas frecuencias estará eclipsado por el *noise shaping*. Esta respuesta del modulador es la propia del Sigma-Delta. Al tratarse en todos los casos aquí analizados de moduladores de segundo orden, la pendiente de este será de  $40dB$ .





**Figura 5.1: FFT del Sigma Delta.**

Como se puede observar en la Figura 5.1, la señal de entrada tiene una frecuencia de 1.25 Hz, se deberá comprobar el THD con los principales armónicos a  $2f$  y  $3f$ , es decir, a 2.5Hz y a 3.75Hz. Utilizando los cursores adecuadamente, se podrá medir el THD y anotándolo en una tabla será fácil de comparar.

El análisis del ruido para estas simulaciones será un parámetro importante a medir. Igualmente será necesario el configurar correctamente la simulación. Esta será una simulación transitoria incluyendo ruido donde habrá que definir la frecuencia máxima de este ruido. Para determinar esto, se buscará el componente con más ancho de banda. Por ejemplo, el amplificador, después de las simulaciones se puede observar que alrededor del megahercio. Los interruptores son los elementos más rápidos del sistema. Si la frecuencia viene determinada por la Ecuación 5.1 donde para obtener su equivalente en ancho de banda, se deberá de multiplicar el resultado por  $\pi$  y dividirlo entre 2. Esta será la frecuencia máxima para el ruido a simular.

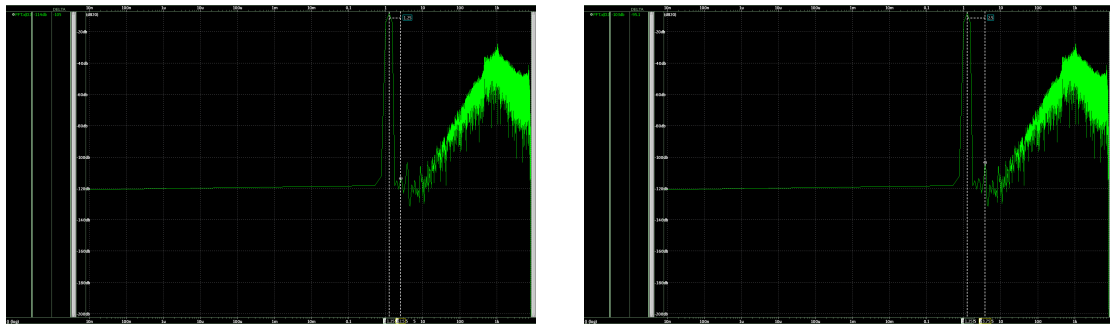
$$Frec_{MAX} = \frac{1}{2\pi RC} \qquad BW_n = \frac{\pi}{2} \cdot \frac{1}{2\pi RC} \qquad (5.1)$$

En la Ecuación 5.1 la R seleccionada será la equivalente del interruptor (de los transistores que lo forman) y la C sería la capacidad más pequeña de todo el esquema, en principio debería de ser el de la referencia de la primera etapa.

El segundo armónico denotará la simetría del diseño, si está perfectamente equilibrado este disminuirá hasta camuflarse entre el ruido. El tercero armónico estará relacionado con las no linealidades del diseño.

## 5.2. Análisis temporal

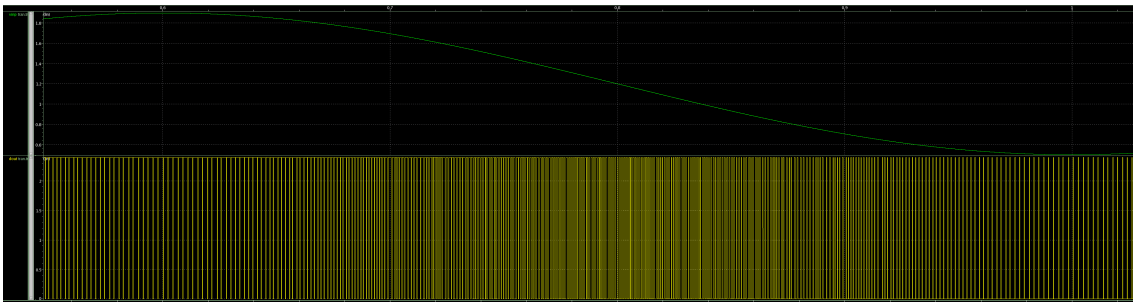
El análisis temporal puede mostrar el funcionamiento a lo largo del tiempo y mostrar algunos efectos propios del modulador. Además de analizar internamente las señales del modulador, será muy buena herramienta para comprobar que está funcionando correctamente. Se ha diseñado un



(a) Segundo armónico de la frecuencia de entrada    (b) Tercer armónico de la frecuencia de entrada

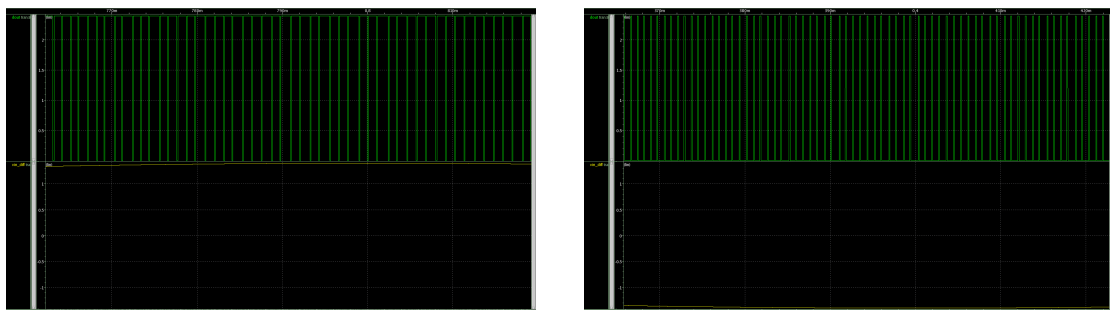
**Figura 5.2: Medición de armónicos en la FFT.**

banco de pruebas para el modulador completo que ayudará a realizar un análisis temporal más sencillo. Es importante analizar la señal de salida del modulador, comprobando así que se obtiene el resultado esperado. La salida digital de unos y ceros será modulado respecto a la señal de entrada, en este caso un seno. Si la señal está en su valor más álgido la densidad de unos será considerable a la salida. De la misma manera, cuando está en su valor más bajo, la presencia de ceros será dominante respecto a los unos. Sin embargo cuando está justo en el valor intermedio, el cambio entre valor alto y bajo es rápido y constante debido a que el comparador estará cerca de su valor intermedio y con una mínima diferencia en sus valores de entrada, por lo tanto oscilará rápidamente.



**Figura 5.3: Conversión de la señal analógica-digital.**

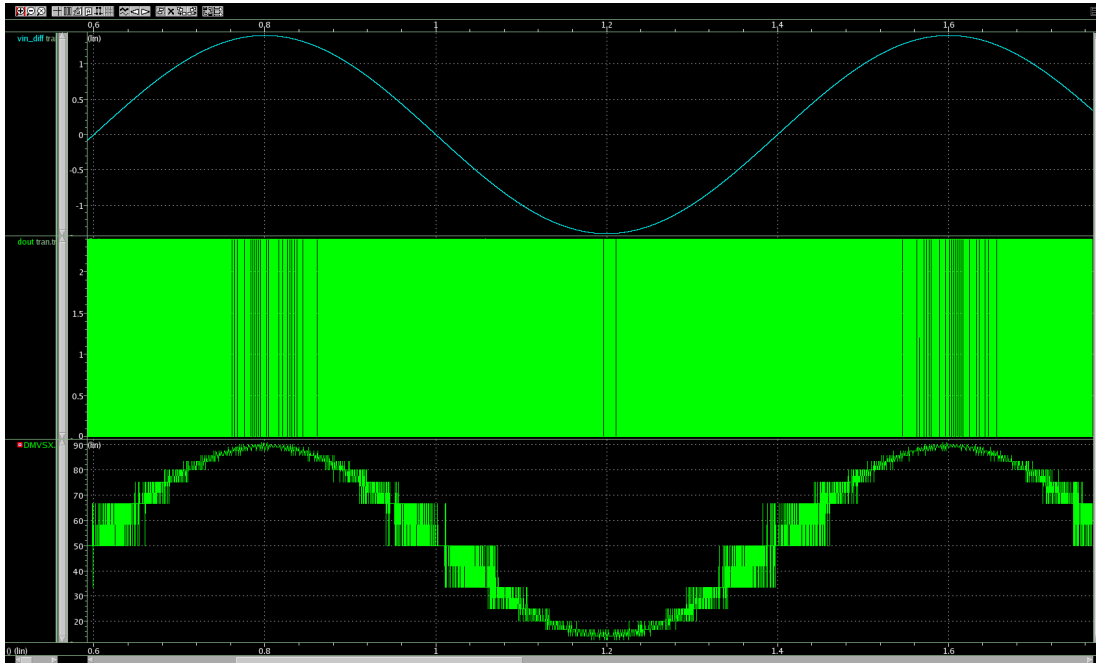
Se podrá hacer un zoom para ver mejor lo expuesto en la Figura 5.3.



(a) Imagen detallada de la conversión de unos.    (b) Imagen detallada de la conversión de ceros.

**Figura 5.4: Densidad de unos y ceros a la salida del sistema.**

Una manera alternativa y muy visual de ver esta secuencia es mirando el *Duty Cycle* de la señal digitalizada, tal y como se ve en la Figura 5.5. Esta mostrará la evolución de unos y ceros en el sistema. En el eje Y se mostrará el porcentaje de unos en el sistema.



**Figura 5.5: *Duty Cycle* de la señal digitalizada.**

En el banco de prueba se han generado las señales diferenciales y de modo común de las entrada a los amplificadores, tanto del primero como del segundo. De esta manera será posible visualizarlas de una manera sencilla. Será útil visualizarlas y ver así como evolucionan respecto a la señal de entrada.

En la Figura 5.6 se puede ver como para cada escalón se realiza una iteración completa que evoluciona en otra tensión diferente fruto de la integración y así se irá muestreando la señal. Cada iteración esta representada por dos etapas, tal y como se puede ver. La primera es muestreo de la señal y el segundo es la integración. Si se observa con detalle vemos como ambos están separados por un pequeño pico. Este representa el cambio de posición de los interruptores introduciendo una inyección de carga al circuito.

El modo común de los amplificadores se mantendrá al nivel establecido. Se puede observar como en la Figura 5.7 tiene un cierto tiempo de establecimiento, esto tendrá bastante dependencia de la ganancia del amplificador del modo común diseñado, siendo para este caso más que suficiente.

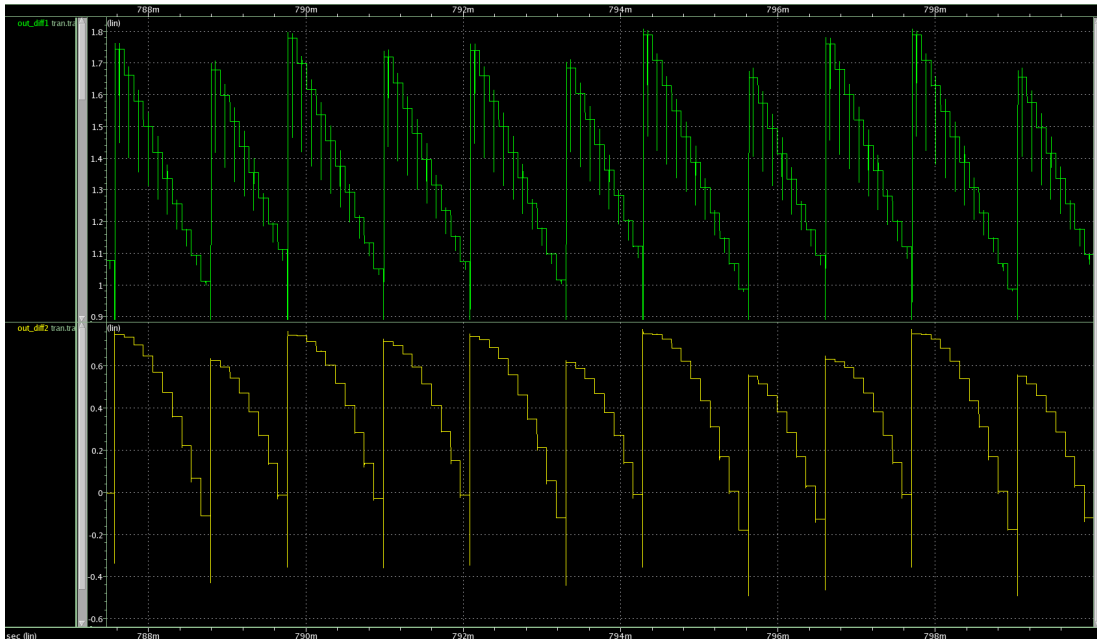


Figura 5.6: Señal diferencial de salida de los moduladores.

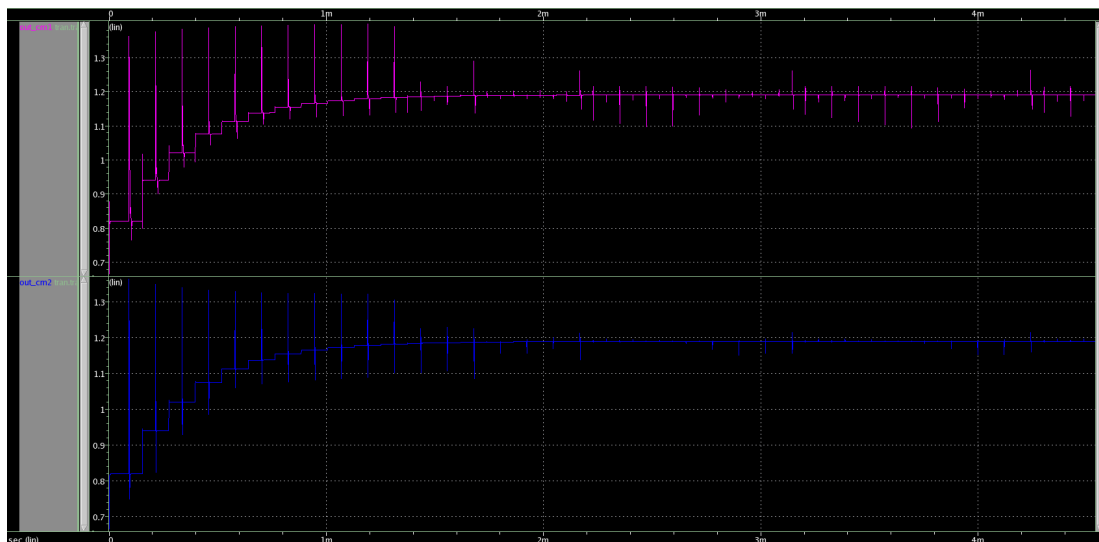


Figura 5.7: Señal común de salida de los moduladores.



## Capítulo 6

# Resultados y Prestaciones

En este capítulo se realizará una comparación de todas las prestaciones obtenidas una vez las simulaciones han sido realizadas. Se contrastarán las prestaciones del diseño realizado en tecnología de  $350nm$  y  $110nm$ , con ambas propuestas aquí mostradas.

En primer lugar se analizará el amplificador que este modulador incluye. Se crearán diferentes salidas que proporcionarán las características de este circuito. Estas salidas son creadas mediante el diseño de sentencias de manera asistida. *Cadence* incluye algunas herramientas que servirán al diseñador de guía para generar estas salidas, entre ellas la calculadora, que proporciona la posibilidad de realizar medidas en el diseño.

En la Tabla 6.1 se ha identificado el ADC con el modulador propuesto como mejora con el nombre de *optimized*. Se han presentado algunas características básicas de los amplificadores que se encuentran en los moduladores para tener una guía de las prestaciones que se están estudiando en este diseño.

Estas prestaciones expuestas en la Tabla 6.1 corresponde a los valores nominales de diseño. En realidad a la hora de realizar la fabricación del producto habrá que tener en cuenta dos tipos de variaciones, la llamada de *mismatch* y la de *process*. Para simular las primeras se tendrá que analizar los parámetros en una simulación Montecarlo. Para la segunda se realizará un estudio en *corners*, donde se podrán personalizar qué parámetros y cuanto variarán respecto al original. Una vez rea-

Prestaciones Nominales del Amplificador			
Características	diseño original	110nm	110nm (optimized)
Gain $A_0$	89,9 dB	94,35 dB	102 dB
Gain $A_0$ CMFB	85,1 dB	92,81 dB	89,4 dB
PM	97,45°	95,51°	116,1°
PM CMFB	40,52°	65,57°	84,16°
GBW	1,121 MHz	1,354 MHz	1,617 MHz
GBW CMFB	430,1 KHz	859,7 KHz	439,8 KHz
$A_0$ 1V9	78,7 dB	83,68 dB	67,88 dB
$A_0$ -1V9	78,7 dB	83,68 dB	67,88 dB
$I_{DC}$	3,233 $\mu A$	3,064 $\mu A$	2,757 $\mu A$

**Tabla 6.1:** Tabla de comparación de valores nominales entre las diferentes tecnologías.

<b>350nm</b>		
27%	<b>110nm</b>	
69%	32%	<b>110nm (optimized)</b>

**Tabla 6.2: Comparación de ratios de mejora tecnológicas entre corriente y ancho de banda.**

Prestaciones del diseño del amplificador							
	OpAmp	Comp	Switch	Phase Generator	HD2 (dBc)	HD3 (dBc)	THD (dBc)
Ideal	•	•	•	•	121	109	108.73
Schematic							
Ideal		•	•		124	103	102.96
Schematic	•						
Ideal			•	•	129	102	101.99
Schematic	•	•					
Ideal				•	116	105	104.6
Schematic	•	•	•				

**Tabla 6.3: Comparación del modulador respecto la implementación de sus componentes internos.**

lizada esta configuración se realiza un estudio de los resultados y se escogen los obtenidos con peores prestaciones. De esta manera se asegurará que el diseño es apto para el peor de todos los casos.

Con los datos obtenidos de los moduladores se podrá establecer ratios de mejora entre tecnologías y los diseños realizados. Estos dependerán directamente de la corriente y el ancho de banda, siendo estos los parámetros que afectan al *trade-off* principal del diseño y por lo que se ha diseñado nuevas topologías para el modulador.

Los porcentajes de la Tabla 6.2 representa cuanto ha mejorado en consumo respecto ancho de banda entre las tecnologías que encuentran indicadas en su fila y columna. Por ejemplo, entre el diseñado en 110nm optimizado y el de 350nm ha habido una mejora de un 69%.

Tal y como se explicó en el capítulo anterior una de las prestaciones que ayudarán a concluir la calidad del diseño es la medida de la Distorsión Armónica Total (*Total Harmonic Distorsion*, THD). Se ha realizado una prueba con la caracterización del modulador de manera ideal, es decir, todos los componentes que lo conforman serán ideales. Respecto a esta medida, se sustituirán secuencialmente sus componentes hasta obtener una respuesta de todos los componentes diseñados con las medidas reales. Será interesante ver como se degrada esta relación según nuevos componentes reales se van añadiendo al sistema.

En la Tabla 6.3, que corresponde al diseño de ta11, se ha comparado en el modulador las prestaciones según se han ido implementando componentes reales. Cuando los resultados se diferencian mucho respecto al caso anterior muestra que el nuevo componente añadido se diferencia mucho de su comportamiento ideal, ya que está aumentando la distorsión armónica. En los resultados obtenidos, las prestaciones como eran de esperar se degradan respecto a la implementación ideal. Los cambios que se han producido en la respuesta contiene errores con cifras más que asumibles, teniendo aún así buenas características. En caso de que estos no fueran buenos o se hubieran degradado demasiado, habría que replantear el diseño de nuevo o realizar un mejor ajuste.

<b>Corners</b>			
	<b>HD2 (dB)</b>	<b>HD3 (dB)</b>	<b>THD (dB)</b>
<b>original</b>			
Nominal	105 dB	95,1 dB	94,67 dB
WC A0	110 dB	82,8 dB	82,8 dB
WC A0 1V9	116 dB	90,6 dB	90,58 dB
WC GBW	107 dB	82,1 dB	82,08 dB
WC PM	112 dB	104 dB	103,36 dB
<b>110nm</b>			
Nominal	120 dB	106 dB	105,83 dB
WC A0	116 dB	105 dB	104,6 dB
WC A0 1V9	117 dB	114 dB	112,2 dB
WC GBW	121 dB	132 dB	120,6 dB
WC PM	104 dB	120 dB	103,8 dB
<b>110 (optimized)</b>			
Nominal	113 dB	128 dB	112,86 dB
WC A0	103 dB	107 dB	101,54 dB
WC A0 1V9	118 dB	119 dB	115,46 dB
WC GBW	109 dB	121 dB	108,73 dB
WC PM	111 dB	107 dB	105,54 dB

**Tabla 6.4: Comparación los diferentes moduladores en WC de sus parámetros**

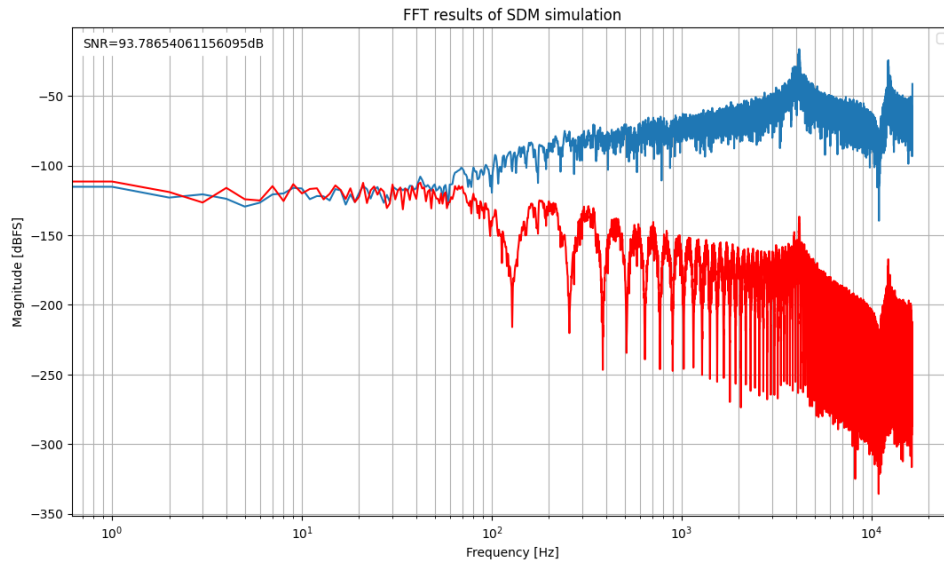
Realmente será muy interesante realizar una comparación de todos los *Worst Cases*, WC, en los tres diseños realizados y ver que caso es el peor entre todos en los diferentes parámetros.

Como se puede ver en la Tabla 6.4 los modelos de la tecnología de 110nm mejoran casi todas las prestaciones de la tecnología anterior. Son por tanto, las prestaciones más que válidas para un diseño de estas características. Los WC han sido tomados de las prestaciones del amplificador interno y se han impuesto los parámetros de dichos corners en la simulación del modulador completo. Esto es debido al tiempo y recursos necesarios que harían falta si en lugar de esto se realizasen los *corners* del modulador simplemente sin filtrar previamente los peores casos. Los resultados hubieran sido los mismos.

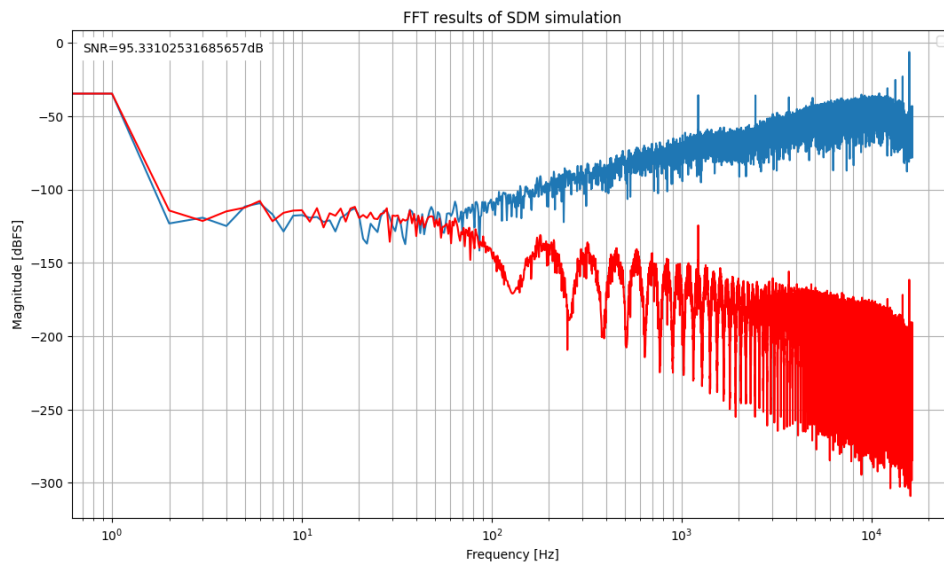
Para simular el ADC completo, se ha generado un código de *Python* a modo de simulador y visualizador de onda que es capaz de simular el comportamiento del ADC completo. Para ellos este programa, utiliza como entrada una trama de la salida del comparador, obtenido en *Cadence* en un fichero de texto, en este caso correspondiente a una simulación sin señal y solo con señal de ruido. De esta manera el *noise shaping* es filtrado por el programa y es capaz de calcular la relación señal a ruido (SNR). Este código aplica el filtrado de la etapa final, el decimador, obteniendo así la salida que se obtendría de la señal introducida.

Se ha configurado el decimador para realizar un filtrado paso bajo con una función  $\text{sinc}^3$ , tal y como se ve en las figuras finales, realiza una función de peine en frecuencia. El ancho de banda filtrado por este filtro será el de la frecuencia máxima de la señal de entrada. Se ha utilizado un OSR de 250. Como se puede ver en las Figuras 6.1 y 6.2 se han comparado las prestaciones de la Señal a Ruido de ambas tecnologías. Ambas simulaciones se han realizado con el caso nominal de ambas. La primera tecnología de 350nm muestra un SNR de 93,7dB. La tecnología de 110nm





**Figura 6.1**



**Figura 6.2**

presenta un SNR de  $95,33dB$ . Como se observa este parámetro ha mejorado respecto la anterior tecnología teniendo en este caso una señal más limpia.

## Capítulo 7

# Conclusión

En este Trabajo Fin de Grado se ha abordado el diseño y verificación de un ADC Sigma Delta, concentrándose en el desempeño del modulador. El objetivo principal era comparar las prestaciones de una misma topología en diferentes tecnologías, para ello caracterizarlo y realizar ese diseño ha sido necesario. Adicionalmente a esto se ha diseñado una nueva topología en el modulador la cual mejoró claramente las prestaciones, resultando en tener la mitad de consumo para la misma velocidad.

Los resultados obtenidos muestran como se ha conseguido dicha mejora, explicando las técnicas y la metodología utilizada para mejorar las prestaciones y ajustar el diseño al máximo. Respecto a líneas futuras, se podrían desarrollar nuevas topologías más eficientes y diseñar un Sigma Delta más complejo con mayor resolución y reducciones de consumo.

Por lo tanto, y en resumen, se ha cumplido el objetivo propuesto y será útil partir de aquí para seguir investigando y mejorando las prestaciones aquí conseguidas. Este proyecto también será útil para aplicar la metodología aquí utilizada en el diseño y verificación de otros sistemas analógicos.



# Bibliografía

- [1] Angel Rodríguez-Vázquez Fernando Medeiro Angel Pérez-Verdú. *Top-Down Design of High-Performance Sigma-Delta Modulators*. The Springer, 2003. ISBN: ISBN: 978-1-4757-3003-6.
- [2] Paul R. Gray et al. *Analysis and Design of Analog Integrated Circuits*. Wiley, 2001, pág. 896. ISBN: 0471321680.
- [3] Behzad Razavi. *CMOS Design*. Wiley, 2003, pág. 896. ISBN: 0471321680.
- [4] Y. Dai y J. Yao. “A novel fully-differential class AB folder-cascode”. En: *IEICE Electronics Express, Vol 1, No 13* (oct. de 2010), págs. 358-362.