



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA



UNIVERSITAT POLITÈCNICA DE VALÈNCIA

Escuela Técnica Superior de Ingeniería Industrial

Diseño de un convertidor de potencia escalable formado
por módulos de 10 kW para la integración de recursos
energéticos en una red eléctrica de baja tensión

Trabajo Fin de Máster

Máster Universitario en Ingeniería Industrial

AUTOR/A: Verdugo Macías, Pablo

Tutor/a: González Medina, Raúl

Cotutor/a: Figueres Amorós, Emilio

CURSO ACADÉMICO: 2022/2023

RESUMEN

La potencia solar fotovoltaica instalada en España desde el año 2019 ha tenido un nuevo impulso gracias a las instalaciones de autoconsumo. En este tipo de instalaciones, para potencias inferiores a 100kW es posible acogerse al mecanismo de compensación simplificada de excedentes, tal como regula el RD 244/2019. También puede resultar interesante combinar la producción fotovoltaica con baterías para almacenar el exceso de energía y utilizarlo en otro momento, en lugar de verterlo a la red.

En el presente Trabajo Final de Master (TFM), se pretende desarrollar un convertidor de potencia modular para interconectar varios recursos energéticos (inversores fotovoltaicos y baterías, aunque podrían conectarse también otros recursos) con una red eléctrica. El convertidor completo estaría formado por dos o más módulos iguales de 10 kW, conectados entre sí por un bus DC común.

Los módulos estarán formados por un puente completo de transistores IGBT y un microcontrolador en el que se ejecutarán los lazos de control primario. Cada módulo se podrá utilizar como un inversor monofásico, como dos convertidores DC/DC bidireccionales independientes o un convertidor DC/DC bidireccional de dos ramas funcionando en modo phase-shifting. Sería posible asociar tres módulos para la conexión del convertidor a una red trifásica.

Los lazos de control secundarios para gestionar los flujos de potencia entre módulos se ejecutarán en un controlador central que se comunicará con los módulos mediante un bus de comunicaciones UART. El controlador central también se utilizará para la configuración de los módulos en cada aplicación. Se diseñarán la etapa de potencia y de control del módulo de 10kW. El diseño se validará mediante la simulación en PSIM de todos los modos de funcionamiento.

Palabras clave: Convertidor electrónico; Inversor; DC/DC; Electrónica de potencia; Fotovoltaica; Baterías.

ABSTRACT

The photovoltaic solar power installed in Spain since 2019 has had a new boost thanks to self-consumption facilities. In these types of facilities, for powers of less than 100kW it is possible to take advantage of the simplified surplus compensation mechanism, as regulated by RD 244/2019. It may also be interesting to combine photovoltaic production with batteries to store excess energy and use it at another time, instead of pouring it into the network.

In this Final Master's Project (TFM), it is intended to develop a modular power converter to interconnect various energy resources (photovoltaic inverters and batteries, although other resources could also be connected) with an electrical network. The complete converter would be made up of two or more equal 10 kW modules, connected to each other by a common DC bus.

The modules will consist of a full bridge of IGBT transistors and a microcontroller in which the primary control loops will be executed. Each module can be used as a single-phase inverter, as two independent bidirectional DC/DC converters or a two-branch bidirectional DC/DC converter operating in phase-shifting mode. It would be possible to associate three modules to connect the converter to a three-phase network.

The secondary control loops to manage the power flows between modules will be executed in a central controller that will communicate with the modules through a UART communication bus. The central controller will also be used for the configuration of the modules in each application. The power and control stage of the 10kW module will be designed. The design will be validated by means of the simulation in PSIM of all the modes of operation.

Key words: Electronic converter; Inverter; DC/DC; Power Electronic; Photovoltaic, Batteries.

ÍNDICE

| | |
|---|----|
| RESUMEN | 1 |
| ABSTRACT | 2 |
| Memoria descriptiva | 5 |
| 1. Introducción | 5 |
| 2. Estudio de mercado | 5 |
| 3. Tecnología de semiconductores..... | 9 |
| 4. Diseño del inversor monofásico..... | 10 |
| 4.1. Valores de funcionamiento..... | 10 |
| 4.2. Modulación PWM unipolar | 11 |
| 4.3. Normativa CEM. | 14 |
| 4.4. Filtros pasivos de armónicos | 18 |
| 4.4.1. Filtro L..... | 18 |
| 4.4.2. Filtro LCL..... | 19 |
| 4.5. Capacidad de la DC-link..... | 26 |
| 4.6. Implementación digital del control..... | 27 |
| 4.7. Lazos de control del inversor | 28 |
| 4.7.1. SOGI-FLL para sincronizar el control con la red | 29 |
| 4.7.2. FdT del inversor..... | 33 |
| 4.7.3. Lazo de corriente y reguladores..... | 35 |
| 4.7.4. Lazo de Tensión..... | 42 |
| 4.8. Validación del diseño en PSIM. | 49 |
| 4.8.1. Validación del SOGI-FLL..... | 49 |
| 4.8.2. Lazo de tensión y filtro Notch. | 51 |
| 4.8.3. Lazo de corriente y filtro LCL..... | 52 |
| 5. Diseño del convertidor DC/DC bidireccional para fotovoltaica | 55 |
| 5.1. Paneles FV seleccionados y valores de funcionamiento..... | 57 |
| 5.2. Modelización del string FV | 59 |
| 5.3. Lazos de control | 60 |
| 5.3.1. Lazo de corriente para FV..... | 61 |
| 5.3.2. Lazo de tensión para FV. | 67 |
| 5.3.3. Algoritmo de búsqueda del MPPT..... | 72 |
| 5.4. Validación del diseño PV | 73 |
| 6. Diseño del convertidor DC/DC bidireccional para baterías..... | 76 |
| 6.1. Selección de batería | 76 |
| 6.2. Modelización del ECM..... | 78 |

| | | |
|--------|---|-----|
| 6.3. | Perfil de carga..... | 81 |
| 6.4. | Parámetros del ECM y topología del DC/DC para baterías..... | 83 |
| 6.5. | Lazos de control del convertidor DC/DC para baterías..... | 86 |
| 6.5.1. | Lazo de corriente para baterías..... | 86 |
| 6.5.2. | Lazo de tensión para baterías..... | 90 |
| 6.6 | Validación del diseño para baterías..... | 91 |
| 7. | Funcionamiento de los DC/DC en phase-shifting..... | 94 |
| 8. | Elección de transistores y radiador..... | 98 |
| 9. | Diseño del módulo (Esquemático)..... | 103 |
| | PRESUPUESTO | 109 |
| 1. | Introducción..... | 109 |
| 2. | Unidad de obra..... | 109 |
| 3. | Cuadro de precios descompuestos y estado de las mediciones..... | 109 |
| 3.1. | Software | 109 |
| 3.2. | Hardware/Materiales..... | 110 |
| 4. | Coste total del proyecto..... | 111 |
| | ANEXO I | 112 |
| 1. | Filtro LCL..... | 112 |
| 2. | FdT para FV..... | 113 |
| 3. | FdT para baterías..... | 114 |
| 4. | FdT para DC/DC en phase-shifting (FV)..... | 115 |
| | BIBLIOGRAFÍA..... | 117 |

Memoria descriptiva.

1. Introducción.

El objetivo del presente trabajo final de master (TFM) consiste en desarrollar un sistema de potencia escalable compuesto por módulos de 10 kW que se conecten entre sí mediante un bus de continua.

El número de módulos empleados dependerá de las necesidades energéticas de la instalación de baja tensión (red residencial) a la que se conecten, pudiendo llegar a configurar un sistema que suministre potencia a un edificio de viviendas. El funcionamiento de cada módulo será configurable, de forma que cada uno de ellos podrá trabajar tanto como un inversor conectado a la red doméstica como un convertidor DC/DC para la conexión de strings fotovoltaicos y baterías.

En los siguientes apartados de la memoria descriptiva se pretenden sentar las bases de la elección de los valores de funcionamiento y tecnología a emplear para que los convertidores de potencia modulables posean las máximas prestaciones.

Para la estimación del funcionamiento de los módulos¹ se realiza un estudio de mercado que muestra el alcance de los inversores monofásicos y paneles fotovoltaica para uso residencial de los principales fabricantes internaciones.

2. Estudio de mercado.

El objetivo del estudio de mercado es diseñar un sistema de potencia compatible con la tecnología más vanguardista y de mayor potencia de módulos fotovoltaicos existentes, así como conocer los valores más habituales de funcionamiento de los inversores fotovoltaicos que dominan el sector.

La consultora Wood Mackenzie, especializada en renovables, energía y recursos naturales, estima en su estudio *“Global solar PV inverter and module-level power electronics (MLPE) market share 2023”* [1] que los 10 principales fabricantes de inversores solares fotovoltaicos acumulan una cuota de mercado del 82%.

¹ En adelante, llamaremos módulos a los convertidores de potencia modulables.

En la siguiente imagen, se muestra el crecimiento de entre los años 2019 y 2021 de los envíos mundiales de inversores en *MWac* (megavatios de corriente alterna) de los principales fabricantes.

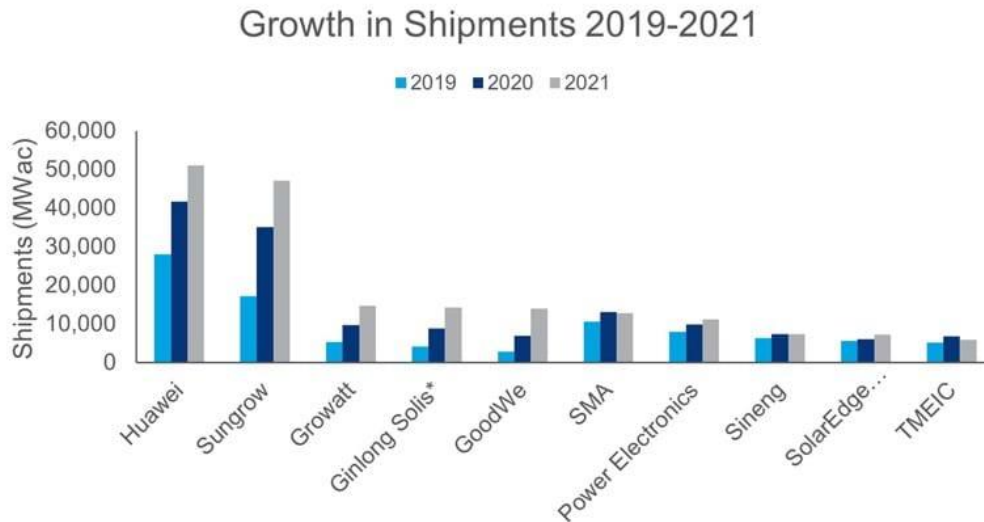


Ilustración 1: Crecimiento de envíos de Inversores de 2019 a 2020 del Top 10 de fabricantes [1].

Las unidades de Wac, a diferencia de las unidades estándar de potencia para corriente continua en Wp (Vatios pico) empleadas con frecuencia para sistemas fotovoltaicos (SFV en adelante), tienen en cuenta las pérdidas de conversión de los SFV instalados, con un ratio AC/DC habitual de entre 1,1 y 1,6 [2].

Como se puede observar en la **Ilustración 1**, Huawei lidera el mercado con una cuota del 23%, seguido muy de cerca por Sungrow con un 21% y, junto a Growatt (7%), los tres principales fabricantes controlan la mitad del mercado global de inversores fotovoltaicos.

De forma paralela, la consultora IHS Markit (Actual S&P Global), nos proporciona datos sobre la capacidad de producción (Naranja) y la producción neta (Azul) de módulos fotovoltaicos en los años 2016 y 2017 junto a una estimación de la capacidad de producción para el año 2018 (Naranja claro) en *MWp* de potencia [9].

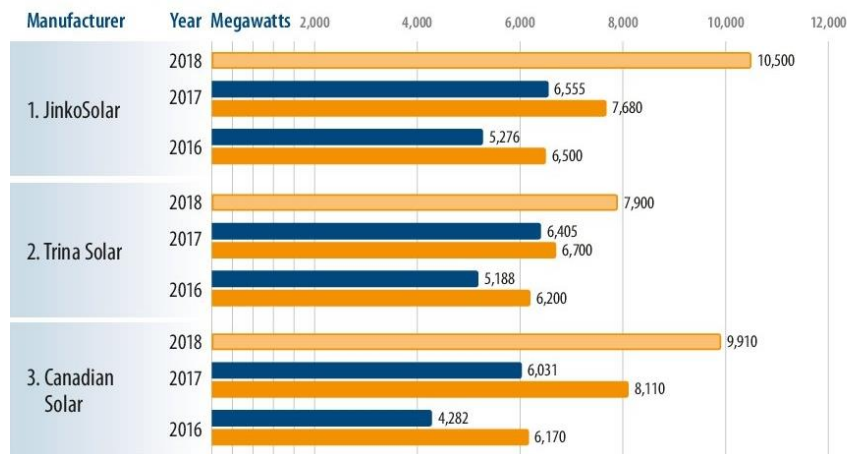


Ilustración 2: Top 10 fabricantes de módulos solares en 2017 [9].

Para poner en contexto, la capacidad de producción de Jinko Solar estimada para el año 2018 equivale a el total de potencia fotovoltaica instalada en España hasta el año 2018.

En las siguientes tablas, se muestran las prestaciones de los inversores monofásicos de mayor potencia de los tres principales fabricantes, así como las características más destacables de los modelos de panel fotovoltaico más potentes de los que disponen los tres proveedores más importantes del sector.

Tabla 1: Tensión y potencia de los inversores de los principales fabricantes [3],[4],[5].

| Fabricante | Gamas de Inversores | $P_{m\acute{a}x}$ entrada (kWp) | $P_{m\acute{a}x}$ salida (kW) | $V_{m\acute{a}x}$ entrada (V) | V_{nom} entrada (V) |
|------------|---------------------|---------------------------------|-------------------------------|-------------------------------|-----------------------|
| Huawei | SUN2000-2~6KTL-L1 | 9 | 6 | 600 | 360 |
| Sungrow | SG3.0~6.0RS | 13 | 6 | 560 | 360 |
| Growatt | MIN 2500~6000TL-XH | 10 | 6 | 550 | 360 |

Tabla 2: Corriente de los inversores de los principales fabricantes [3],[4],[5].

| Fabricante | Gamas de Inversores | $I_{m\acute{a}x}$ entrada por MPPT (A) | $I_{sc_m\acute{a}x}$ entrada por MPPT(A) | $I_{m\acute{a}x}$ salida (A) |
|------------|---------------------|--|---|------------------------------|
| Huawei | SUN2000-2~6KTL-L1 | 12,5 | 18 | 27,3 |
| Sungrow | SG3.0~6.0RS | 16 | 20 | 27,3 |
| Growatt | MIN 2500~6000TL-XH | 13,5 | 16,9 | 27,2 |

Tabla 3: Potencia y corriente de los módulos fotovoltaicos de los principales fabricantes [6],[7],[8].

| Fabricante | Gamas de Módulos FV | $P_{m\acute{a}x}$ (W) | I_{mp} (A) | I_{sc} (A) |
|----------------|----------------------------|-----------------------|--------------|--------------|
| Jinko Solar | Tiger Neo N-type 78HL4-(V) | 630 | 13,69 | 14,39 |
| Trina Solar | TSM-DE21 | 670 | 17,55 | 18,62 |
| Canadian Solar | CS7N-670MB-AG | 670 | 17,32 | 18,55 |

Los inversores expuestos en las **Tablas 1 y 2** son, en todos los casos, convertidores DC/AC que disponen de un bus de continua a la entrada al que se conectan un par de strings fotovoltaicos (cadenas de paneles solares en serie).

Sendas conexiones dispones de controles MPPT (Maximum Power Point Tracking) que permiten determinar el punto de funcionamiento de máxima potencia al que pueden trabajar cada strings fotovoltaico antes de su conexión al bus de entrada, dadas las condiciones ambientales en cada momento (Irradiancia, Temperatura, etc).

Todos los inversores disponen de una conexión directa adicional para el acoplamiento de baterías al bus y, solo en el caso del inversor de Sungrow, la batería se conecta a través de un convertidor DC/DC que permite regular los niveles de tensión de forma adecuada.

Cabe destacar que, al tratarse de inversores monofásicos que se conectan a redes residenciales, los valores nominales de la tensión de salida de estos serán de 230 V a 50/60 Hz (todos ellos permiten trabajar a ambas frecuencias). Sin embargo, los valores de la red no son estáticos y, dependiendo del modelo, el inversor soporta mayores o menores variaciones de estos valores.

Como podemos observar en la **Tabla 1**, las potencias de entrada que pueden llegar a los inversores son del entorno de los 10 kW, aunque la máxima potencia que estos pueden entregar es, en todos los casos, de 6 kW.

Según la Comisión Nacional del Mercado y la Competencia (CNMC), el promedio de energía contratada por los hogares en España en el año 2021 fue de 4,1 kW [10], por lo que la potencia que pueden llegar a entregar estos inversores es más que suficiente para cubrir la demanda de la mayoría de los hogares.

Sin embargo, dada la naturaleza del presente proyecto, el cual pretende abarcar hasta el suministro energético de la red de un edificio de viviendas, se opta porque el módulo a desarrollar (cuando se configure como inversor) tenga la capacidad de entregar hasta 10 kW.

En este sentido, para que las corrientes que circulan por el bus no sean excesivamente elevadas debido a la mayor potencia que maneja este diseño, en lugar de fijar la tensión nominal del bus a 360 V (**Tabla 1**) se opta por fijar esta tensión a 450 V (más adelante se verá que existen más razones para elevar esta tensión).

En cualquier caso, las corrientes de entregan los módulos funcionando como inversores serán más elevadas que las que se pueden apreciar en la **Tabla 2**, de en torno a 27 A.

Finalmente, de las **Tablas 3** se extrapola que los paneles fotovoltaicos del mayor potencia disponibles en el mercado, tanto trabajando en su punto de máxima potencia (I_{mp}) como entregando la corriente de cortocircuito (I_{sc}), no superan los 20 A.

Por ello, se fijará esta corriente como la máxima que pueden soportar los módulos trabajando en DC/DC, siendo 15 A su valor nominal de funcionamiento, similar a los valores nominales de corrientes de entrada de los inversores de la **Tabla 2** ($I_{m\acute{a}x}$ entrada por MPPT).

3. Tecnología de semiconductores.

Para el diseño de cualquier convertidor electrónico de potencia, los transistores son la pieza clave, ya que son los elementos que, mediante su conmutación, nos permiten regular los parámetros de funcionamiento, ya sea elevar el valor de la tensión continua en el caso de un convertidor Boost o transformar corriente continua en alterna en el caso del inversor.

Además de ser claves para el correcto funcionamiento de los convertidores, también resultan críticos para la eficiencia de los diseños electrónicos, ya que las pérdidas de conmutación se hacen especialmente relevantes trabajando a altas frecuencias.

En este apartado se presentan brevemente las tres tecnologías de semiconductores más relevante para el diseño de convertidores de potencia, siendo estas los transistores:

- IGBT.
- MOSFET.
- SiC MOSFET (MOSFET de carburo de silicio).

Los primeros en comentar son los MOSFET de silicio convencionales. Se trata de transistores que permiten velocidades de conmutación altas, de centenares de kHz que presentan una resistencia de conducción reducida. Sin embargo, se vuelven especialmente ineficientes en aplicaciones de alta potencia, en las que las tensiones elevadas de bloqueo provocan grandes pérdidas [28]. Esto los hace inviables para operar con potencias entorno a los 10 Kw.

Otro caso distinto ocurre con los SiC MOSFET. Presentan menores pérdidas de conmutación y capacidad para trabajar a temperaturas más altas que los MOSFET, además de ser eficientes trabajando con altas potencias. Por el contrario, al tratarse de una tecnología novedosa, representan un costo más elevado que el resto de transistores y existe poca variedad y disponibilidad de estos respecto a los demás.

Finalmente, los IGBT son ideales en aplicaciones con altas corrientes y altas tensiones de bloqueo, aunque se vuelven muy ineficientes trabajando con altas potencias a altas velocidades de conmutación. Para evitar esto, se ha de reducir la velocidad de conmutación.

Debido a su mayor disponibilidad y a que se puede conseguir un funcionamiento eficiente fijando una frecuencia de conmutación que no sea excesiva, se selecciona el IGBT antes que el MOSFET de carburo de silicio.

Además, la principal ventaja que presentan los SiC MOSFET al aumentar la frecuencia de conmutación sin exceder las pérdidas, puede provocar un aumento de la complejidad del diseño, ya que la normativa para el cumplimiento de las EMI (interferencias electromagnéticas) comenzaría a ser relevante. En nuestro diseño, no se tiene en cuenta.

4. Diseño del inversor monofásico.

4.1. Valores de funcionamiento.

Como ya se indicó en la introducción del proyecto, los módulos tienen tres modos de funcionamiento básicos, a modo de: inversor monofásico, convertidor DC/DC bidireccional de una rama y convertidor DC/DC bidireccional de dos ramas trabajando en modo phase-shifting.

En caso de trabajar como convertidores DC/DC, estos actuarán de conexión entre los recursos energéticos (strings fotovoltaicos y baterías) y el bus de continua (DC-link) que interconecta todos los módulos del sistema.

Al menos uno de los módulos se configurará como inversor para inyectar la potencia de los recursos energéticos a la red. Este mismo módulo actuará como rectificador de la potencia de la red para la carga de baterías si así se desea.

En el apartado **2. Estudio de mercado**, se establecieron algunos valores de funcionamiento para el diseño del inversor. En la siguiente tabla, se incluyen estos junto a al resto de valores de diseño que se justifican a continuación.

Tabla 4: Valores para el diseño del inversor monofásico.

| Parámetros de diseño | Valores |
|-------------------------------------|---------|
| Tensión DC-link ($V_{dc\ mín}$) | 400 V |
| Tensión DC-link (V_{dc}) | 450 V |
| Tensión DC-link ($V_{dc\ máx}$) | 600 V |
| Tensión Red (V_{red}) | 230 V |
| Frecuencia Red (f_{red}) | 50 Hz |
| Potencia Inversor (P_{inv}) | 10 kW |
| Frecuencia de conmutación (f_s) | 10 kHz |

Basándonos en la **tabla 1**, se toma el valor de la tensión máxima en el bus igual a 600 V, igualando las prestaciones del producto de Huawei, que es el modelo que mayor tensión de bus presenta.

La tensión mínima de 400 V se establece principalmente para garantizar el funcionamiento de los lazos de control y que no se produzca el fenómeno de la sobremodulación que veremos en el siguiente apartado.

La frecuencia de conmutación de 10 kHz también se fija en el siguiente apartado, ya que es él se muestra como dependen las pérdidas de conmutación de f_s .

Antes de comenzar con el diseño como tal, se presentan en los siguientes subapartados la modulación empleada para los transistores y las normativas de obligado cumplimiento.

4.2. Modulación PWM unipolar.

Las técnicas de modulación por ancho de pulso (PWM, por sus siglas en inglés) son de las más empleadas para la conmutación de los transistores en inversores, ya que permiten generar formas de onda muy similares a las senoidales, como las de la red eléctrica, eliminando los armónicos de baja frecuencia. Emplearemos esta técnica de conmutación para generar la señal de salida del inversor (V_{inv}).

Los armónicos de alta frecuencia que generan son relativamente fáciles de reducir mediante un filtro adecuado, lo que nos permitirá cumplir la normativa de compatibilidad electromagnética (CEM) que mostraremos más adelante.

Existen dos tipos de modulación PWM sinusoidales, la bipolar y la unipolar. Esta última resulta más conveniente para nuestro diseño, ya que dada una frecuencia de conmutación (f_s), la PWM unipolar provoca que la frecuencia de conmutación efectiva de la señal de salida del inversor sea del doble de esta frecuencia [15], es decir:

$$f_{s_ef} = 2 \cdot f_s \quad (1)$$

De esta forma, si elegimos $f_s = 10 \text{ kHz}$, tendremos que $f_{s_{ef}} = 20 \text{ kHz}$, haciendo que los armónicos de conmutación aparezcan a partir de 20 kHz .

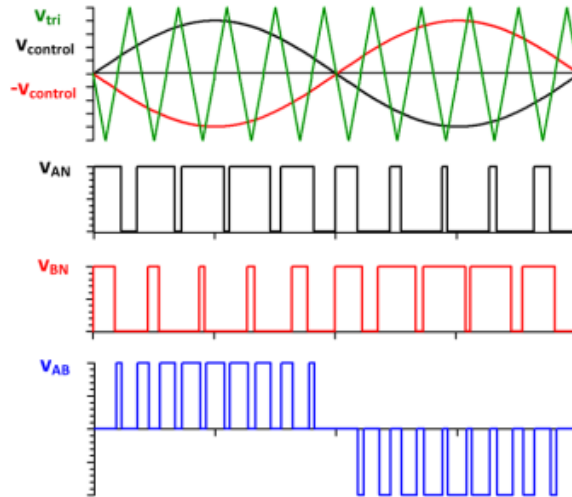


Ilustración 3: Modulación PWM sinusoidal unipolar [15].

Tomando como ejemplo la ilustración anterior, llamaremos m_a (índice de modulación en amplitud) al cociente entre el valor pico de la señal de control (V_{c_pk}) y el valor pico de la señal triangular (V_{tri_pk}):

$$m_a = \frac{V_{c_pk}}{V_{tri_pk}} \quad (2)$$

Para valores de $V_{c_pk} \leq V_{tri_pk}$, se cumple la siguiente ecuación:

$$V_{inv1} = m_a \cdot \frac{V_{dc}}{\sqrt{2}} \quad \text{Si } m_a \leq 1 \quad (3)$$

Si $m_a \leq 1$, se dice que se trabaja en la zona lineal. En la ecuación anterior, V_{inv1} es el valor eficaz del armónico fundamental de la tensión de salida del inversor y V_{dc} la tensión de la DC-link. Si no tenemos en cuenta la caída de tensión provocada por el filtro LCL que se mostrará en el apartado 4.4 y la impedancia de la red, tendremos que $V_{inv1} = V_{red}$.

De esta forma, operando la **(3)** con el valor nominal de V_{dc} de la **Tabla 4**, obtenemos que $m_a \approx 0.72$. Este valor del índice de modulación en amplitud resulta adecuado, ya que los armónicos de conmutación en V_{inv} son más reducidos para valores de m_a cercanos a 1 que para valores cercanos a 0 (dentro de la zona lineal) **[17]**.

Además, conviene que exista cierto margen de m_a para no trabajar en la zona de sobremodulación ($m_a > 1$) **[15,16]** en la que comienzan a aparecer armónicos de baja frecuencia (BF) que dificultan el filtrado de V_{inv} .

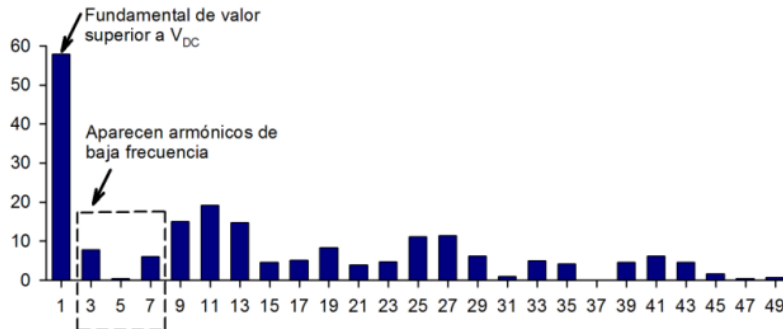


Ilustración 4: Análisis en frecuencia de una señal sobremodulada **[15]**.

De forma similar a m_a , definiremos m_f (índice de modulación en frecuencia) como cociente de la frecuencia de la señal triangular (f_{tri}) entre el de la señal de control (f_c). La frecuencia f_{tri} será igual a la frecuencia de conmutación, mientras que f_c será igual a la frecuencia de la señal que genera el inversor, es decir, la de la red ($f_{red} = 50 \text{ Hz}$):

$$m_f = \frac{f_{tri}}{f_c} = \frac{f_s}{f_{red}} \quad (4)$$

La modulación PWM unipolar provoca que se eliminen los armónicos centrados en múltiplos impares de f_s **[14,15]**. Es por ello que se cumple **(1)** y comienzan a parecer armónicos en f_{s_ef} .

A partir de $m_f = 21$, se pueden considerar despreciables los armónicos de baja frecuencia que genera la modulación PWM **[17]**, por lo que, tomando **(4)**, nos queda que la frecuencia de conmutación ha de ser $f_s \geq 21 * 50 \text{ Hz} = 1050 \text{ Hz}$.

A la hora de seleccionar la frecuencia de conmutación a la que trabajará el puente completo de transistores del inversor, cobran especial relevancia las pérdidas de conmutación de los transistores (P_{sw}), ya que estas son directamente proporcionales a f_s :

$$P_{sw} = E_{sw} \cdot f_s \quad (5)$$

Siendo E_{sw} la energía perdida en una conmutación ON (E_{on}) y OFF (E_{off}) del transistor ($E_{sw} = E_{on} + E_{off}$).

Tomando como referencia las hojas de características del modelo SKiiP 26GH12T4V11 **[18]** (Full-bridge de transistores IGBT) que seleccionaremos más adelante para el diseño del inversor, se muestra que las pérdidas E_{sw} dependen fundamentalmente de:

- La corriente que circula por los transistores en conducción (I_d)
- La tensión de la DC-link que soportan los transistores en OFF ($V_{cc} = V_{dc}$).
- La temperatura de la unión PN (T_j).

Al diseñar un inversor de gran potencia y teniendo presente que la tensión de la DC-link es elevada (valores de la **Tabla 4**), también la corriente I_d será grande. Además, conforme más energía se disipe, mayor será T_j (Si $E_{sw} \uparrow$ entonces $T_j \uparrow$). Esto hace que las pérdidas de conmutación se conviertan en la principal causa de ineficiencia del inversor, por lo que resulta necesario fijar un valor de f_s reducido para controlar las pérdidas P_{sw} .

Por ello, se toma $f_s = 10 \text{ kHz}$ como frecuencia de conmutación, de forma que $m_f > 21$ y que las pérdidas se acoten.

4.3. Normativa CEM.

La modulación PWM unipolar genera armónicos al doble de la frecuencia de conmutación de los transistores (f_{s_ef}), por lo que resulta necesario disponer de un filtro para estos armónico de alta frecuencia entre el inversor y la red eléctrica.

Dado que el inversor dispone de una potencia nominal de 10 kW , la norma de aplicación en España para el control de los armónicos vertidos a la red será la **UNE-EN-61000-3-12 [11]**. Esta normativa de compatibilidad electromagnética (CEM) limita las corrientes de los armónicos producidos por los equipos conectados a las redes de baja tensión con corrientes de entrada entre 16 A y 75 A eficaces.

Si suponemos que se entrega el 100% de la potencia nominal del inversor a la red y que el factor de potencia es despreciable (asunción habitual para equipos fotovoltaicos, ya que entregan poca potencia reactiva), tendremos que:

$$P_{inv} = V_g \cdot I_g \quad (6)$$

Tomando los valores de la **Tabla 4**, se obtiene que el valor de la corriente inyectada será de unos 43,5 A, comprendido entre los límites de la normativa **61000-3-12**.

En la **Tabla 5**, se muestran los valores máximos de los armónicos en función de la relación de cortocircuito (R_{cce}). Este parámetro se determina a partir de la potencia aparente asignada del equipo (S_{equ}) y de la potencia de cortocircuito (S_{cc}) que, a su vez, depende de la tensión nominal de la red entre fases y de la impedancia de la red en el Punto Común de Conexión (PCC). También se proporciona el valor de la distorsión de corriente armónica total máxima admisible (THD_i , por sus siglas en inglés)

Tabla 5: Límites de emisión en corriente para equipos que no sean trifásicos equilibrados según la normativa **61000-3-12**.

| R_{cce} mínimo | Corriente armónica individual admisible I_n/I_1^a % | | | | | | Factores de distorsión de corriente armónica admisibles % | |
|---|---|-------|-------|-------|----------|----------|--|-------------|
| | I_3 | I_5 | I_7 | I_9 | I_{11} | I_{13} | <i>THD</i> | <i>PWHD</i> |
| 33 | 21,6 | 10,7 | 7,2 | 3,8 | 3,1 | 2 | 23 | 23 |
| 66 | 24 | 13 | 8 | 5 | 4 | 3 | 26 | 26 |
| 120 | 27 | 15 | 10 | 6 | 5 | 4 | 30 | 30 |
| 250 | 35 | 20 | 13 | 9 | 8 | 6 | 40 | 40 |
| ≥ 350 | 41 | 24 | 15 | 12 | 10 | 8 | 47 | 47 |
| Los valores relativos de los armónicos pares de orden inferior o igual a 12 no deben sobrepasar 16/n%. Los armónicos pares de orden estrictamente superior a 12 se tienen en cuenta en el <i>THD</i> y en el <i>PWHD</i> de la misma manera que los armónicos de orden impar. | | | | | | | | |
| NOTA – La interpolación lineal entre valores sucesivos de R_{cce} está permitida. Véase también el anexo B. | | | | | | | | |
| ^a I_1 = corriente fundamental de referencia; I_n = componente armónica de corriente. | | | | | | | | |

Aunque es responsabilidad de la compañía suministradora garantizar el cumplimiento de la normativa referente al control de la distorsión de tensión en el PCC (punto al que conectaremos el inversor), conviene conocer los valores límite de esta distorsión para que sean compatibles con el diseño.

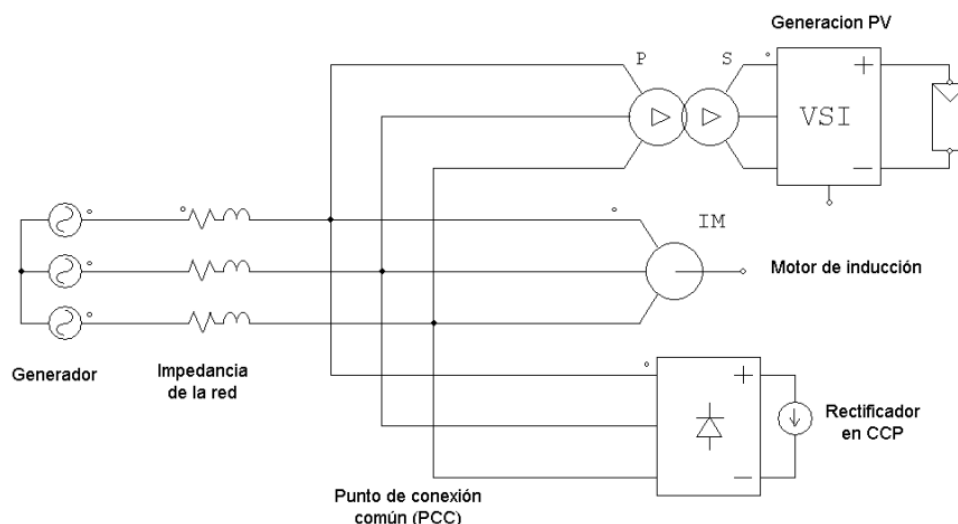


Ilustración 5: Ejemplo de PCC simplificado al que se conectan recursos energéticos de diferente naturaleza [12].

La normativa de aplicación en España que establece de los límites de distorsión de tensión en el PCC para redes de baja tensión es la **UNE-EN-61000-2-2** [13]. A continuación, la **Tabla 6** nos proporciona los valores máximos de armónicos admisibles:

Tabla 6: Niveles de compatibilidad para tensiones de armónicos individuales en las redes de baja tensión de la **UNE-EN-61000-2-2**.

| Armónicos impares no múltiplos de 3 | | Armónicos impares múltiplos de 3 ^a | | Armónicos pares | |
|-------------------------------------|-----------------------------|---|---------------------------|-------------------------|-----------------------------|
| Orden del armónico h | Tensión del armónico % | Orden del armónico h | Tensión del armónico % | Orden del armónico h | Tensión del armónico % |
| 5 | 6 | 3 | 5 | 2 | 2 |
| 7 | 5 | 9 | 1,5 | 4 | 1 |
| 11 | 3,5 | 15 | 0,4 | 6 | 0,5 |
| 13 | 3 | 21 | 0,3 | 8 | 0,5 |
| $17 \leq h \leq 49$ | $2,27 \times (17/h) - 0,27$ | $21 < h \leq 45$ | 0,2 | $10 \leq h \leq 50$ | $0,25 \times (10/h) + 0,25$ |

^a Los niveles dados para los armónicos de orden impar múltiplos de tres se aplican a los armónicos homopolares. Así, en una red trifásica sin conductor de neutro o en ausencia de carga conectada entre una fase y la tierra, el valor de los armónicos de orden 3 y 9 puede ser bastante inferior a los niveles de compatibilidad, dependiendo del desequilibrio de la red.

Como es de esperar, al igual que en la **Tabla 5**, los valores de los armónicos se disponen en porcentaje respecto al valor eficaz de la componente fundamental de la tensión.

Otro límite que se disponen en la normativa **61000-2-2** es que la distorsión armónica total no puede ser superior a $THD_i = 8\%$.

La norma **IEEE-519** [13] también reglamenta la calidad de la energía en los equipos de generación y distribución de la misma. En la **Tabla 7** se muestra los límites máxima distorsión que la distribuidora a de proporcionar en el PCC:

Tabla 7: Límites de la distorsión de tensión en el PCC según la IEEE-519.

| Bus voltage V at PCC | Individual harmonic (%) | Total harmonic distortion THD (%) |
|---------------------------------|-------------------------|-----------------------------------|
| $V \leq 1.0$ kV | 5.0 | 8.0 |
| $1 \text{ kV} < V \leq 69$ kV | 3.0 | 5.0 |
| $69 \text{ kV} < V \leq 161$ kV | 1.5 | 2.5 |
| $161 \text{ kV} < V$ | 1.0 | 1.5 ^a |

^aHigh-voltage systems can have up to 2.0% THD where the cause is an HVDC terminal whose effects will have attenuated at points in the network where future users may be connected.

De igual forma, los límites de distorsión de corriente que podemos inyectar a la una red residencia (230 V) son los siguientes según la IEEE-519:

Tabla 8: Límite de distorsión de armónicos de corriente para sistemas con tensión de alimentación entre 120 V y 69 kV según la IEEE-519.

| Maximum harmonic current distortion in percent of I_L | | | | | | |
|---|-----------------|------------------|------------------|------------------|---------------------|------|
| Individual harmonic order (odd harmonics) ^{a, b} | | | | | | |
| I_{sc}/I_L | $3 \leq h < 11$ | $11 \leq h < 17$ | $17 \leq h < 23$ | $23 \leq h < 35$ | $35 \leq h \leq 50$ | TDD |
| $< 20^c$ | 4.0 | 2.0 | 1.5 | 0.6 | 0.3 | 5.0 |
| $20 < 50$ | 7.0 | 3.5 | 2.5 | 1.0 | 0.5 | 8.0 |
| $50 < 100$ | 10.0 | 4.5 | 4.0 | 1.5 | 0.7 | 12.0 |
| $100 < 1000$ | 12.0 | 5.5 | 5.0 | 2.0 | 1.0 | 15.0 |
| > 1000 | 15.0 | 7.0 | 6.0 | 2.5 | 1.4 | 20.0 |

^aEven harmonics are limited to 25% of the odd harmonic limits above.

^bCurrent distortions that result in a dc offset, e.g., half-wave converters, are not allowed.

^cAll power generation equipment is limited to these values of current distortion, regardless of actual I_{sc}/I_L .

where

I_{sc} = maximum short-circuit current at PCC

I_L = maximum demand load current (fundamental frequency component) at the PCC under normal load operating conditions

De forma similar a la **Tabla 5**, la norma IEEE-519 establece en la **Tabla 8** los límites de distorsión de los armónicos en funciona del factor de cortocircuito (K_{SCC}) siendo:

$$K_{SCC} = \frac{I_{sc}}{I_L} \quad (7)$$

4.4. Filtros pasivos de armónicos.

En el apartado **4.2** se determinó que la frecuencia de conmutación de los transistores del inversor sería de 10 kHz ($f_{s_ef} = 2 \cdot 10 \text{ kHz} = 20 \text{ kHz}$) y en el **4.3** se han mostrado los valores máximos de armónicos y THD_i que se pueden verter a la red eléctrica según las normativas **UNE-EN-61000-3-12** e **IEEE 519** .

Partiendo estos valores, se pretende diseñar un filtro LCL acorde a la normativa vigente que sirva de intermediario entre la señal que genera el inversor y la red eléctrica. Previamente, se muestra el funcionamiento de un filtro L a modo de versión simplificada del anterior.

4.4.1. Filtro L.

Se trata del filtro más sencillo empleado en inversores fotovoltaicos. En la siguiente imagen, se muestra un esquema simplificado del mismo:

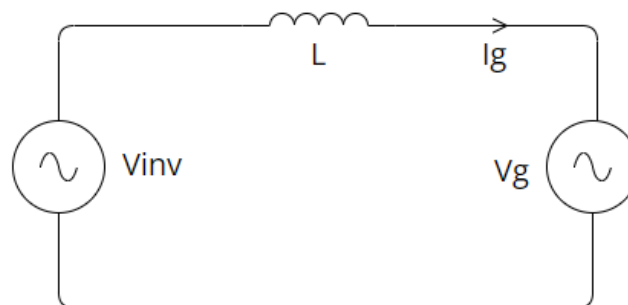


Ilustración 6: Filtro L de conexión a red.

Si realizamos un análisis en pequeña señal, obtendremos que la función de transferencia (FdT) de I_g (corriente que inyectamos a la red) respecto a la tensión V_{inv} que genera el inversor, sin tener en cuenta las perturbaciones de la red (\hat{v}_g), será:

$$\left. \frac{\hat{i}_g}{\hat{v}_{inv}}(s) \right|_{\hat{v}_g(s)=0} = \frac{1}{L \cdot s} \quad (8)$$

La **FdT (8)** muestra de un filtro de primer orden representado en función de la variable de Laplace ($s = d/dt$) sin problemas de resonancia, con una atenuación de 20dB/dec . Sin embargo, la capacidad de atenuación del filtro depende directamente del valor de L , por lo que, para conseguir un buen filtrado, se necesitan valores elevados de

inductancia, lo que supone una gran caída de tensión en el filtro y un elevado aumento de la potencia reactiva.

Para que esto no suceda, se diseña el filtro LCL que vemos a continuación.

4.4.2. Filtro LCL.

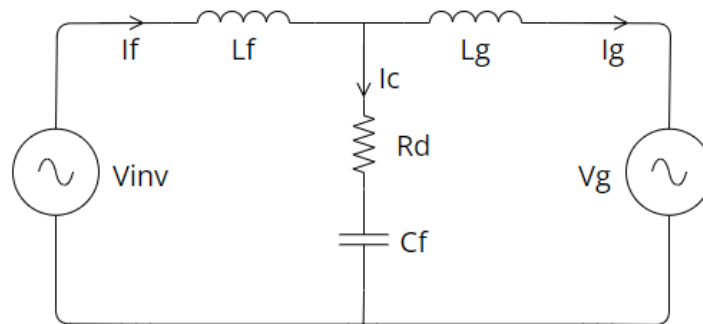


Ilustración 7: Filtro LCL de conexión a red.

El filtro LCL (**Ilustración 7**) nos permite conseguir un mejor filtrado de la señal V_{inv} sin necesidad de introducir una inductancia de filtro (L_f) demasiado elevada. Esto se consigue añadiendo una capacidad al filtro (C_f) en paralelo junto a la conocida como resistencia de damping (R_d) para reducir la resonancia del filtro a costa del aumento de las pérdidas.

La inductancia de la red se representa como L_g . Su valor varía en función de si nos conectamos a una red fuerte o débil. Más adelante veremos cómo cuantificar y sortear este problema.

Antes de obtener las ecuaciones para el análisis en pequeña señal del LCL, hemos de tener en cuenta la topología del inversor que estamos diseñando.

Como ya se ha mencionado, nuestro inversor está compuesto por dos ramas de transistores que pueden actuar independientemente como convertidores DC/DC bidireccionales, lo que implica que ambos convertidores han de disponer de su propio filtro LC cuando se conecten a strings fotovoltaicos o baterías. De esta forma, cuando trabajen conjuntamente como un inversor monofásico, se propone la siguiente topología, la cual se basa en que su interconexión sea lo más simplificada posible:

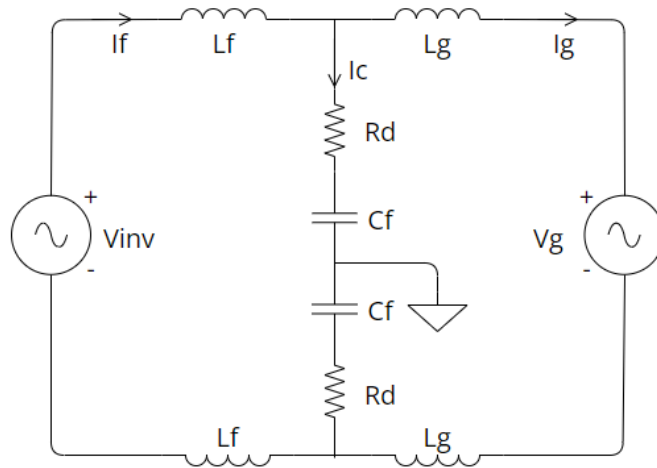


Ilustración 8: Filtro LCL de conexión a red para el diseño del inversor.

Tras despejar las ecuaciones dispuestas en el **Anexo I** a partir de la **Ilustración 8**, obtenemos las siguientes FdT:

$$\left. \frac{\hat{i}_g}{\hat{v}_{inv}}(s) \right|_{\hat{v}_g(s)=0} = \frac{C_f \cdot R_d \cdot s + 1}{2 \cdot s \cdot (C_f \cdot L_f \cdot L_g \cdot s^2 + C_f \cdot R_d \cdot (L_f + L_g) \cdot s + L_f + L_g)} \quad (9)$$

$$\left. \frac{\hat{i}_g}{\hat{i}_f}(s) \right|_{\hat{v}_g(s)=0} = \frac{C_f \cdot R_d \cdot s + 1}{C_f \cdot L_g \cdot s^2 + C_f \cdot R_d \cdot s + 1} \quad (10)$$

Si disponemos la **(10)** de forma canónica, obtenemos que:

$$\left. \frac{\hat{i}_g}{\hat{i}_f}(s) \right|_{\hat{v}_g(s)=0} = \frac{(C_f \cdot R_d \cdot s + 1) \cdot \omega_{res}^2}{s^2 + 2 \cdot \xi \cdot \omega_{res} \cdot s + \omega_{res}^2} \quad (11)$$

De las FdT **(10)** y **(11)** se obtiene que:

$$\begin{cases} \omega_{res} = \frac{1}{\sqrt{C_f \cdot L_g}} \\ \xi = \frac{R_d}{2} \cdot \sqrt{\frac{C_f}{L_g}} \end{cases} \quad (12)$$

De esta forma, obtenemos el valor del coeficiente amortiguamiento (ξ) en función de la resistencia de damping. Emplearemos más adelante este resultado para obtener el valor de R_d en función de ξ . Además, podemos conocer donde se sitúa la frecuencia de resonancia en función de C_f y L_g .

Si comparamos las FdT obtenidas en las ecuaciones **(9)** y **(10)** (filtro LCL diseñado) con las que obtendríamos a partir de la **Ilustración 7** (filtro LCL común), nos queda que:

$$\begin{cases} G_{i_g/v_{inv}}|_{diseño} = \frac{G_{i_g/v_{inv}}|_{común}}{2} \\ G_{i_g/i_f}|_{diseño} = G_{i_g/i_f}|_{común} \end{cases} \quad (13)$$

De la ecuación anterior averiguamos que, en nuestro diseño, las perturbaciones de V_{inv} afectan el doble sobre I_g que en el caso del filtro LCL común. Este hecho es asumible, ya que otras topologías provocarían un aumento de la complejidad en el diseño.

Para el cálculo de la capacidad C_f , se ha tomado como criterio de diseño que la potencia reactiva del condensador no supere el 5% de la potencia nominal del inversor **[19,20]**, de forma que:

$$C_f \leq \frac{0,05 \cdot P_{inv}}{V_g^2 \cdot \omega_{red}} \quad (14)$$

Por ello, la capacidad C_f no debe superar los $30 \mu F$. Para el diseño, se selecciona una capacidad $C_f = 27 \mu F$.

Otro criterio de selección de C_f puede consistir en garantizar que el valor del primer armónico (h_1) que contiene V_{inv} , situado en $f_{s_{ef}} = 20 \text{ kHz}$ ($f_{h1} = f_{s_{ef}}$), sea inferior al 1% de su valor nominal (esto es, sin que se dispusiese del filtro LCL). Esto se garantiza si se cumple la siguiente relación:

$$\omega_{res} \leq 0,1 \cdot 2 \cdot \pi \cdot f_{h1} \quad (15)$$

A partir de **(15)** y **(12)**, para una inductancia de red dada, se puede despejar el valor de C_f . Se sabe que el valor del primer armónico se reduce un 1% debido a que la atenuación del filtro es de 40dB/dec. De esta forma, si la frecuencia de resonancia es, al menos, 10

veces más pequeña que la frecuencia del primer armónico, entonces esta atenuación se cumple.

Aunque aún no se ha mostrado el valor de L_g , se adelanta que la potencia reactiva del condensador sería superior al 5% fijado por [19,20], por lo que se descarta la (15) para la obtención de la capacidad del filtro.

Para que la inductancia del filtro L_f no sea muy elevada, provocando una elevada caída de tensión, y esto obligue a subir el nivel de tensión de la DC-link, [19,20] proponen obtenerla a partir del 5% de la impedancia base del inversor (Z_b). Esta se calcula como:

$$Z_b = \frac{V_g}{I_g} = \frac{V_g^2}{P_{inv}} \quad (16)$$

De esta forma, se obtiene L_f a partir de (17):

$$L_f \cong \frac{0,05 \cdot Z_b}{\omega_{red}} \quad (17)$$

La ecuación anterior nos proporciona $L_f = 840 \mu H$. El valor normalizado de la serie E12 (20% de tolerancia) más cercano es $L_f = 820 \mu H$, por lo que fijamos este valor de inductancia para el diseño.

La inductancia de la red L_g , aunque no es un elemento de diseño, es necesario tenerla en cuenta, tanto para el control del inversor como la posible atenuación del filtro en función de la naturaleza de la red a la que nos conectemos.

Como ya se ha mencionado, las redes eléctricas que pueden clasificarse como fuertes o débiles en función del factor de cortocircuito (K_{SCC}) que se presentó en la norma **IEEE-519**.

K_{SCC} será elevado para redes fuertes (L_g reducida) mientras que su valor será reducido en el caso de redes débiles (L_g elevada).

El valor de la inductancia de la red para nuestra aplicación, la obtenemos del siguiente esquema:

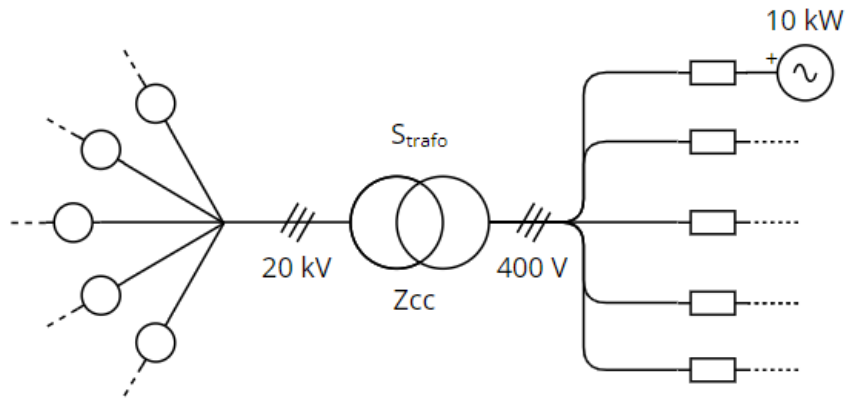


Ilustración 9: Red eléctrica a la que conectamos nuestro inversor.

Al estar conectado nuestro inversor a la red residencia de una vivienda o de un edificio de viviendas (red de baja tensión), la instalación eléctrica que nos provee de energía y a la que inyectamos potencia tiene una forma similar a la de la **Ilustración 9**.

En ella, se aprecia como la impedancia del segmento de red al que nos conectamos se encuentra en paralelo con el de otras viviendas y edificios antes de llegar al transformador que pasa de BT a MT.

De la misma forma, las líneas que se conectan al trafo por el lado de MT, llegan desde diferentes puntos en paralelo, haciendo que sus impedancias también estén en paralelo.

Al estar todas las impedancias de ambos lados del trafo en paralelo, ocurre que la mayor parte de la impedancia de la red depende de la inductancia del propio trafo al que nos conectemos. Además, la parte resistiva de la impedancia del trafo es despreciable, por lo que podemos aseverar que:

$$L_g = L_{cc} = L_{trafo} \quad (18)$$

De esta forma, podemos calcular L_g como:

$$L_g = \frac{V_{BT}^2}{K_{scc} \cdot \omega_{red} \cdot S_{trafo}} \quad (19)$$

Si suponemos que $S_{trafo} = 500 \text{ kVA}$ (valor habitual) y tomamos como K_{scc} los valores extremos de la **Tabla 8 (IEEE 519)**, obtenemos los siguientes resultados:

$$\begin{cases} L_{gfuerte} = \frac{(400V)^2}{1000 \cdot 2 \cdot \pi \cdot 50Hz \cdot 500kVA} = 1.02\mu H \\ L_{gdébil} = \frac{(400V)^2}{20 \cdot 2 \cdot \pi \cdot 50Hz \cdot 500kVA} = 50.93\mu H \end{cases} \quad (20)$$

Como podemos observar en **(20)**, L_g varía bastante en función de K_{scc} , por lo que se propone para el diseño del filtro añadir una inductancia adicional conectada a la red que sea 10 veces mayor que la inductancia $L_{gdébil}$, a la que llamaremos L_{gad} .

De esta forma, el comportamiento del filtro LCL no variará mucho, independientemente de la naturaleza de la red, lo que simplificará el control de la corriente que inyecte el inversor.

$$L_{gad} = 10 \cdot L_{gdébil} = 509,3\mu H = [Normalizada] = 470\mu H \quad (21)$$

En **(21)** obtenemos un valor de L_{gad} entorno a la mitad de L_f .

Finalmente, tras varias iteraciones, se establece un el coeficiente de amortiguamiento $\xi = 0,5$ como solución de compromiso para que las pérdidas generadas por la resistencia de damping no sean elevadas y la resonancia no sea un problema, por lo que:

$$R_d = \frac{\xi}{2} \cdot \sqrt{\frac{C_f}{L_g + L_{gad}}} \quad (22)$$

Siendo $R_d = 4,1 \Omega$ si $L_{gfuerte}$ o $4,3 \Omega$ si $L_{gdébil}$. En cualquier caso, tras normalizarla, queda $R_d = 3,9 \Omega$.

En las siguientes gráficas, mostramos los bodes de las FdT del filtro, tanto para redes fuertes (rojo) como redes débiles (azul), en las que se aprecia que la variación existente entre ambas es insignificante gracias a la introducción de L_{gad} .

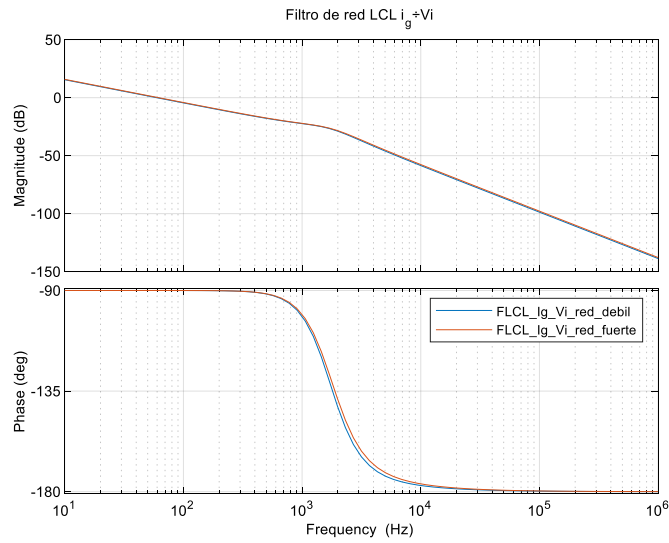


Ilustración 10: Bode de la $FdT \hat{i}_g / \hat{v}_{inv}$.

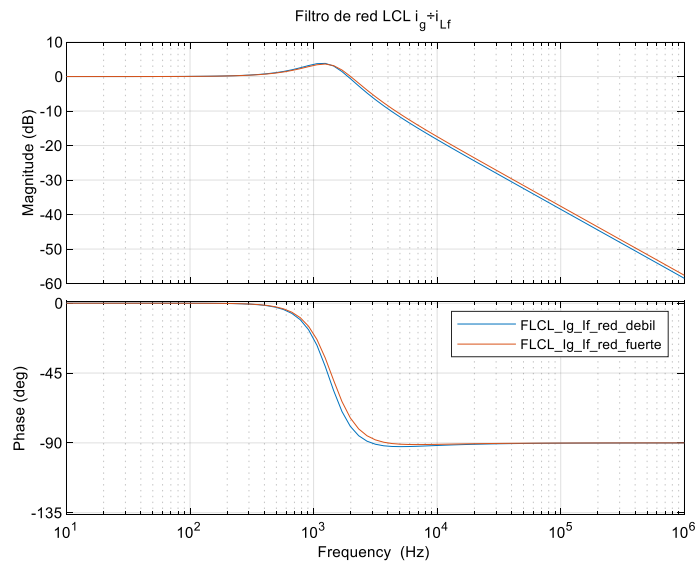


Ilustración 11: Bode de la $FdT \hat{i}_g / \hat{i}_f$.

En el caso de las perturbaciones que introduce V_{inv} sobre I_g (Ilustración 10), observamos que la ganancia de la FdT a la frecuencia $f_{s_{ef}}$ es de unos -70 dB , mientras que ganancia de I_g respecto a I_f a esa misma frecuencia, es de -24 dB (Ilustración 11).

En la siguiente tabla, se muestran los valores de los elementos que componen el filtro LCL:

Tabla 9: Componentes del filtro LCL.

| Filtro LCL | Valores |
|-------------|--------------|
| C_f | $27 \mu F$ |
| L_f | $820 \mu H$ |
| L_{g_ad} | $470 \mu H$ |
| R_d | $3,9 \Omega$ |

4.5. Capacidad de la DC-link.

El último elemento necesario antes de poder diseñar el control del inversor es la capacidad del bus de continua (C_{dc}):

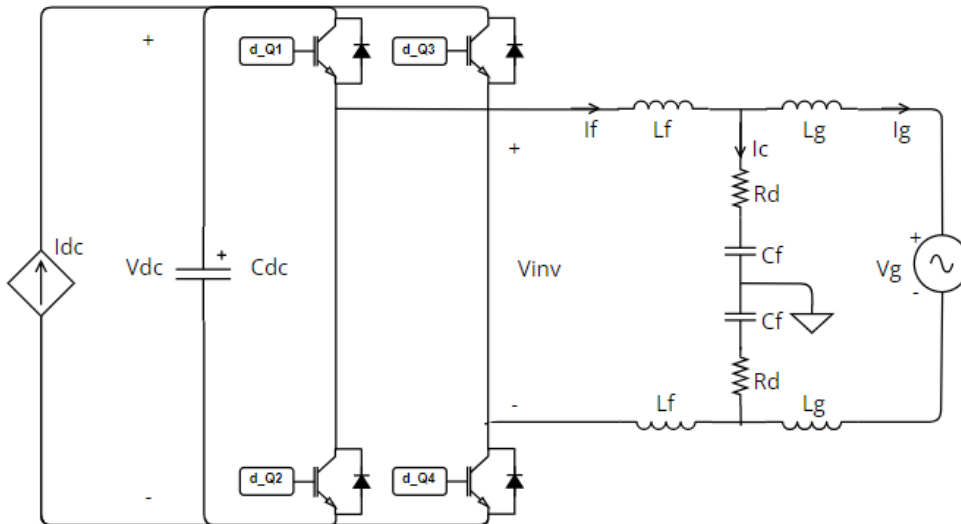


Ilustración 10: Inversor monofásico diseñado en el que se aprecia la capacidad del bus C_{dc} .

Por [21] sabemos que la capacidad del bus tiene dos funciones principalmente: absorber el rizado de alta frecuencia provocado por las conmutaciones de los transistores y el rizado de baja frecuencia introducido por la corriente de la red (I_g). Esto se debe a que I_g se refleja en la DC-link como una onda rectificadora, introduciendo un rizado del doble de la frecuencia de la red ($f_{dc} = 100 \text{ Hz}$) [21].

Cuanto menor sea la frecuencia del rizado de corriente que haya que absorber en el bus, mayor será la capacidad C_{dc} del mismo, por lo que, introduciendo una capacidad elevada, también se corrige el rizado de alta frecuencia de las conmutaciones. En [21] se propone la siguiente fórmula para obtener un rizado pico a pico de valor ΔV_{dc} en el bus:

$$C_{dc} \geq \frac{P_{inv}}{V_{dc} \cdot \pi \cdot f_{dc} \cdot \Delta V_{dc}} \quad (23)$$

Si este rizado es del 2%, entonces $\Delta V_{dc} = 0,02 \cdot V_{dc} = 0,02 \cdot 450 = 9 \text{ V}$.

Tras calcular **(23)**, nos queda $C_{dc} \geq 7,8 \text{ mF}$, por lo que se opta por introducir una capacidad normalizada de $8,2 \text{ mF}$. Esta capacidad puede estar constituida por varios condensadores en paralelo para reducir el tamaño de los mismos y reducir el valor de *ESR* (resistencia serie de los condensadores).

En las DC-link se suele añadir, cerca de los transistores, un condensador de película de poliéster de reducida capacidad para que absorba el rizado de alta frecuencia que generan y, de esa manera, no se sobrecalienten los condensadores de mayor tamaño. Esto se tendrá en cuenta para la elección de los del diseño.

4.6. Implementación digital del control.

Una vez conocidos los elementos pasivos del inversor, cabe añadir unas cuantas aclaraciones antes de mostrar los lazos de control diseñados en los siguientes apartados.

Dado que los lazos de control se implementan en un microcontrolador que maneja los drivers para el disparo de los transistores, existen algunos factores que influyen sobre el control digital y hacen que este sea más complejo.

En primer lugar, introducen un retardo a la hora de sensar las variables de control a través de los convertidores A/D, cuya duración es de un periodo de muestreo ($T_{sp} = 1/f_{sp}$). Este retardo conviene tenerlo en cuenta para el diseño de los lazos de control, ya que introducen una disminución del margen de fase (*MF*) en altas frecuencias **[21]**.

f_{sp} depende de la frecuencia de conmutación f_s de los transistores y de la señal triangular implementada (señal portadora). Si esta señal V_{tri} es una señal triangular con un ciclo de trabajo del 50%, se puede emplear la técnica "double-update" **[21]** que permite que la frecuencia de adquisición del microcontrolador sea el doble de la frecuencia de conmutación:

$$f_{sp} = 2 \cdot f_s = 20 \text{ kHz} \quad (24)$$

Para tener en cuenta este retardo, se implementa la conocida como aproximación de Padé **[21]**. Se trata de una aproximación que se obtiene con desarrollo en serie de Taylor de la modelización de un retardo continuo en Laplace, de forma que:

$$\text{Retardo}(s) = e^{-T_{sp} \cdot s} = \frac{e^{-\frac{T_{sp}}{2} \cdot s}}{e^{\frac{T_{sp}}{2} \cdot s}} \approx \frac{\frac{T_{sp}^2}{12} s^2 - \frac{T_{sp}}{2} s + 1}{\frac{T_{sp}^2}{12} s^2 + \frac{T_{sp}}{2} s + 1} = \text{Padé}(s) \quad (25)$$

Se toma una aproximación de Padé de orden 2 para que la modelización sea adecuada.

$\text{Padé}(s)$, además de modelizar el retardo de adquisición, también nos permite modelizar el retardo de ejecución del ciclo de trabajo en los transistores, siendo este (como es de esperar) igual al periodo de conmutación T_s .

Otro factor a tener en cuenta cuando los convertidores A/D muestrean señales es el conocido como Teorema de Nyquist [24], por el cual, todas las señales con frecuencias superiores a la mitad de la frecuencia de muestreo del convertidor no son muestreadas de forma fiables.

$$f_{\text{señal}} \geq \frac{f_{sp}}{2} \quad (26)$$

Es decir, si se cumple (26), la señal muestreada será digitalizada con una frecuencia menor a la mitad de la frecuencia de sample.

Para que esto no suceda, se acoplan los conocidos como filtros anti-aliasing a la entrada de los convertidores A/D. Estos son filtro paso-bajo analógicos cuya intención es atenuar todas las señales sensadas que sean como (26), de forma que estas no falseen el muestreo de la señal de control.

En algunos casos, tanto $\text{Padé}(s)$ como las FdT de los filtros anti-aliasing ($FAL(s)$) serán tenidos en cuenta para diseñar los lazos de control.

4.7. Lazos de control del inversor.

Para el control de la tensión del bus V_{dc} y de la corriente que se inyecta a la red I_g , se propone una implementación de lazos en cascada, con el lazo interno regulando I_g y el lazo externo regulando V_{dc} .

Para que el diseño sea adecuado, el lazo interno de corriente ha de ser mucho más rápido que el externo de tensión, para que no influya en su dinámica.

En primer lugar, analizaremos el lazo que regula I_g , el cual se muestra en la siguiente imagen:

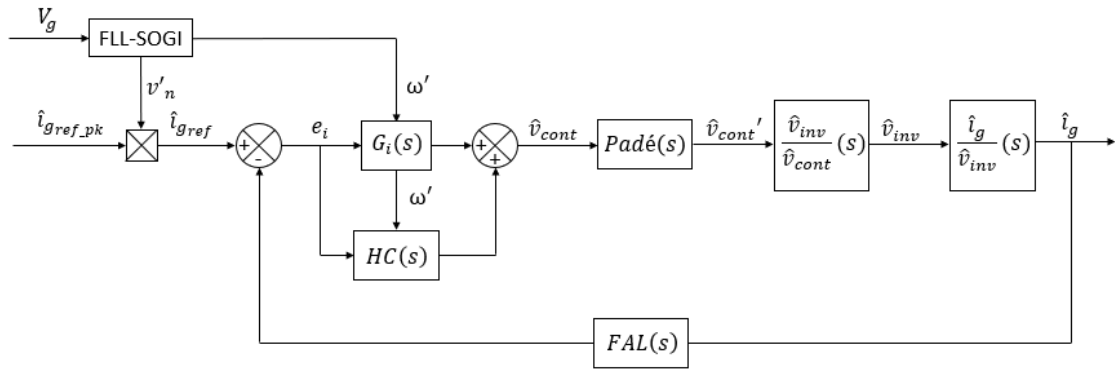


Ilustración 11: Lazo de corriente.

A lo largo del apartado, iremos perfeccionando los diferentes bloques que se muestran en la ilustración anterior.

4.7.1. SOGI-FLL para sincronizar el control con la red.

Para poder inyectar corriente a la red eléctrica que se encuentre en fase con la tensión de la misma, es necesario sincronizar las señales de control con las de la propia red.

Para ello, se suelen emplear los conocidos como PLL (Phase-Locked Loop):

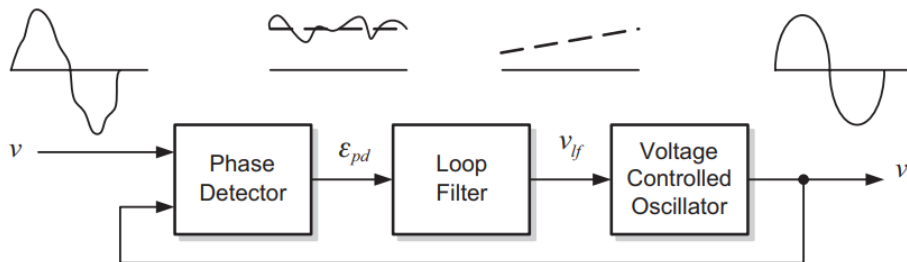


Ilustración 12: Estructura básica de un PLL [25].

Las partes que componen habitualmente un PLL son las siguientes:

- **Detector de fase:** calcula el error de fase entre la señal generada por el oscilador interno y la tensión de la red.
- **Filtro de lazo:** consiste en un filtro paso-bajo para eliminar el ruido de alta frecuencia que puede presentar el error de fase.
- **Oscilador de control de tensión:** oscilador que genera una señal alterna que se obtiene variando la frecuencia central del oscilador (ω_c) en función del error de fase filtrado.

Sin embargo, existen métodos más avanzados para sincronizar los lazos de control con la red, entre los que destaca el conocido como SOGI-FLL, el cual no necesita emplear un oscilador interno y, a la hora de implementarlo en microcontroladores, resulta más sencillo, ya que no necesita de funciones seno/coseno para su uso, lo que reduce el ruido y el tiempo de computación que introducen estas funciones [25].

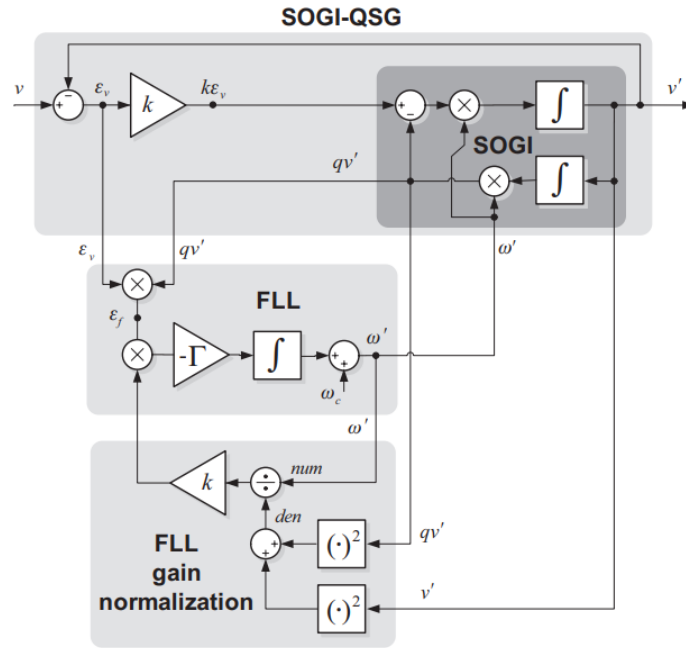


Ilustración 13: Diagrama del SOGI-FLL [25].

Este método emplea el SOGI (second-order generalized integrators) como filtros adaptativos de la frecuencia fundamental de la red. Las siguientes ecuaciones muestran las funciones de transferencia del SOGI-QSG de la ilustración anterior:

$$D(s) = \frac{v'}{v}(s) = \frac{k \cdot \omega' \cdot s}{s^2 + k \cdot \omega' \cdot s + \omega'^2} \quad (27)$$

$$Q(s) = \frac{qv'}{v}(s) = \frac{k \cdot \omega'^2}{s^2 + k \cdot \omega' \cdot s + \omega'^2} \quad (28)$$

$D(s)$ permite obtener la señal de la red filtrada (v') y $Q(s)$ su señal en cuadratura (qv'), desfasada 90°. La ganancia y el ancho de banda del SOGI-QSG se definen respectivamente según [25] como:

$$k = \frac{9,2}{t_s \cdot \omega'} \quad (29)$$

$$B(\text{rad}) = k \cdot \omega' \quad (30)$$

De (29) y (30) se concluye que, cuanto menor sea el tiempo de establecimiento del SOGI (t_s), mayor será su ancho de banda (B). Es decir, la dinámica del SOGI puede ser más rápida a costa de atenuar menos los armónicos de la red. Asumiendo que en la red no se producen cambios bruscos de frecuencia, optaremos por priorizar el filtrado de armónicos:

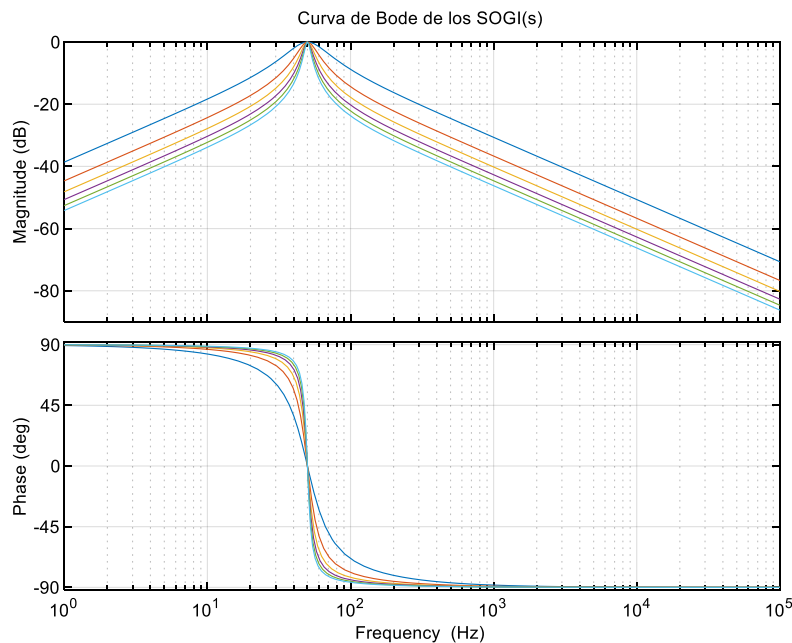


Ilustración 14: Bode de (29) para valores de t_s de 0,05 hasta 0,3.

En la imagen anterior, se muestra la representación de (29) para diferentes valores de t_s . Se elige $t_s = 0,3$ s, siendo este el SOGI con menor ancho de banda de la Ilustración. De esta forma, se obtiene que $k \approx 0.1$, siendo ω' la frecuencia fundamental de la red determinada por el FLL. Para el cálculo, como es de esperar, se toma $\omega' = 2 \cdot \pi \cdot 50$ Hz.

A partir de la Ilustración 13, se puede obtener la siguiente simplificación del FLL (Frequency-Locked Loop):

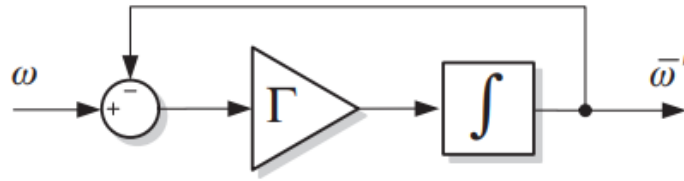


Ilustración 15: Sistema adaptativo simplificado del FLL [25].

La función de transferencia del FLL, a partir de la **Ilustración 15**, se puede definir como:

$$\frac{\omega'}{\omega}(s) = \frac{\Gamma}{s + \Gamma} \quad (31)$$

Se trata de un sistema de primer orden el cual determina la frecuencia de la red a partir de la frecuencia sensada de la red. Es por eso que se llama a **(29)** filtro adaptativo o autosintonizable [25], ya que se centra en la frecuencia fundamental de la gracias a la acción del FLL.

El tiempo de establecimiento de **(31)** viene dado por:

$$t_s = \frac{4,6}{\Gamma} \quad (32)$$

En este caso, tomaremos también $t_s = 0,3 \text{ s}$, de forma que $\Gamma = 15,34$.

Tras explicar el funcionamiento de SOGI-FLL, solo queda obtener la señal normalizada v'_n para sincronizar el lazo de corriente de la **Ilustración 11** con la tensión de la red, cumpliéndose que:

$$i_{g_{ref}} = i_{g_{ref_pk}} \cdot v'_n \quad (33)$$

Siendo $i_{g_{ref_pk}}$ corriente pico de referencia que genera el lazo de tensión que estudiaremos más adelante.

v'_n se obtiene normalizando la tensión de referencia de la red filtrada que proporciona **(27)**. Esto se consigue gracias a la señal en cuadratura que genera **(28)**, ya que, al estar desfasadas 90° , se cumple que:

$$V_{red_pk} = \sqrt{v'^2 + qv'^2} \quad (34)$$

Finalmente:

$$v'_n = \frac{v'}{\sqrt{v'^2 + qv'^2}} = \sin(\omega' \cdot t) \quad (35)$$

4.7.2. FdT del inversor.

Tras averiguar cómo sincronizar la señal de referencia de corriente con la red, procedemos a obtener las FdT del inversor que nos permiten obtener la señal de control v_{cont} a partir de la corriente de la red de referencia i_{gref} .

Normalmente, se suele controlar la corriente que genera el inversor I_f en lugar de la corriente de la red I_g , ya que, al no conocer la naturaleza de la red, no podemos saber de antemano la inductancia de la misma, lo que hace que su control sea más complejo. Sin embargo, gracias a la adición de L_{g_ad} , esto no resulta un inconveniente.

Las FdT que hemos de obtener para el control de las corrientes del inversor son G_{vci} y G_{vig} , definiéndose como:

$$G_{vc} = \frac{\hat{v}_{inv}}{\hat{v}_{cont}}(s) \quad (36)$$

$$G_{ig} = \frac{\hat{i}_g}{\hat{v}_{inv}}(s) \quad (37)$$

En ambos casos, no se tiene en cuenta $Padé(s)$ y $FAL(s)$.

Para su obtención, es necesario hacer referencia a la modulación PWM del apartado 4.2.

En la siguiente imagen, tomada de la simulación del inversor diseñado en **PSIM**, se muestra en verde la tensión de control V_{cont} generada por los lazos de control diseñados y, en azul, varios periodos de la señal triangular V_{tri} de la PWM.

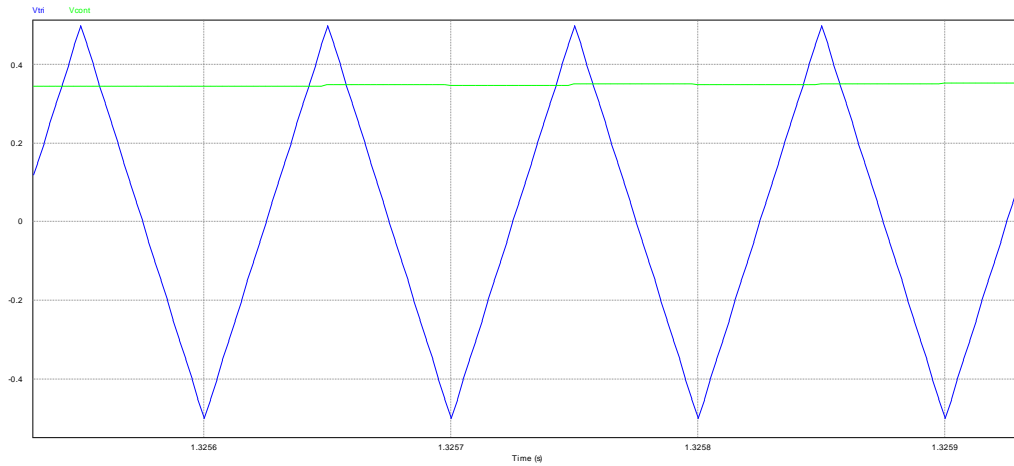


Ilustración 16: Simulación de V_{cont} y V_{tri} .

Los pulsos de disparo de la PWM unipolar se han generado haciendo pasar las señales anteriores por comparadores, como se muestra en la siguiente imagen:

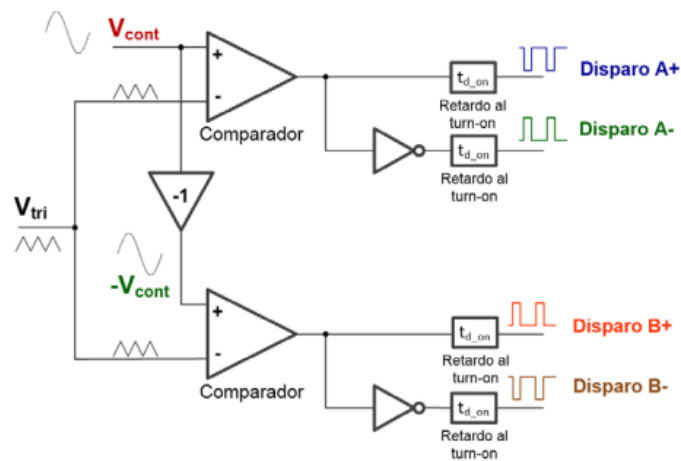


Ilustración 17: Esquema implementado en PSIM de la PWM unipolar [15].

Con este esquema se obtienen las señales vistas en la **Ilustración 3**.

Como ya se indicó en **4.2**, la modulación PWM que implementamos trabaja siempre en la zona lineal, por lo que, según [15], para un periodo $T_s = 1/f_s$, se puede asumir que el valor medio de V_{inv} respecto a V_{cont} vale:

$$\bar{v}_{invT_s}(v_{cont}) = \frac{2 \cdot v_{dc}}{V_{pp}} \cdot v_{cont} \quad (38)$$

Siendo V_{pp} la tensión pico a pico de V_{tri} y \bar{v}_{invT_s} el valor medio en un periodo de conmutación de la señal que genera el inversor antes de pasar por el filtro LCL.

Tanto V_{dc} como V_{cont} de (38) están formadas por una componente de funcionamiento en régimen permanente y otra componente en pequeña señal que representa las pequeñas variaciones de la variable entorno a su punto de trabajo, de forma que ambas cumplen (39):

$$x = X + \hat{x} \quad (39)$$

Siendo X la componente de funcionamiento en gran señal y \hat{x} en pequeña señal.

Si aplicamos (39) sobre (38):

$$\bar{v}_{invT_s} = V_{inv} + \hat{v}_{inv}(s) = \frac{2 \cdot (V_{dc} + \hat{v}_{dc}(s))}{V_{pp}} \cdot (V_{cont} + \hat{v}_{cont}(s)) \quad (40)$$

Si despreciamos las variaciones de la tensión del bus ($v_{dc}(s) = 0$) y nos quedamos solo con los operadores en pequeña señal, quedando que (36) es:

$$G_{vc} = \left. \frac{\hat{v}_{inv}}{\hat{v}_{cont}}(s) \right|_{\hat{v}_{dc}(s)=0} = \frac{2 \cdot V_{dc}}{V_{pp}} \quad (41)$$

Tras obtener la FdT (41) con la que se consigue averiguar cómo afectan las variaciones de la señal de control a la V_{inv} que genera el inversor, (37) se obtiene gracias a las FdT del filtro LCL. Por ello, recuperamos la FdT (9) que relaciona la corriente que se inyecta a la red con v_{inv} , quedando la siguiente relación:

$$G_{ig} = \left. \frac{\hat{i}_g}{\hat{v}_{cont}}(s) \right|_{\hat{v}_{dc}(s)=0} = \frac{C_f \cdot R_a \cdot s + 1}{2 \cdot s \cdot (C_f \cdot L_f \cdot L_g \cdot s^2 + C_f \cdot R_a \cdot (L_f + L_g) \cdot s + L_f + L_g)} \quad (42)$$

4.7.3. Lazo de corriente y reguladores.

En la siguiente ilustración, se muestra el lazo de corriente, señalando la parte que han de controlar los reguladores $G_i(s)$ y $HC(s)$.

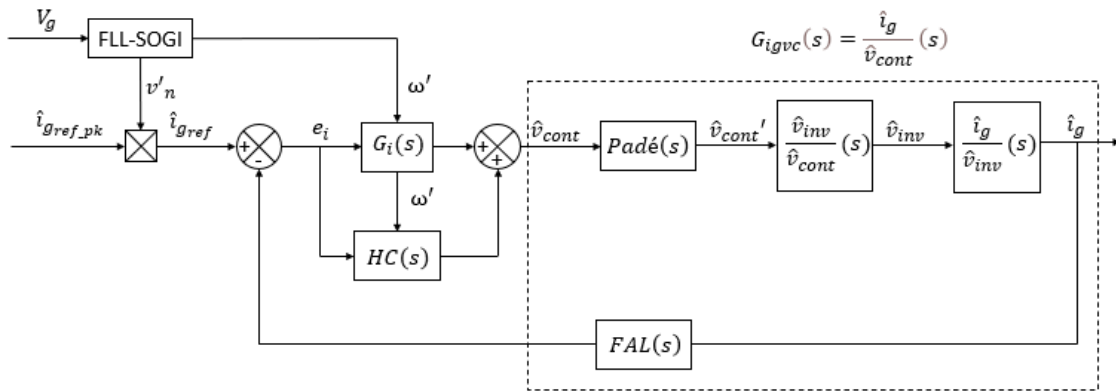


Ilustración 18: Lazo de corriente, señalando las FdT del inversor para este mismo.

Si aunamos (41) y (42) junto a la aproximación de Padé y el filtro anti-aliasing que no tuvimos en cuenta en el apartado anterior, nos queda que:

$$G_{igvc}(s) = \frac{\hat{i}_g}{\hat{v}_{cont}}(s) = G_{vc} \cdot G_{ig} \cdot Padé(s) \cdot FAL(s) \quad (43)$$

El filtro anti-aliasing diseñado para la adquisición de I_g se muestra en la siguiente ilustración:

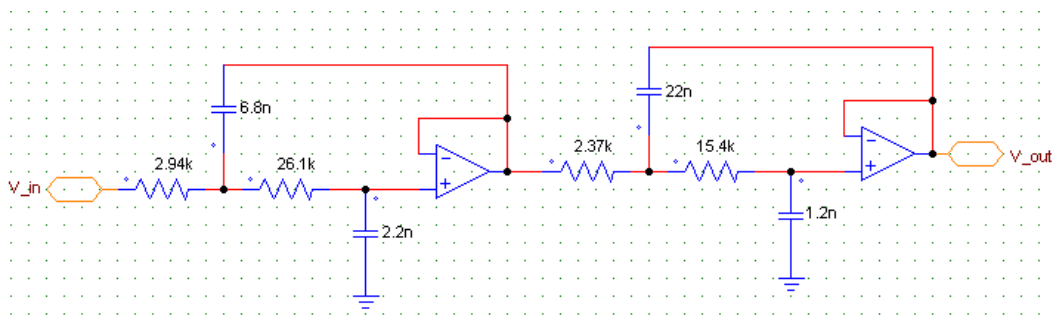


Ilustración 19: Filtro anti-aliasing para I_g implementado en PSIM.

El filtro está diseñado a partir de dos filtros Sallen-Key de segundo orden, formando un filtro Butterworth de cuarto orden cuya respuesta en frecuencia se muestra a continuación:

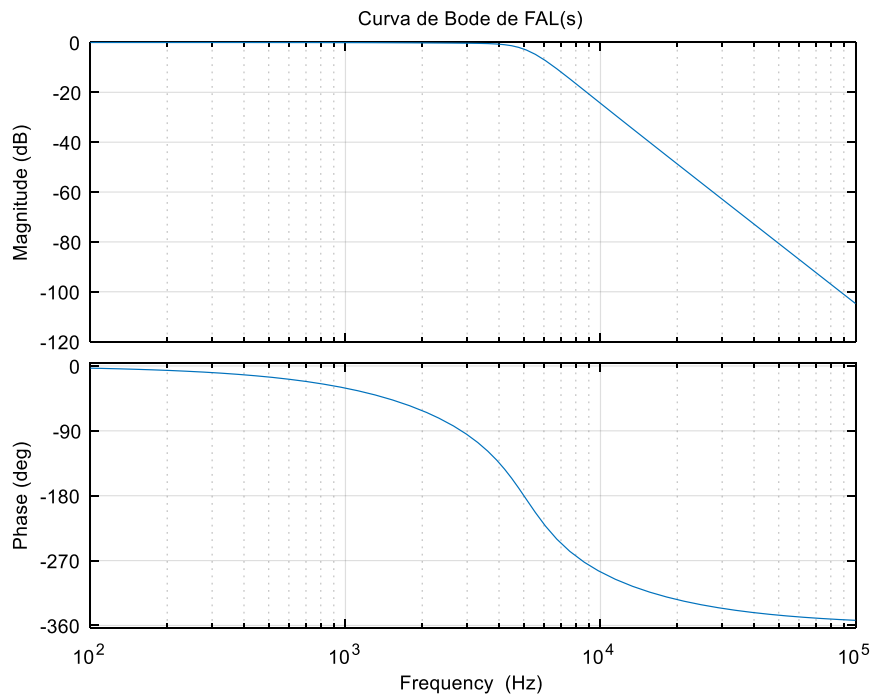


Ilustración 20: Filtro Butterworth de cuarto orden para I_g .

Las directrices para su diseño se han obtenido de [26]. La frecuencia de corte del filtro f_c se determina variando el valor de las capacidades del filtro. Cuanto menor sean las capacidades, mayor será f_c . Teniendo en cuenta el Teorema de Nyquist, hacemos que $f_c = 5 \text{ kHz}$, de forma que las señales de I_g mayores de 10 kHz sufran una atenuación de más de 20 dB . Los primeros armónicos de alta frecuencia provocadas por la PWM unipolar, como ya se explicó, aparecen a $f_{s_ef} = 20 \text{ kHz}$. El filtro anti-aliasing hace que su atenuación sea mayor de 40 dB , por lo que su plegamiento y aparición a frecuencia menores de 10 kHz resulta irrelevante.

La aproximación de Padé de la **Ilustración 18**, en lugar de modelizar el retardo de adquisición de los convertidores A/D, sirve para representar el retardo de aplicación de la modulación PWM, ya que este es el más lento, siendo $f_s = 10 \text{ kHz}$. En el siguiente diagrama de bode, se representa la respuesta en frecuencia de $Padé(s)$ para $T_s = 1/f_s$:

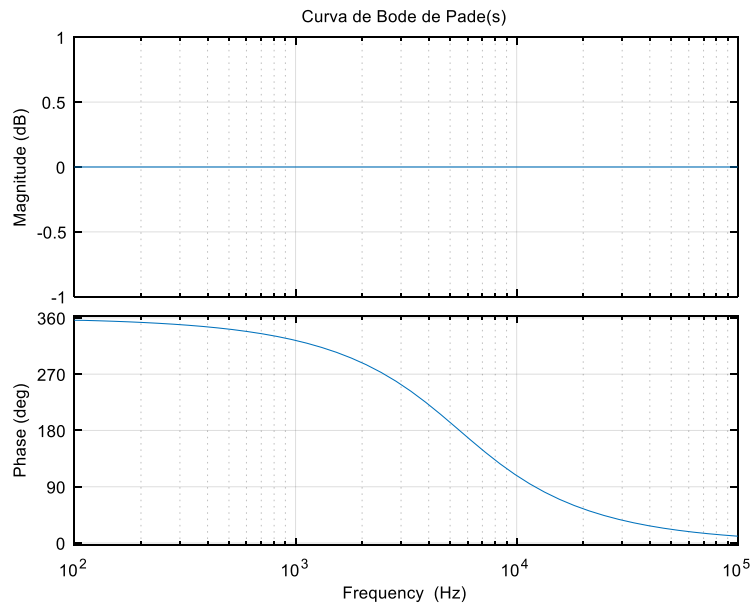


Ilustración 21: Curva de Padé(s) para $f_s = 10$ kHz.

Finalmente, la FdT del inversor que hay que controlar con los reguladores de corriente se muestra en la siguiente imagen con el efecto de $Padé(s)$ y $FAL(s)$ (azul) y sin tener en cuenta sus efectos (rojo):

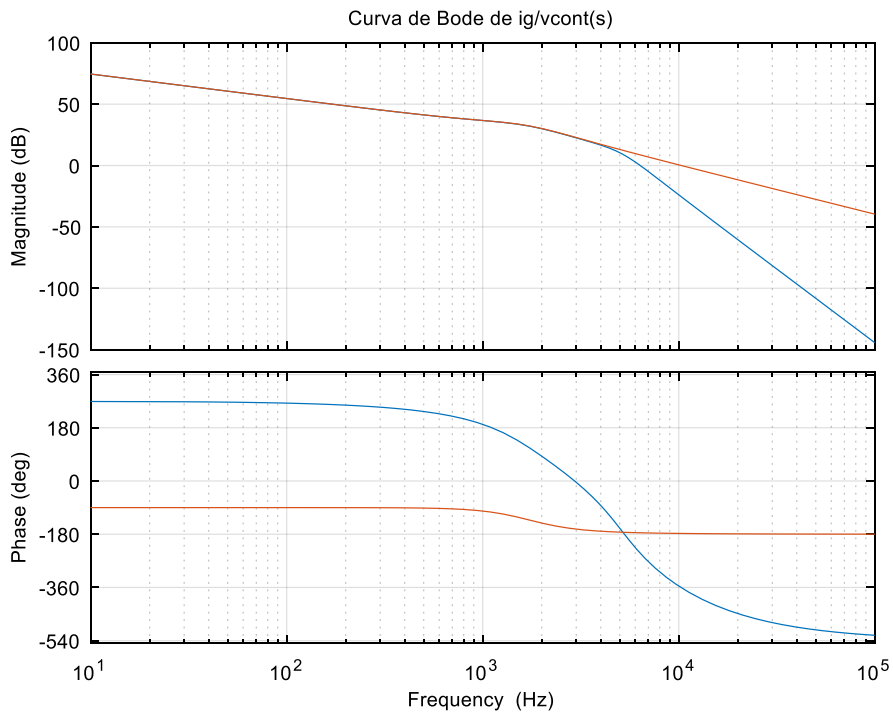


Ilustración 22: FdT $G_{igvc}(s)$ para el control del inversor.

Podemos observar que la gran diferencia reside en la mayor atenuación a altas frecuencia que añade $FAL(s)$ a partir de $f_c = 5 \text{ kHz}$ y la pérdida de fase que introducen tanto $FAL(s)$ como $Padé(s)$ a altas frecuencias. Sin embargo, estos efectos son fácilmente sorteables si se fija una frecuencia de corte del lazo de corriente lo suficientemente baja.

Cabe aclarar que la fase de la curva roja **(43)** en la ilustración anterior coincide con la de la curva azul que no tiene en cuenta el retardo de aplicación de la PWM y el filtro anti-aliasing, ya que Matlab las representa con un desplazamiento de 360° , lo que equivale a 0° .

Para el control de $G_{igvc}(s)$, se han diseñado dos reguladores. El $G_i(s)$ formado por un regulador proporcional y un resonante a la frecuencia fundamental de la red (P+R) y el $HC(s)$, encargado del control de los armónicos de baja frecuencia múltiplos del fundamental de la red **[15,21]**. De esta forma, la ganancia de lazo abierto de corrientes $T_i(s)$ se puede describir como:

$$T_i(s) = (G_i(s) + HC(s)) \cdot G_{igvc}(s) \quad (44)$$

La acción proporcional del $G_i(s)$ nos permite variar la frecuencia de corte del lazo **(44)**, mientras que la resonancia a la frecuencia fundamental de la red hace que la ganancia a 50 Hz sea suficiente, permitiendo que la frecuencia de cruce del lazo sea más reducida para así tener mayor margen de fase y de ganancia.

De la misma forma, con $HC(s)$, se quiere evitar que los armónicos de BF que pueda tener la red a la que conectamos el inversor provoquen armónicos de corriente. Esto se consigue añadiendo ganancias resonantes en estos armónicos de baja frecuencia, a costa de la pérdida de fase que pueden provocar.

Tanto para el seguimiento del armónico fundamental como de sus resonantes, se emplearán las estructuras $SOGI(s)$ ya descritas anteriormente junto a una ganancia adicional.

De esta forma, gracias al FLL, podemos sincronizar las ganancias resonantes a las frecuencias adecuada. Esto resulta de especial relevancia, ya que los resonantes ($R(s)$ en adelante) presentan una gran ganancia a la frecuencia que se sintonizan, reduciendo su valor drásticamente entorno a frecuencias cercanas.

Por ello, los resonantes presentan la siguiente estructura basada en $SOGI(s)$:

$$R(s) = K_i \cdot \frac{\frac{k_i}{i} \cdot i \cdot \omega' \cdot s}{s^2 + \frac{k_i}{i} \cdot i \cdot \omega' \cdot s + (i \cdot \omega')^2} \text{ para } i \in (1,3,5,7) \quad (45)$$

Para que el margen de fase y ganancia sean suficientes, se han ido reduciendo el valor de las constantes K_i conforme aumentaba el orden de los armónicos, de forma que su valor para los resonantes de los armónicos 3, 5 y 7 es 0,8, 0,5 y 0,2 del valor de $K_1 = 100$, haciendo que el $R(s)$ del fundamental tenga una ganancia de 40 dB.

Los resonantes (45) se disponen para el ancho de banda descrito en (30) sea constante a $\omega' = 50 \text{ Hz}$. Por ello, si fijamos $B = 0.03 \text{ rad/s}$, obtenemos que:

$$k_i = \frac{0.03}{2 \cdot \pi \cdot 50} \approx 0.0001 \quad (46)$$

De esta forma, en la siguiente imagen se muestra el resultado del control de corriente:

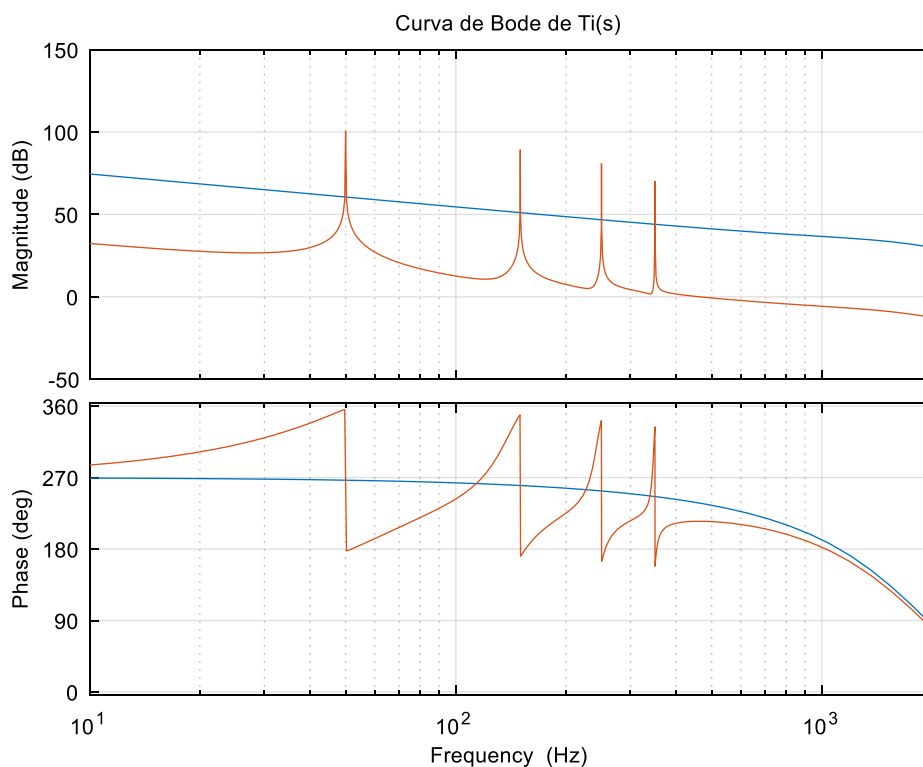


Ilustración 23: $FdT G_{igvc}(s)$ en azul y lazo abierto de corriente $T_i(s)$ en rojo.

El control que se muestra en la ilustración anterior es el resultado de una solución de compromiso para que haya un buen control de los armónicos sin que el margen de fase y ganancia sean escasos, evitando así que el diseño sea inestable.

La frecuencia de cruce del lazo de corriente será $f_{ci} = 465 \text{ Hz}$, siendo el margen de fase $MF = 35^\circ$ y el de ganancia $MG = 6 \text{ dB}$. No son márgenes muy elevados pero suficientes.

En el peor de los casos, suponiendo la tensión de bus más elevada posible (**Tabla 4**) del diseño ($V_{dc_max} = 600 \text{ V}$), el margen de fase pasa a valer 30° , mientras que el margen de ganancia se queda en 4 dB . En la siguiente gráfica, se muestra la ganancia en lazo abierto de corriente para los distintos valores de funcionamiento de la tensión del bus (**Tabla 4**)

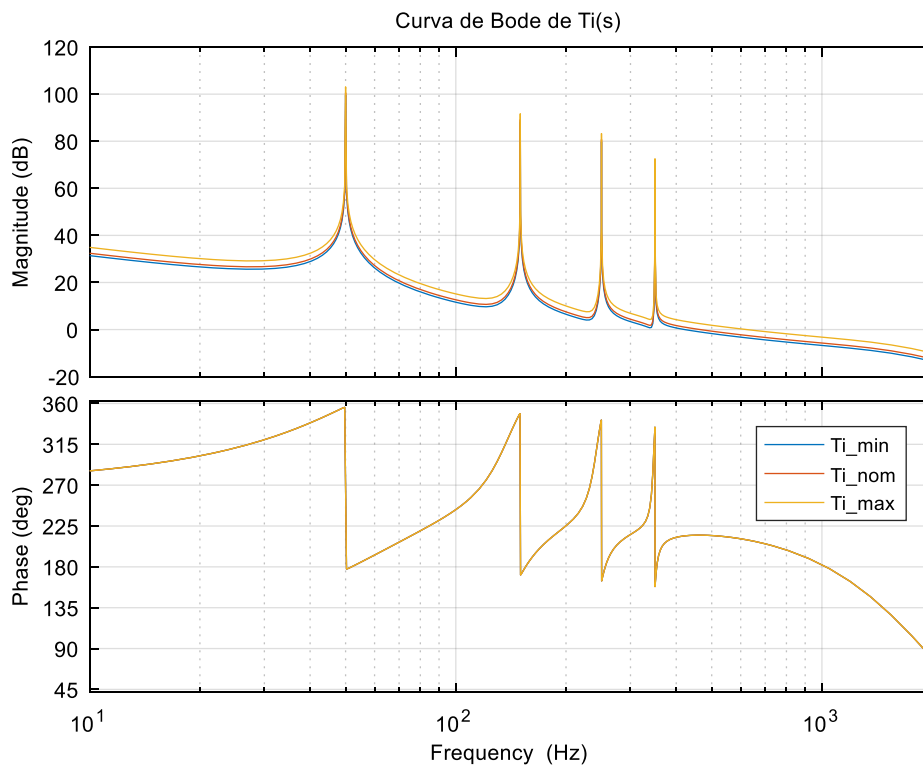


Ilustración 24: Ganancia en lazo abierto de corriente para distintos valores de V_{dc} .

El valor de los reguladores empleados en las **Ilustraciones 23** y **24** ha sido:

$$G_i(s) + HC(s) = 0,0075 + \sum_{i=1,3,5} K_i \cdot \frac{(0.0001 \cdot \omega') \cdot s}{s^2 + (0.0001 \cdot \omega') \cdot s + (i \cdot \omega_i')^2} \quad (47)$$

(47) será el valor que se programe en el microcontrolador.

El lazo cerrado de corriente que se empleará de cara el diseño del lazo de tensión en el siguiente apartado, se puede describir como:

$$\frac{\hat{i}_g}{\hat{i}_{g_ref}}(s) = T_{i_lc}(s) = \frac{T_i(s)}{T_i(s) + 1} \quad (48)$$

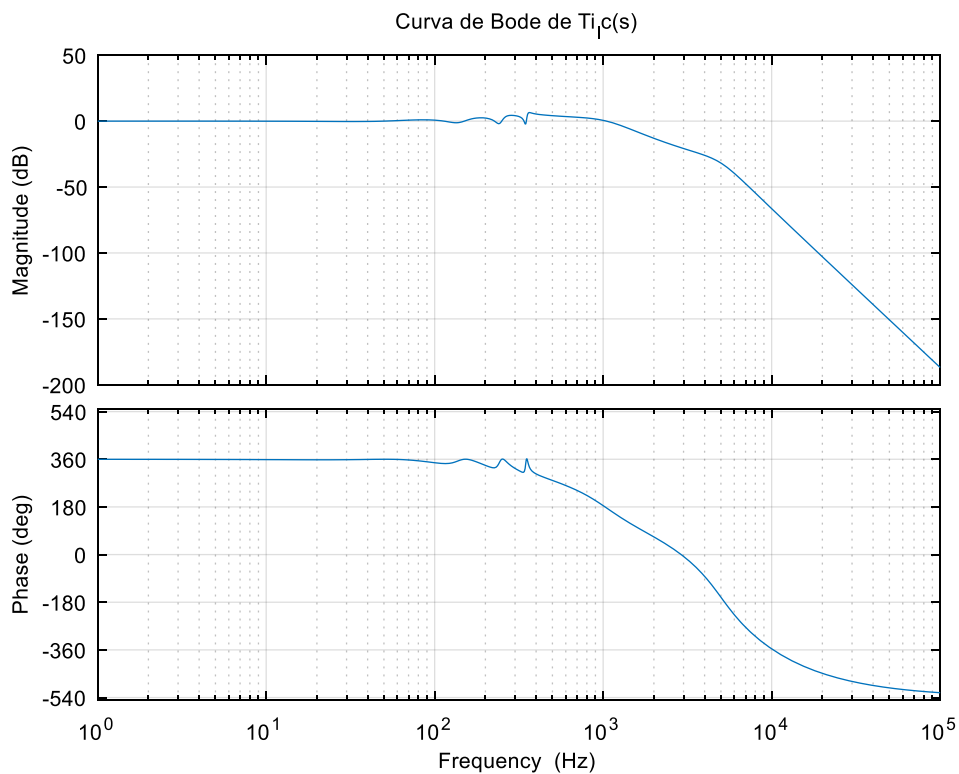


Ilustración 25: Lazo cerrado de corriente $T_{i,lc}(s)$.

4.7.4. Lazo de Tensión.

Como ya se mostró en el lazo de corriente, los efectos de $Padé(s)$ y $FAL(s)$ no fueron especialmente significativos.

En el caso del lazo de tensión, estos efectos resultan directamente despreciables, ya que su dinámica es mucho más lenta que la del lazo de corriente, por lo que la pérdida de fase y ganancia que introducen no son relevantes.

En la siguiente imagen, se muestra el lazo de tensión teniendo en cuenta el lazo cerrado en cascada de corriente:

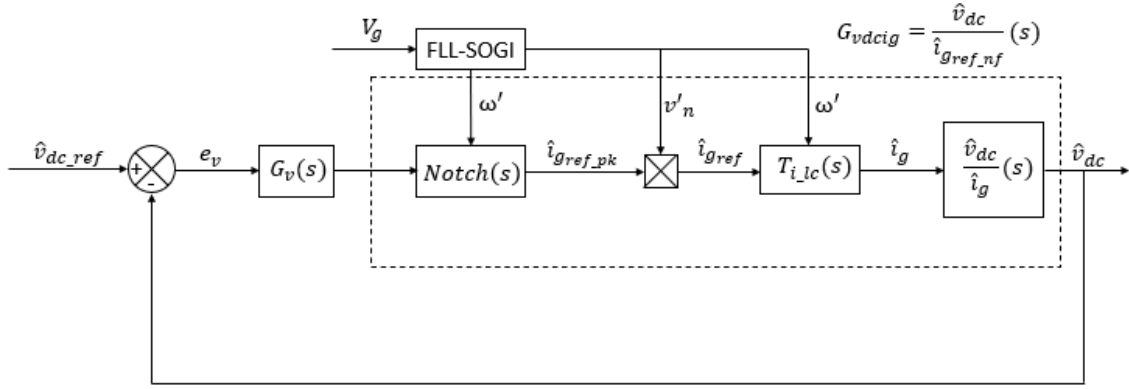


Ilustración 26: Lazo de control de la tensión del bus.

Al igual que con el lazo de corriente, el objetivo es obtener la FdT del inversor que habrá que controlar mediante el regulado $G_v(s)$. Esta se define como:

$$G_{vdcig}(s) = \frac{\hat{v}_{dc}}{\hat{i}_{gref_nf}}(s) \quad (49)$$

Para ello, obtendremos en primer lugar la función $G_{vdc}(s)$, la cual depende íntegramente de la topología del inversor, ya que:

$$G_{vdc}(s) = \frac{\hat{v}_{dc}}{\hat{i}_g}(s) \quad (50)$$

Esta FdT, la cual determina como varía la tensión del bus en función de las variaciones de corriente inyectada a la red, se obtiene a partir del siguiente balance de potencia, suponiendo que las pérdidas en el inversor son despreciables [22]:

$$v_{dc} \cdot i_{dc} = v_g \cdot i_g \quad (51)$$

Recordando (39), cada una de las variables de la ecuación anterior está formada por una componente de funcionamiento en régimen permanente y otra componente en pequeña señal que representa las pequeñas variaciones de cada variable entorno a su punto de trabajo.

Empleando **(39)** con cada una de las variables de **(51)**, nos queda la siguiente ecuación en pequeña señal, en el que se desprecian los productos entre variables de pequeña señal.

$$V_{dc} \cdot \hat{i}_{dc} + I_{dc} \cdot \hat{v}_{dc} = V_g \cdot \hat{i}_g + I_g \cdot \hat{v}_g \quad (52)$$

Asumiendo que:

- Las variaciones de la tensión de la red son despreciables ($\hat{v}_g = 0$).
- I_{dc} es nula en los condensadores de la DC-link.
- La corrientes \hat{i}_{dc} se puede expresar como:

$$\hat{i}_{dc} = \hat{v}_{dc} \cdot C_{dc} \cdot s \quad (53)$$

Nos queda que:

$$G_{vdc}(s) = \left. \frac{\hat{v}_{dc}}{\hat{i}_g}(s) \right|_{v_g(s)=0} = -\frac{V_g}{V_{dc}} \cdot \frac{1}{C_{dc} \cdot s} \quad (54)$$

El signo negativo de la función de transferencia se añade manualmente razonando de la siguiente manera: si la potencia que entrega el inversor es constante, en caso de que se quiera inyectar más corriente a la red, los condensadores de la DC-link se tendrán que descargar, reduciendo la tensión del bus y viceversa. Es decir, una variación positiva de la corriente entregada a la red ($\hat{i}_g > 0$) se traduce como una variación negativa de la tensión del bus ($\hat{v}_{dc} < 0$).

Tras obtener **(54)**, podemos expresar **(49)** como:

$$G_{vdcig}(s) = Notch(s) \cdot v_n' \cdot T_{i_{lc}}(s) \cdot G_{vdc}(s) \quad (55)$$

El filtro Notch (filtro rechazo-banda) se emplea para que el rizado de tensión de baja frecuencia del bus no afecte al control de corriente.

Como ya se explicó en el cálculo de la capacidad de la DC-link **(4.5)**, existe un rizado de tensión el bus de continua del doble de la frecuencia de la red, el cual se acotó para que su rizado pico a pico no superase el 2% de la tensión bus.

Sin embargo, esta variación de tensión puede traducirse en un aumento de los armónicos de corriente inyectados a la red si no se anula su efecto sobre el cálculo de la referencia de corriente de los lazos de control.

Por ello, se introduce el filtro *Notch*(*s*), sintonizado al doble de la frecuencia de la red gracias al FLL, al igual que se hizo con el cálculo de los resonante *R*(*s*) del lazo de corriente.

Por ello, la FdT del *Notch*(*s*) será:

$$Notch(s) = \frac{s^2 + \omega^2}{s^2 + k \cdot \omega \cdot s + \omega^2} \quad (56)$$

Para el filtro **(56)**, se ha tomado un ancho de banda de 20 Hz, por lo que el valor de *k* será de 0,2. Teniendo en cuenta que esta centrado en el segundo armónico de la red , el filtro queda como:

$$Notch(s) = \frac{s^2 + (2 \cdot \omega')^2}{s^2 + 0,2 \cdot 2 \cdot \omega' \cdot s + (2 \cdot \omega')^2} = \frac{s^2 + 4 \cdot \omega'^2}{s^2 + 0,4 \cdot \omega' \cdot s + 4 \cdot \omega'^2} \quad (57)$$

En la siguiente imagen, se muestra cómo actúa el filtro notch en frecuencia si el armónico fundamental de la red se halla a 50 Hz.

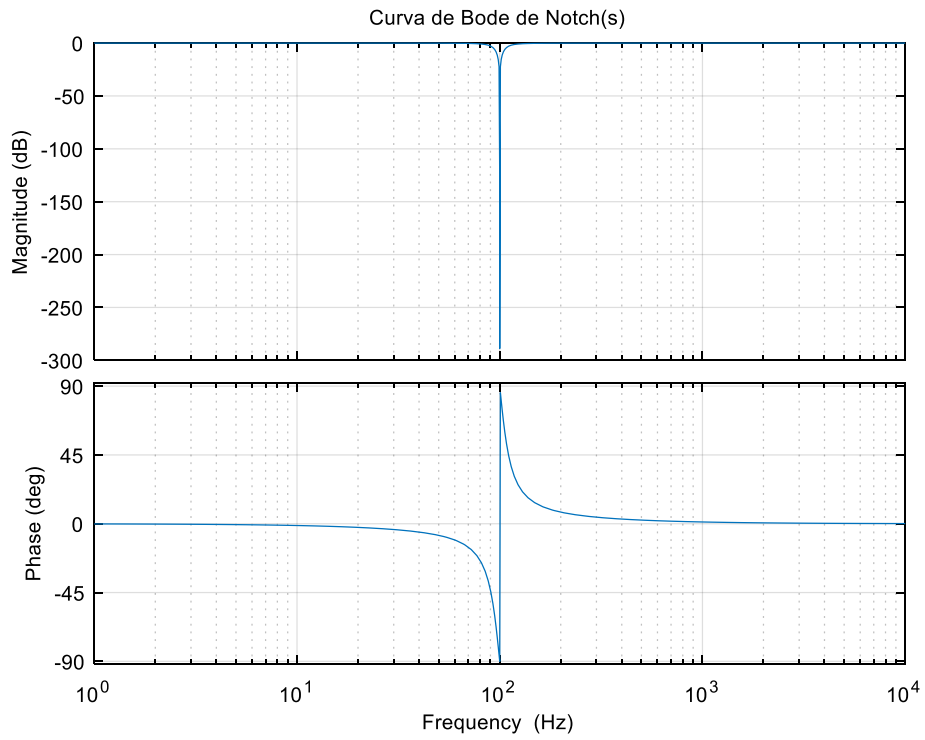


Ilustración 27: Filtro Notch(s) centrado a 100 Hz.

Dado que conocemos todas las funciones de **(55)**, en la siguiente imagen se representa la respuesta en frecuencia de $G_{vdcig}(s)$ (rojo) y $G_{vdc}(s)$ (azul), mostrando como afectan el resto de elementos del lazo de control de tensión a $G_{vdc}(s)$:

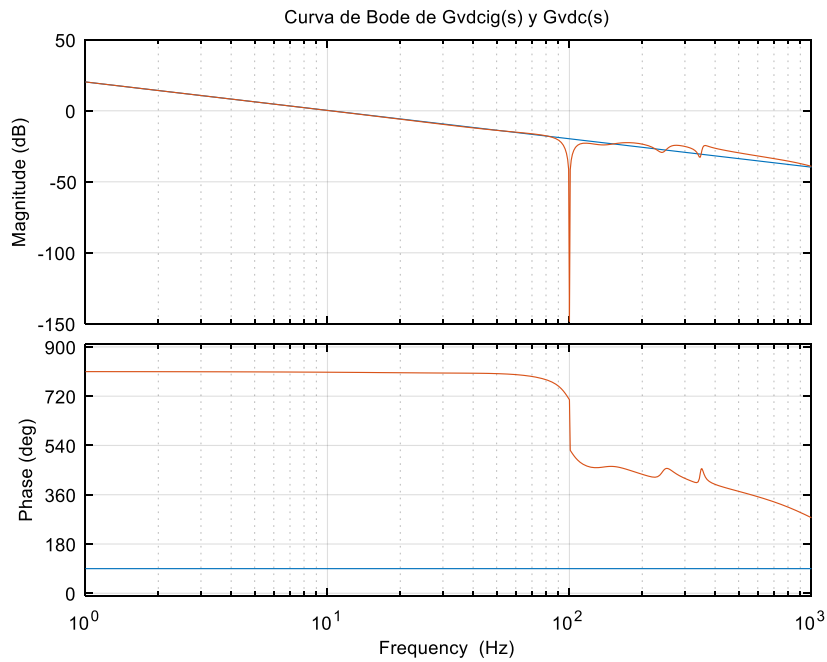


Ilustración 28: FdT de $G_{vdcig}(s)$ y $G_{vdc}(s)$.

Podemos observar como las respuestas de ambas funciones son equivalentes hasta que comienza actuar el filtro $Notch(s)$ y también se aprecia las variaciones en frecuencia y ganancia que introduce el lazo cerrado de corriente.

Notar que las fases también coinciden hasta frecuencias cercanas a 100 Hz , ya que Matlab las representa desfasadas $2 \cdot 360^\circ = 0^\circ$.

De la **Ilustración 28** se extrae que, fijando una frecuencia de corte reducida para la ganancia del lazo abierto de tensión $T_v(s)$, los efectos del filtro rechazo-banda y del lazo de corriente se pueden despreciar.

Al igual que con el control de corriente, el lazo abierto de tensión se define como:

$$T_v(s) = G_v(s) \cdot G_{vdcig}(s) \quad (58)$$

Las variaciones de $T_v(s)$ se consiguen mediante $G_v(s)$, que se trata de un regulador con acción proporcional e integral, siendo:

$$G_v(s) = kp_v \cdot \left(1 + \frac{ki_v}{s}\right) \quad (59)$$

La acción integral del regulador permite que no se produzca error estacionario ante el seguimiento de la referencia de tensión del bus [21].

En la siguiente gráfica se muestran los bodes de (58) en azul y (55) en rojo para comparar sus respuestas en frecuencia:

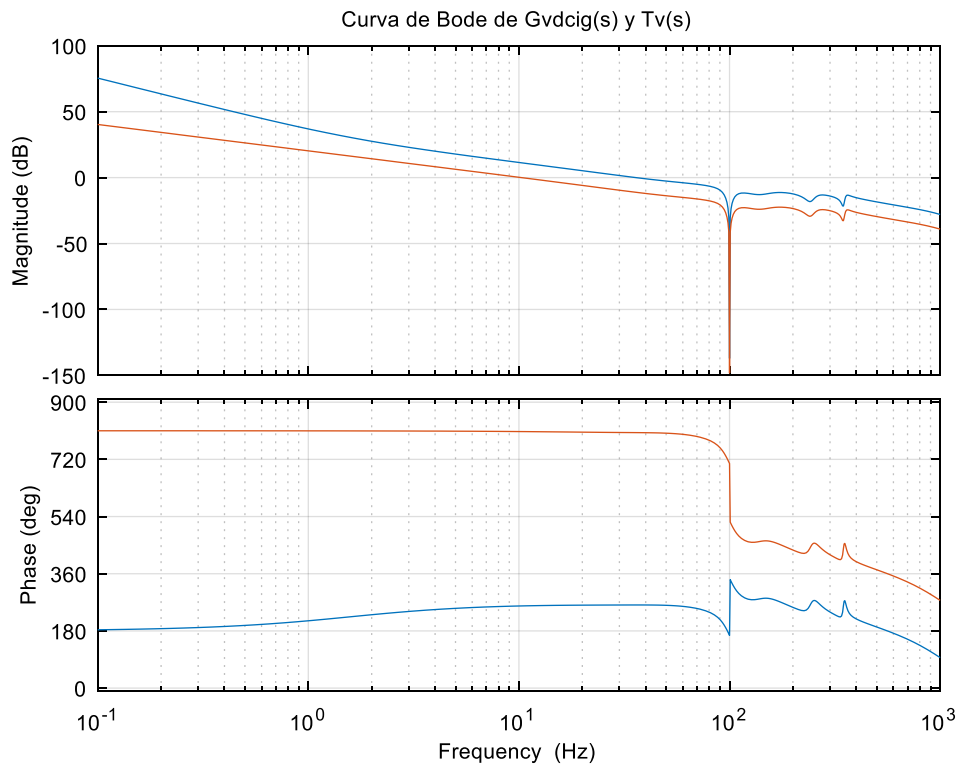


Ilustración 29: Bodes de (58) y (55).

En la **Ilustración 29** se observa como el regulador $G_v(s)$ nos permite que el lazo abierto de tensión tenga un margen de fase de $MF = 82^\circ$ y que el margen de ganancia sea de más de 30 dB .

La frecuencia de corte de $T_v(s)$ se sitúa en $f_{cv} = 36\text{ Hz}$. Esta frecuencia de corte es reducida y, por lo tanto, la dinámica del lazo será lenta.

Los valores de la constante proporcional (k_{p_v}) y la constante de integración (k_{i_v}) para conseguir la respuesta en frecuencia deseada serán:

$$G_v(s) = -3,6 \cdot \left(1 + \frac{10}{s}\right) \quad (60)$$

Ante variaciones de la tensión de la DC-link, apenas varían los márgenes de fase y de ganancia. Las frecuencias de corte se sitúan en $f_{cv} = 27,3 \text{ Hz}$ para tensiones de 600 V y en $f_{cv} = 40,5 \text{ Hz}$ para 400 V.

4.8. Validación del diseño en PSIM.

Finalmente, para validar el diseño de los lazos de control y del hardware del inversor escogido, realizamos su simulación en PSIM.

PSIM permite incorporar bloques de Scripts de C, en los que se pueden programar los lazos de control.

Para ello, es necesario discretizar las funciones continuas en variable de Laplace (s) empleadas en el diseño. Esto se consigue mediante la transformada bilineal (z), también conocida como el método de Tustin [27], siendo:

$$s = \frac{2}{T_s} \cdot \frac{z - 1}{z + 1} \quad (61)$$

El periodo T_s lo determina la frecuencia de adquisición de los convertidores A/D, que, como ya se explicó, gracias a la técnica de “double-update”, es la mitad que el periodo de conmutación de los transistores del inversor.

En los siguientes apartados, mostraremos los resultados de la simulación:

4.8.1. Validación del SOGI-FLL.

Para mostrar que el SOGI-FLL genera una señal v'_n adecuada para sincronizarnos con la red y que el cálculo de ω' resulta preciso por parte del lazo FLL, se va a realizar la simulación del inversor monofásico conectado a una red de tensión altamente distorsionada, en la que el valor de los armónicos de orden 3,5 y 7 poseen un valor del 5% del valor eficaz del armónico fundamental.

Este es el valor máximo que fija la norma **IEEE-519** para armónicos individuales en redes cuya tensión sea menor a 1 Kv. En este caso, la distorsión armónica total de la red será:

$$THD_v = \sqrt{\frac{\sum_{i=3,5,7} V_{rms_i}^2}{V_{rms_1}^2}} = \sqrt{\frac{3 \cdot (0.05 * V_{rms_1})^2}{V_{rms_1}^2}} = 8,66\% \quad (62)$$

El valor de THD_v que provocan estos armónicos es superior al que permite la norma, por lo que esta red es adecuado para poner a prueba el diseño.

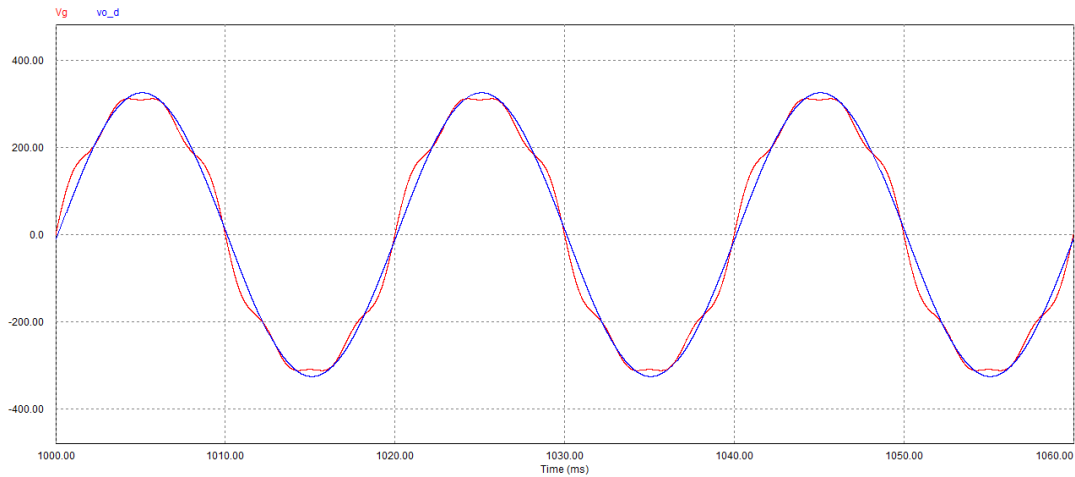


Ilustración 30: V_g respecto a la señal V' filtrada.

En la ilustración anterior, se muestra la red eléctrica distorsionada (rojo) y como el SOGI **(27)** filtra el armónico fundamental de la misma, obteniendo v' (azul).

Tras programar el cálculo propuesto en **(35)**, obtenemos la señal unitaria v'_n que nos permitirá sincronizar el lazo de control de corriente con la tensión de la red.

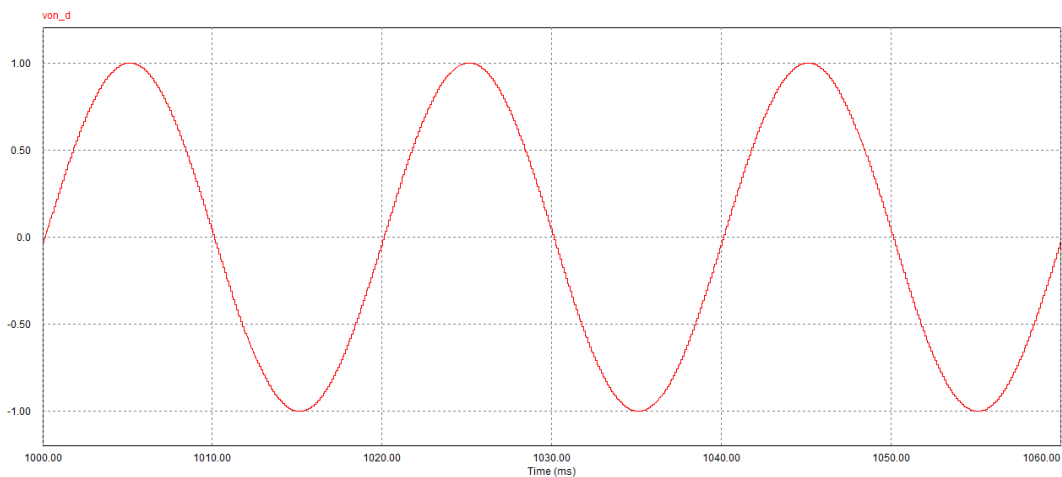


Ilustración 31: Señal unitaria v'_n .

En la siguiente ilustración, se muestra el cálculo de ω' que realiza el FLL:

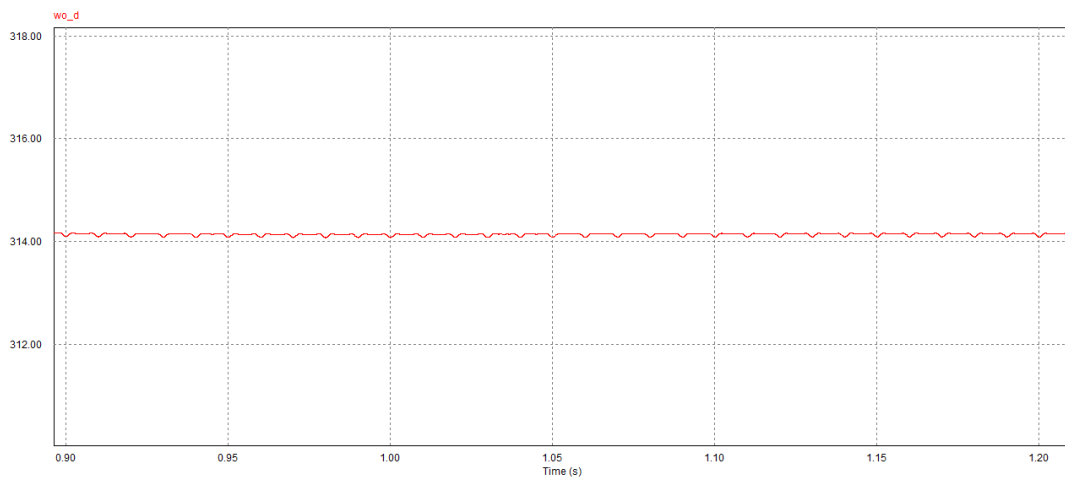


Ilustración 32: Valor de ω' que calcula el FLL.

El valor medio de la señal ω' en régimen estacionario es de $314,135 \text{ rad/s}$, por lo que el valor de la frecuencia de la red que calcula el FLL es de $f' = 49,996 \text{ Hz}$, lo que muestra que la precisión del FLL es bastante elevada.

Se han realizado pruebas cambiando el valor de la frecuencia fundamental de la red $\pm 5 \text{ Hz}$. En todos los casos, el seguimiento del armónico fundamental por parte del SOGI y la precisión del FLL han sido bastante elevadas.

4.8.2. Lazo de tensión y filtro Notch.

Las simulaciones del inversor se han realizado inyectando 10 kW de potencia en el bus de continua mediante una fuente de corriente que, dada la tensión del bus, genera la corriente suficiente para alcanzar los 10 kW .

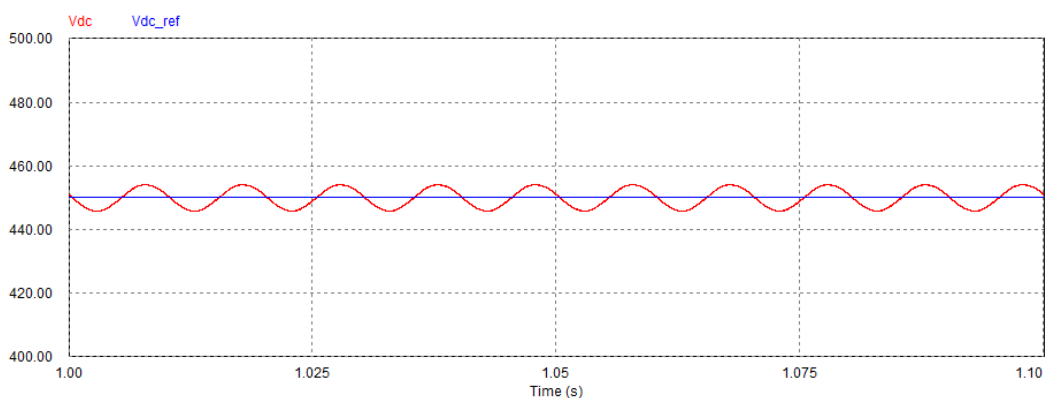


Ilustración 33: Seguimiento de la referencia de tensión del bus.

Fijando una tensión de referencia de 450 V (V_{dc_nom}), observamos en la ilustración anterior cómo el seguimiento de la misma es adecuado por parte del lazo de tensión. Destaca el rizado de 100 Hz de tensión, el cual se acotó con la capacidad C_{dc} para que no superase los 9 V_{pp} .

Al ser la capacidad de la DC-link algo mayor que la obtenida en **(23)**, se realiza la medición del rizado de tensión y se observa que su valor es de poco más de 8 V_{pp} .

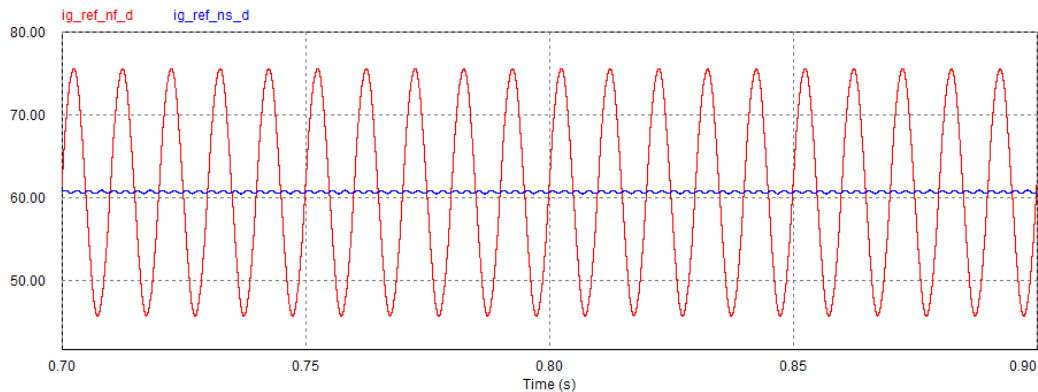


Ilustración 34: Referencia de corriente no sincronizada con la red antes y después del filtro Notch.

Podemos observar como el cálculo de la referencia de corriente por parte de $G_v(s)$ es muy susceptible ante el rizado de tensión de baja frecuencia del bus. Por ello, se dispone el filtro $Notch(s)$, el cual elimina la señal de frecuencia de 100 Hz , como se observa en la **Ilustración 34**.

De esta forma, se obtiene el valor pico de la referencia de corriente $I_{g_ref_pk}$ que, tras sincronizarse con v'_n , se convierte en la señal de referencia para el lazo de corriente I_{g_ref} .

4.8.3. Lazo de corriente y filtro LCL.

La función del filtro LCL es la de reducir los armónicos de alta frecuencia de la señal que genera el inversor sobre la corriente de la red.

En la siguiente ilustración, se observa el filtrado de I_g respecto a I_f :

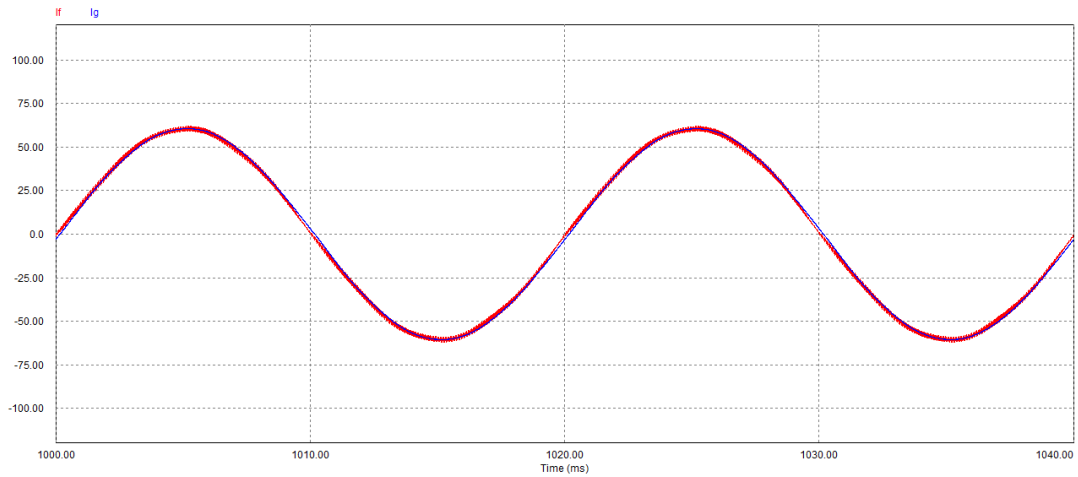


Ilustración 35: Comparación de las corrientes I_g e I_f .

Se aprecia a simple vista como el desfase entre ambas es prácticamente inexistente, lo que significa que la cantidad de potencia reactiva que entrega/absorbe el filtro es a grandes rasgos nula.

También se observa como el filtro absorbe el rizado de alta frecuencia de I_f (señal roja), entregando la corriente I_g (señal azul) a la red.

Para la validación del lazo de corriente, se observa el seguimiento que realiza la corriente de la red respecto a la referencia del lazo:

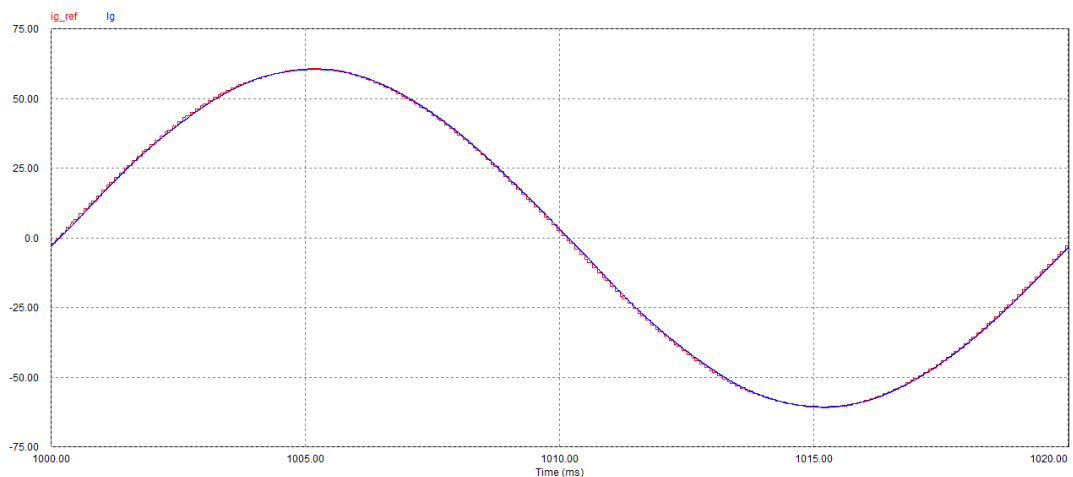


Ilustración 36: Seguimiento de I_g respecto I_{g_ref} .

El seguimiento de la referencia de corriente es casi perfecto.

Finalmente, se observa la tensión de la red V_g y la corriente de la red I_g .

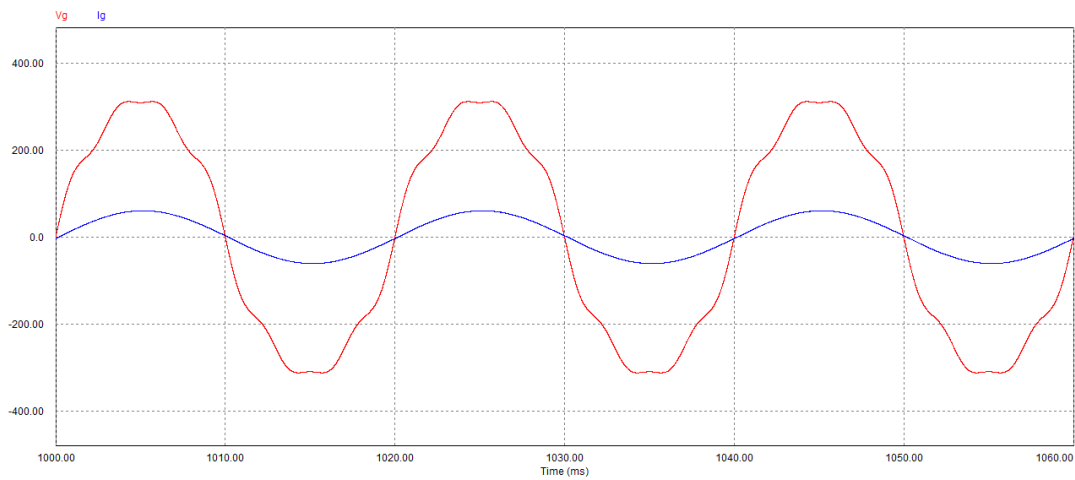


Ilustración 37: V_g e I_g de la red.

Vemos que, a pesar de la distorsión de la red, el valor de THD_i de la corriente es muy reducido.

$$THD_i = 0,33\% \quad (63)$$

Si realizamos análisis de Fourier de la corriente I_g , observamos que tanto a baja como a alta frecuencia, sus armónicos son despreciables:

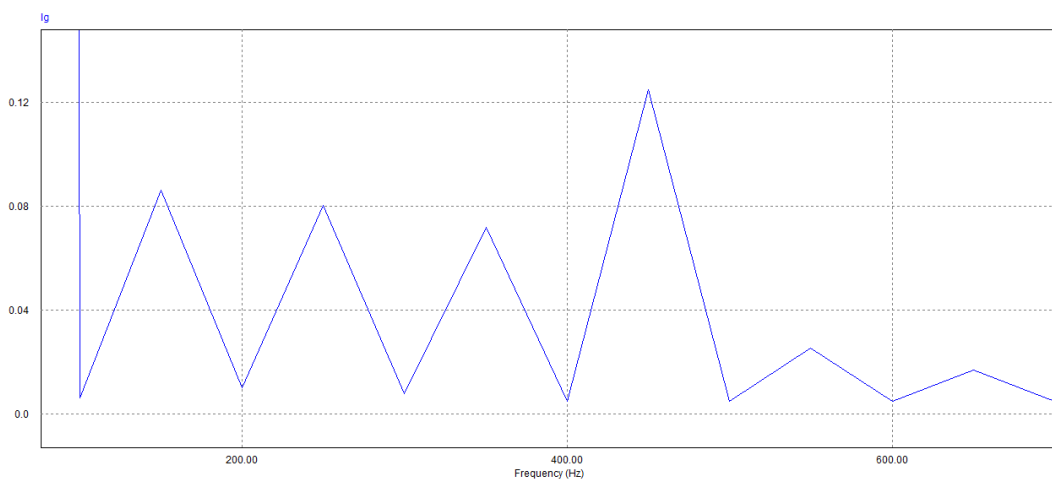


Ilustración 38: Armónicos de baja frecuencia de I_g .

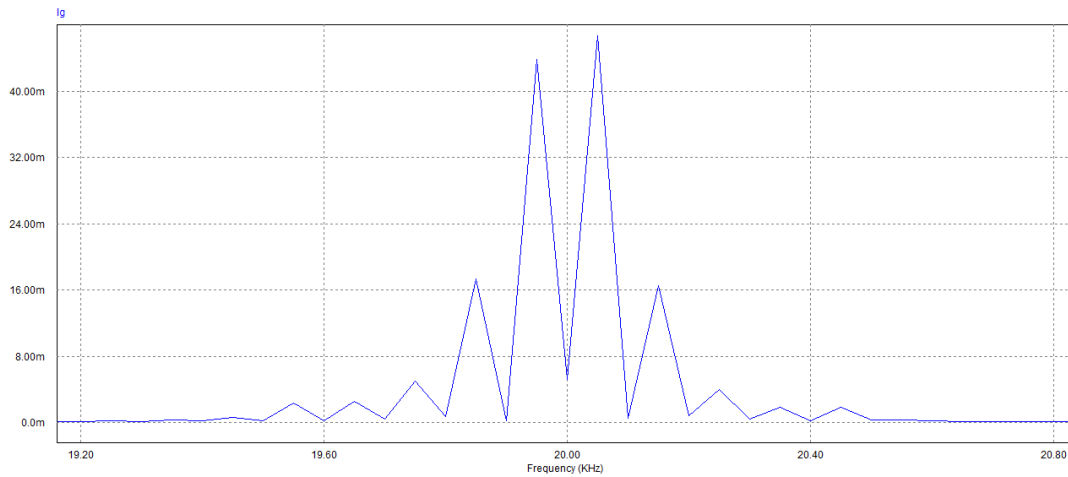


Ilustración 39: Armónicos de alta frecuencia de I_g centrados en f_{s_ef} .

También se puede intuir que el factor de potencia de desplazamiento (DPF) será casi nulo. Si lo medimos, el resultado es:

$$DPF = \cos(\phi_1) = 0,9987 \quad (64)$$

Por todo ello, podemos considerar que el diseño de los elementos del inversor y su control han sido adecuados.

5. Diseño del convertidor DC/DC bidireccional para fotovoltaica.

Como ya se indicó en **la introducción** del proyecto, cada una de las ramas de transistores que componen el inversor diseñado en el apartado anterior pueden trabajar independientemente como convertidores DC/DC bidireccionales, pudiendo conectar recursos energéticos como strings fotovoltaicos o baterías a la DC-link de otro módulo que funcione como inversor conectado a la red.

Una característica destacable de los convertidores DC/DC bidireccionales es que se pueden modelizar indistintamente como un convertidor Buck o como Boost, ya que el disparo de los transistores es complementario [31]. Es decir, el ciclo de trabajo se puede definir como:

$$D = D_{buck} = 1 - D_{boost} \quad (65)$$

En adelante, modelizaremos los convertidores DC/DC como si se tratase de un Buck, ya que su análisis resulta más simple.

A lo largo del presente apartado, realizaremos el diseño y validación de los convertidores DC/DC conectados a strings fotovoltaicos. El reto consiste en realizar un diseño de control válido partiendo de los valores de los componentes electrónicos seleccionados para el diseño del inversor, reciclando los componentes del filtro LCL.

Elementos como la resistencia de damping (R_d) o la inductancia adicional de la red (L_{g_ad}) serán baipaseados por relés de estado sólido controlados por un microcontrolador que establecerá el modo de funcionamiento del módulo.

De esta forma, el esquema eléctrico de los convertidores sirviendo de conexión entre los paneles fotovoltaicos y la DC-link, tendrá el siguiente aspecto:

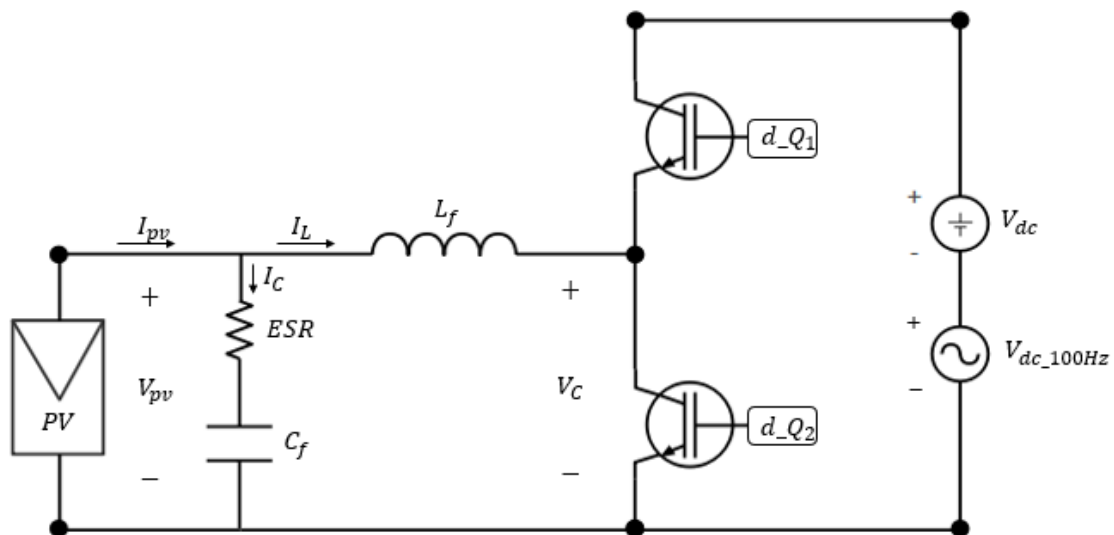


Ilustración 40: Topología del convertidor DC/DC conectado a la DC-link y al string fotovoltaico.

El convertidor que se muestra en la ilustración anterior trabajará elevando la tensión del string fotovoltaico para equipararla con la del bus de continua.

Al no emplear la resistencia de damping (la cual generaría muchas pérdidas), se ha tenido en cuenta para el diseño la resistencia parásita del condensador (ESR), la cual dependerá del modelo de capacidad elegida para el filtro LC. Para que esto no resulte un problema, se ha escogido para realizar los cálculos una ESR relativamente elevada de $0,01 \Omega$.

Normalmente, el filtro LC que se muestra en la **Ilustración 40** se diseña en base al rizado de corriente máximo que se establece en la bobina (L_f), cuyo valor habitual de diseño

de encuentra entorno al 30% del valor de I_L nominal según autores como [29], donde también se establecen valores de rizado de tensión para los elementos energéticos conectados al convertidor de entorno al 1% del valor nominal de tensión (V_o), siendo $V_o = V_{pv}$ para el diseño de este apartado.

Sin embargo, para realizar un diseño coherente, se han de tomar los elementos del filtro LCL del inversor para constituir los del filtro LC del convertidor DC/DC.

Antes de comenzar con el diseño de los lazos de control del convertidor, mostraremos las características de los paneles fotovoltaicos seleccionados para el diseño y se establecerán los valores de funcionamiento a partir del apartado **2. Estudio de mercado**.

5.1. Paneles FV seleccionados y valores de funcionamiento.

Como se pudo apreciar en la **Tabla 3**, tanto la corrientes que entregan los paneles fotovoltaicos trabajando en su punto de máxima potencia (I_{mp}), como la corriente de cortocircuito que pueden llegar a generar (I_{sc}), no superan los 20 A para nos modelos de mayor potencia de los fabricantes con mayor cuota de mercado en el sector fotovoltaicos, sin tener en cuenta algunos paneles bifaciales, que pueden llegar a generar más corrientes [30].

Dado que el diseño pretende ser compatibles con el máximo número de modelos de paneles, se toma para el cálculo de los lazos de control y la validación en PSIM el panel TSM-DE21 de 655 W de Trina solar [7], ya que la compañía facilita sus curvas de funcionamiento a distintas irradiancias y los coeficientes de temperatura que rigen su funcionamiento.

PSIM permite introducir los valores las curvas en tablas de interpolación, de forma que se pueda simular el funcionamiento de cualquier panel conociendo el valor de un número finito de puntos de funcionamiento.

En las siguientes ilustraciones generadas en PSIM, se muestra el valor de las corrientes y potencias de funcionamiento del panel fotovoltaico seleccionado en función de la tensión a la que estén sometidos y la irradiancia que reciban, de $200 W/m^2$ (rojo) a $1000 W/m^2$ (naranja) con escalones de $200 W/m^2$.

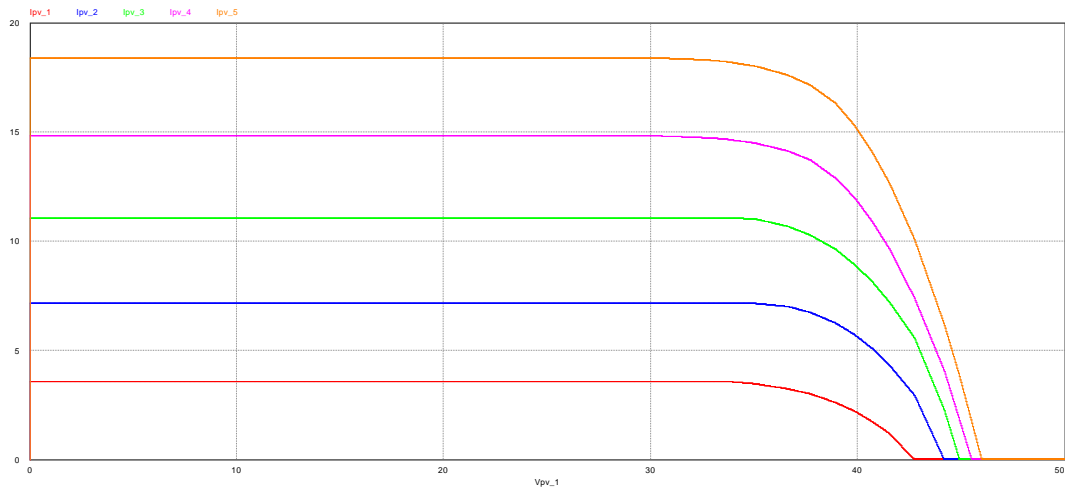


Ilustración 41: Corriente que entrega un panel TSM-DE21 en función de la tensión a la que está sometido para distintas irradiancias [7].

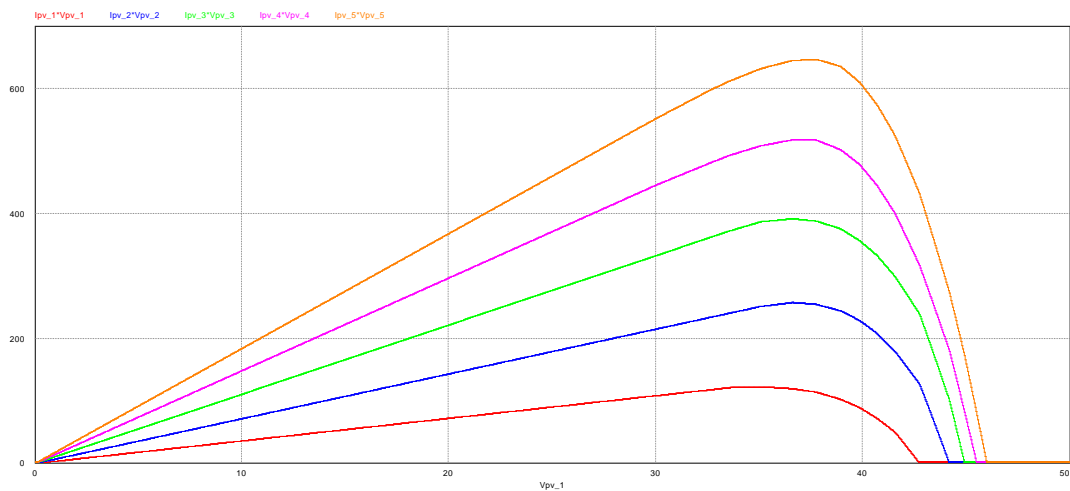


Ilustración 42: Potencia que entrega un panel TSM-DE21 en función de la tensión a la que está sometido para distintas irradiancias [7].

Se establecerá que los convertidores puedan soportar hasta 20 A de corriente. Por ello, se programará en los microcontroladores una protección anti-windup que fije como corriente de referencia del lazo de corriente 20 A en caso de que la corriente de referencia obtenida en los cálculos sea mayor.

En condiciones de trabajo en régimen nominal, se establece un ciclo del trabajo del 50% ($D \approx 0,5$), de forma que la carga de trabajo de los transistores IGBT se reparta de forma equitativa entre ambos.

Si como se indicó al inicio del apartado, se modeliza el DC/DC bidireccional como un Buck, tendremos que:

$$D = \frac{V_{pv}}{V_{dc}} \quad (66)$$

Como se estableció en la **Tabla 4**, el valor nominal de la tensión del bus es de 450 V, por lo que se habrán de acoplar un número de paneles fotovoltaicos en serie cuya tensión en el punto de generación de máxima potencia (V_{mp}) sea el más cercano a $V_{pv} = 225 V$.

Dado que $V_{mp} = 37,6 V$ en condiciones STC (1000 W/m² y T^a de panel de 25°C) [7], si se conectan 6 paneles en serie, se consigue que $V_{mp_string} = V_{pv} = 6 \cdot 37,6 V = 225,6 V$, valor que proporciona un ciclo de trabajo $D = 0,5013$.

Al disponer de la mitad de los elementos de conmutación, la potencia que maneja el convertidor DC/DC será menor que la del inversor (de unos 4 kW en el caso del string diseñado, aunque podría ser mayor).

En cualquier caso, al soportar menos potencia, se pueden asumir mayores pérdidas de conmutación, permitiendo que la frecuencia de conmutación del convertidor sea el doble que la del inversor, es decir, $f_c = 20 kHz$.

Resumiendo, se muestran los valores de funcionamiento nominal en la siguiente tabla:

Tabla 10: Valores de funcionamiento nominal del DC/DC, toman la tensión y corriente del string FV en el MPP en condiciones STC.

| VARIABLES | VALORES |
|-----------|---------|
| f_c | 20 kHz |
| V_{pv} | 225,6 |
| V_{dc} | 450 V |
| D | 0,5013 |
| I_{pv} | 17,43 A |

5.2. Modelización del string FV.

Una posible modelización del string fotovoltaico en pequeña señal de la **Ilustración 40** parte de un análisis de la potencia que generan los paneles FV [32], siendo:

$$p_{pv} = i_{pv} \cdot v_{pv} \quad (67)$$

Como se estableció en (39), las señales de (67) disponen de una componente en gran señal acorde con el punto de funcionamiento de los paneles en régimen permanente y

una componente en pequeña señal que modeliza las variaciones de las señales entorno a su punto de trabajo.

Si implementamos **(39)** en **(67)** y despreciamos el producto de las variables en pequeña señal, nos queda que:

$$\hat{p}_{pv} = \hat{i}_{pv} \cdot V_{pv} + \hat{v}_{pv} \cdot I_{pv} \quad (68)$$

En la **Ilustración 42** resulta evidente como, en torno al MPP (Maximum Power Point), las variaciones de potencia \hat{p}_{pv} respecto a las variaciones de tensión \hat{v}_{pv} resultan nulas, es decir:

$$\left. \frac{\hat{p}_{pv}}{\hat{v}_{pv}} \right|_{MPP} = 0 \quad (69)$$

Por ello, analizando **(68)** entorno al MPP, se consigue que:

$$\left. \frac{\hat{v}_{pv}}{\hat{i}_{pv}} \right|_{MPP} = - \left. \frac{V_{pv}}{I_{pv}} \right|_{MPP} = - \frac{I_{mp}}{V_{mp}} = -R_{pv} \quad (70)$$

De esta forma, como se observa en **(70)**, se puede modelizar las variaciones de tensión del strins FV respecto a la corriente que generan como un resistencia negativa, denominada R_{pv} .

5.3. Lazos de control.

En la siguiente ilustración, se muestran los lazos de control diseñados:

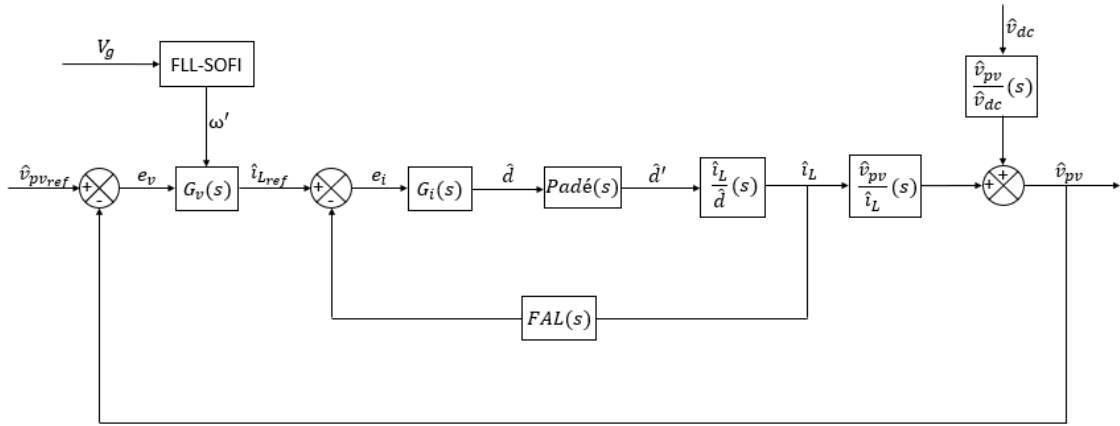


Ilustración 43: Lazos de control del convertidor DC/DC para FV.

Al igual que para el control del inversor, se diseña un lazo de control de la tensión del string FV externo (lento) y un lazo interno de corriente en cascada (rápido).

En los siguientes subapartados, se mostrará el diseño de los reguladores de tensión y corriente de la **Ilustración 43** a partir de la obtención de las FdT del convertidor DC/DC expuesto en la **Ilustración 40**.

5.3.1. Lazo de corriente para FV.

Al igual que el lazo de corriente del inversor, se tendrá en cuenta la aproximación de Padé ($Padé(s)$) que modeliza el retardo de conmutación de la rama del DC/DC y el filtro anti-aliasing ($FAL(s)$) para la adquisición de la corriente I_L que circula por la bobina L_f del filtro LC.

De esta forma, podemos describir la FdT que habrá de regular $G_i(s)$ como:

$$G_{i_L}(s) = G_{i_{Ld}}(s) \cdot Padé(s) \cdot FAL(s) \quad (71)$$

Siendo:

$$G_{i_{Ld}}(s) = \left. \frac{\hat{i}_L}{\hat{d}}(s) \right|_{v_{dc}(s)=0} \quad (72)$$

Para la obtención de (72), se ha de tener en cuenta la modelización de los transistores del convertidor en pequeña señal.

$$\begin{aligned} \text{AC} \quad \hat{i}_a &= D \cdot \hat{i}_c + \hat{d} \cdot I_c \\ \hat{v}_{cp} &= D \cdot \hat{v}_{ap} + \hat{d} \cdot V_{ap} \end{aligned}$$

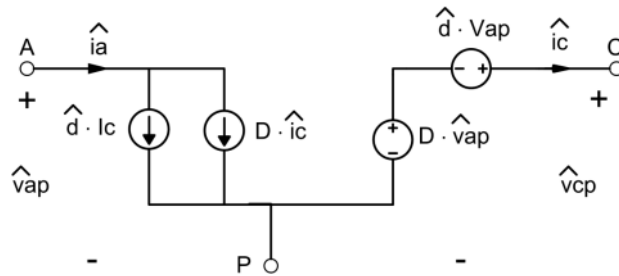


Ilustración 44: Análisis en pequeña señal de un conmutado PWM en conducción continua [33].

Como ya se indicó al comienzo del apartado, el convertidor DC/DC bidireccional se analiza como si se tratase de un convertidor Buck, por lo que, a continuación, se muestra la relación de variables de la **Ilustración 44** con las variables de funcionamiento del convertidor para FV:

$$\begin{cases} \hat{v}_{ap} = \hat{v}_{dc} \\ \hat{i}_c = \hat{i}_L \\ \hat{v}_{cp} = \hat{v}_c \end{cases} \quad (73)$$

Teniendo en cuenta (73) y que las variaciones de la tensión del bus se consideran nulas en el análisis (72) ($\hat{v}_{dc} = 0$), queda el siguiente circuito en pequeña señal para la obtención de la FdT que buscamos:

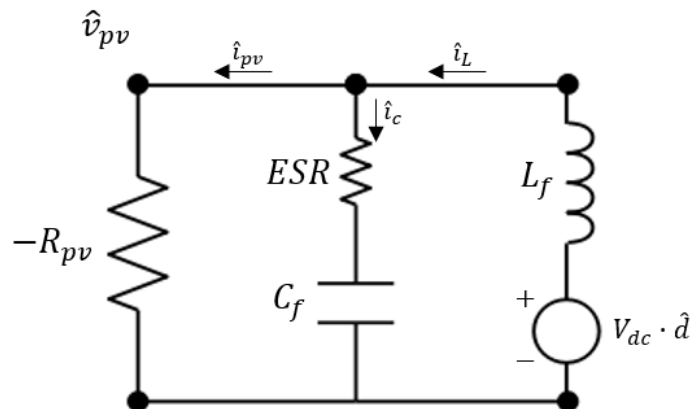


Ilustración 45: Análisis del convertidor DC/DC en pequeña señal para la obtención de $G_{i_L,d}(s)$.

\hat{i}_{pv} va en la dirección del string FV debido a que analizamos el circuito como si se tratase de un convertidor Buck. En cualquier caso, esto nunca ha de suceder en la realidad, ya que los paneles FV se comportarían como una carga, lo que podría provocar su deterioro o incluso podrían quedar inservibles.

Tras resolver las ecuaciones derivadas de la **Ilustración 45** en el segundo apartado del **Anexo I**, se obtiene que **(72)** es:

$$G_{i_{Ld}}(s) = \frac{V_{dc} \cdot (C_f \cdot (ESR - R_{pv}) \cdot s + 1)}{C_f \cdot L_f \cdot (ESR - R_{pv}) \cdot s^2 + (L_f - C_f \cdot ESR \cdot R_{pv}) \cdot s - R_{pv}} \quad (74)$$

Para obtener **(71)**, queda por definir $Padé(s)$ y $FAL(s)$ para esta función.

Al igual que sucedió con la aproximación de Padé para los inversores, el retardo predominante es el provocado por la ejecución de la conmutación de los transistores en lugar del retardo de adquisición del microcontrolador a la hora de adquirir el muestreo de la señal I_L debido a la técnica de “double-update”, que sitúa la frecuencia de adquisición en 40 kHz, por lo que el periodo de retardo de Padé aplicado sobre **(25)** será inversamente proporcional a la frecuencia de conmutación ($T_{sp} = 1/f_{sp} = 1/f_s = 1/(20 \text{ kHz})$).

Dado que, como ya se ha comentado, no se ha podido diseñar un filtro LC para la conexión del string FV, el margen fase del que se pueda disponer en la ganancia del lazo de corriente puede ser escasa.

Es por ello que, para la adquisición de I_L , se ha diseñado un $FAL(s)$ Sallen-Key de segundo orden y no un filtro Butterworth de cuarto orden como en el caso del inversor. También se han reducido el valor de las capacidades del filtro, lo que hace que la frecuencia de corte sea más elevada. Esto se puede realizar sin mayor problema, ya que la frecuencia de adquisición del microcontrolador en la aplicación fotovoltaica es el doble que en el caso del inversor monofásico.

En las siguientes imágenes, se muestra la implementación en PSIM del filtro y su respuesta en frecuencia (bode) con Matlab.

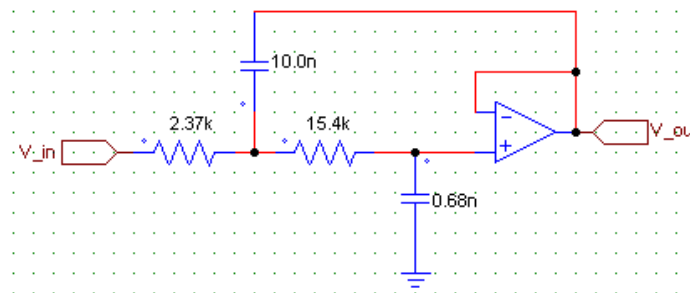


Ilustración 46: Filtro Sallen-Key de segundo orden implementado en PSIM.

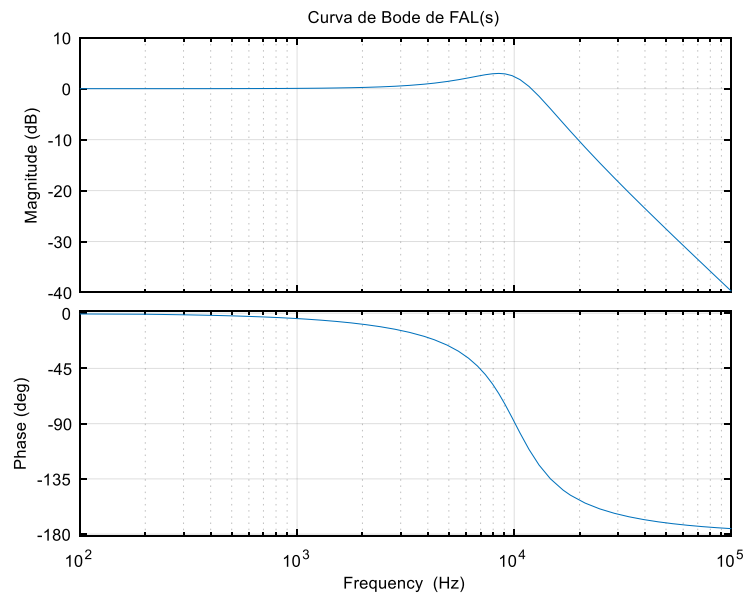


Ilustración 47: Bode de $FAL(s)$ para FV.

Todas las señal por encima de 20 kHz estarán atenuadas más de 10 dB . Se podría conseguir que la atenuación fuese mayor a costa de reducir el margen de fase, por lo que en la **Ilustración 47** se ha llegado a una solución de compromiso para que el lazo de control de corriente sea estable.

Tras la definición de sus productos, ya se puede representar **(71)**. En la siguiente ilustración, se muestra el diagrama de bode de **(71)** en rojo y **(74)** en azul:

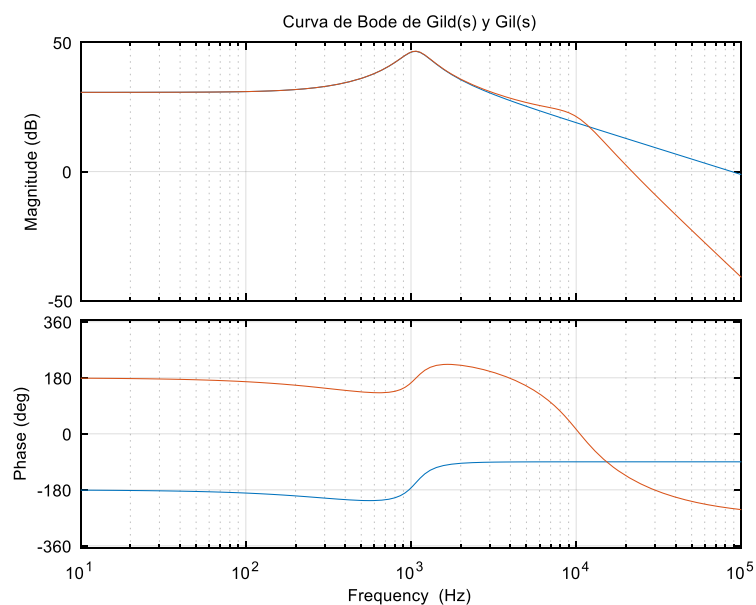


Ilustración 48: Bodes de las funciones **(71)** en rojo y **(74)** en azul.

Como se puede observar en la **Ilustración 48**, las respuestas en frecuencia de ambas FdT serán prácticamente iguales hasta frecuencias del entorno de los 1 kHz .

De forma equivalente a como se dispuso en el inversor, la ganancia del lazo abierto de corriente se define como:

$$T_i(s) = G_i(s) \cdot G_{iL}(s) \quad (75)$$

El controlador $G_i(s)$ es un regulador con acción proporcional e integral (PI), igual que el que se empleó en el lazo de control de tensión del inversor.

En la siguiente ilustración, se muestra la ganancia en lazo abierto **(75)** respecto a la FdT **(71)**:

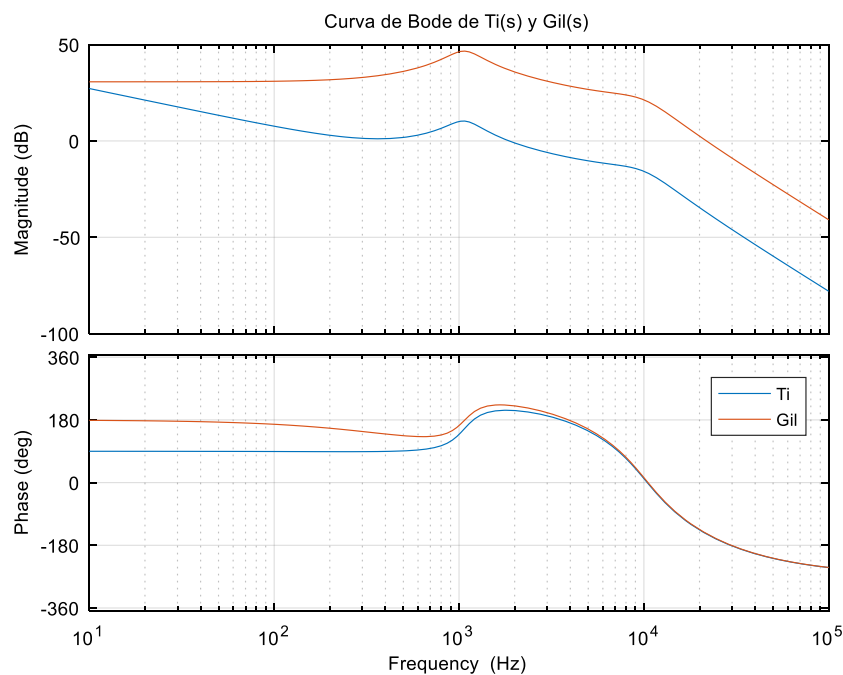


Ilustración 49: Bodes de las funciones **(71)** en rojo y **(75)** en azul.

Como se puede denotar en la ilustración anterior, a diferencia que en el caso del inversor, la pérdida de fase del filtro anti-aliasing provoca que el margen para establecer una ganancia de lazo adecuada sea reducido, ya que la banda de frecuencia en la que el margen de fase es positivo es apenas de 200 Hz .

Tras justar la ganancia proporcional e integral, se concluye que la mejor solución, con los márgenes de fase y de ganancia más elevados, se consiguen con el siguiente regulador:

$$G_i(s) = 0.014 \cdot \left(1 + \frac{3000}{s}\right) \quad (76)$$

La respuesta de (75) en la **Ilustración 49** nos presenta una frecuencia de corte del lazo de corriente de $f_{ci} = 1870 \text{ Hz}$, con un margen de fase de $MF = 27^\circ$ y un margen de ganancia de $MG = 7,5 \text{ dB}$. El margen de fase resulta reducido, pero se trata de la mejor solución que se puede conseguir con un regulador PI.

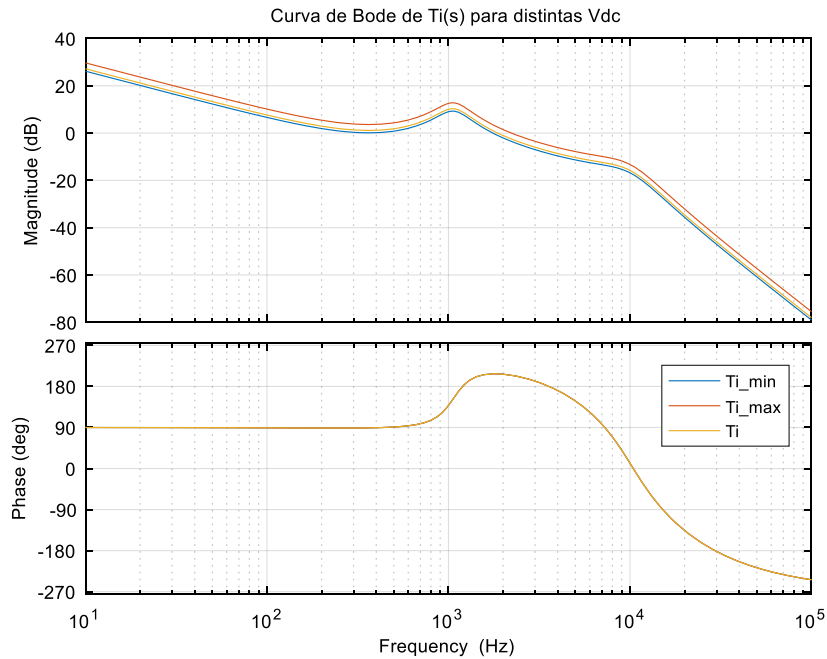


Ilustración 50: Respuesta de (75) antes los valores máximo y mínimo de tensión en el Bus.

En el peor de los casos, cuando la tensión del bus de continua alcanza los 600 V , MF decrece 4° y MG se reduce en 2 dB , aunque aún sigue siendo estable el lazo.

En la siguiente ilustración, se muestra la ganancia en lazo cerrado de corriente, la cual se empleará para el ajuste del lazo de tensión:

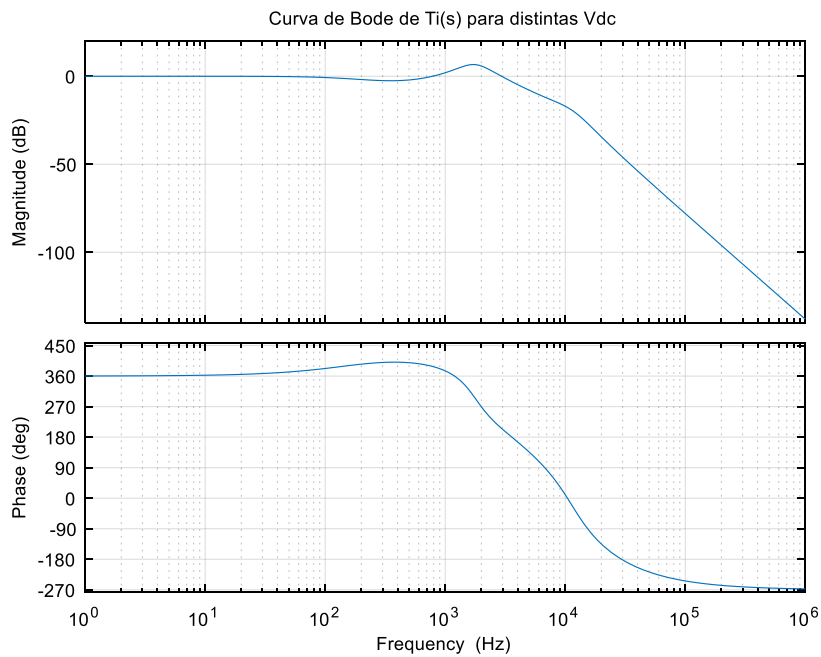


Ilustración 51: Ganancia en lazo cerrado de corriente.

Como se puede observar en la **Ilustración 51** obtenida a partir de la definición de **(48)**, cuanto menor sea la frecuencia de corte de la ganancia en lazo abierto de tensión (f_{cv}), menos le afectará el lazo de corriente.

5.3.2. Lazo de tensión para FV.

Al igual que sucedió en el lazo de tensión de los inversores, el lazo de tensión del convertidor DC/DC se simplifica tras cerrar el lazo de corriente, viéndose el resultado en la siguiente imagen:

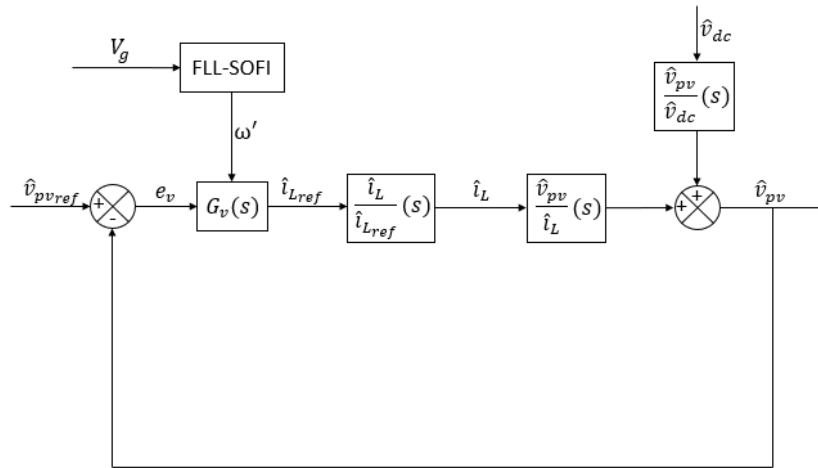


Ilustración 52: Lazo de tensión del convertidor DC/DC bidireccional simplificado para FV.

Como se puede observar, no se tiene en cuenta la aproximación de Padé ni el filtro anti-aliasing, ya que sus efectos actúan a frecuencia mucho mayores que la dinámica del lazo de tensión.

Según la **Ilustración 52**, podemos definir la FdT que ha de regular $G_v(s)$ como:

$$G_{v_{pv}}(s) = \frac{\hat{i}_L}{\hat{i}_{L_{ref}}}(s) \cdot G_{v_{pvil}}(s) \quad (77)$$

Siendo:

$$G_{v_{pvil}}(s) = \frac{\hat{v}_{pv}}{\hat{i}_L}(s) \quad (78)$$

A partir de la **Ilustración 45** se plantean las ecuaciones para obtener **(78)** en función de los parámetros del circuito en el segundo apartado del **Anexo I** obteniendo como resultado:

$$G_{v_{pvil}}(s) = -\frac{R_{pv} \cdot (C_f \cdot ESR \cdot s + 1)}{C_f \cdot (ESR - R_{pv}) \cdot s + 1} \quad (79)$$

En la siguiente ilustración se muestran los Bodes de **(77)** en rojo y **(79)** en azul, para observar en qué medida afecta el lazo cerrado de corriente al lazo de tensión:

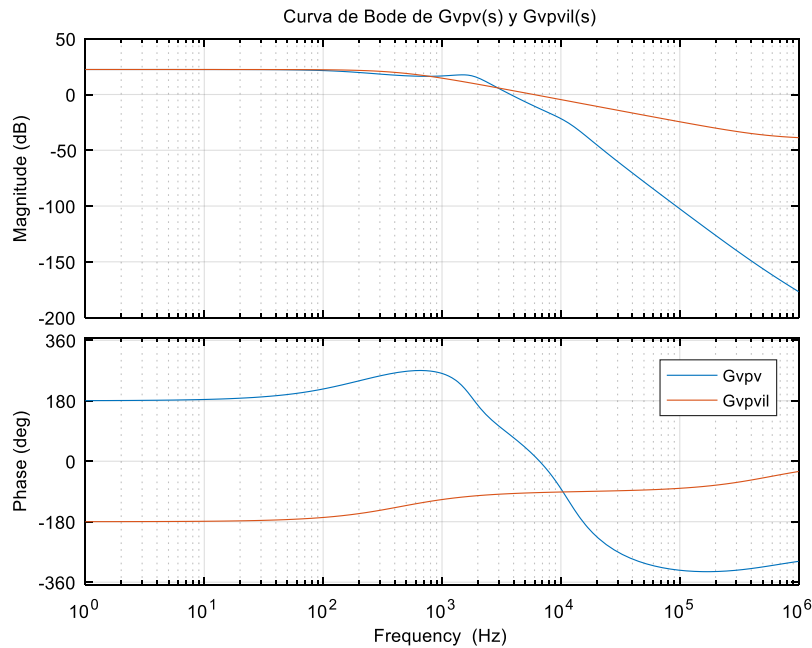


Ilustración 53: Comparación de los Bodes de (77) y (79).

Se pueden apreciar diferencia a partir de los 100 Hz, siendo estas notables a partir de los 1000 Hz, por lo que resulta pertinente no despreciar sus efectos ni simplificarlos.

En la **Ilustración 52** se observa cómo se emplea de nuevo el FLL para la obtención del regulador de tensión. Esto se puede explicar a partir de la **Ilustración 33**, en la que se mostraba el rizado de baja tensión que se producía en la DC-link y, en base al cual, se dimensionó la capacidad C_{dc} en el apartado 4.5.

Esta perturbación puede resultar dañina para el string FV, además de que puede generar inestabilidad. Por ello, se implementa el regulador $G_v(s)$, compuesto por un $PI(s)$ y una ganancia resonante basada en SOGI (como los $R(s)$ del lazo de corriente que se utilizaron en el inversor) sintonizada, gracias al FLL, al doble de la frecuencia de la red, ya que esta es la frecuencia del ruido de BT, como se explicaba en [21].

A partir de (77), definimos la ganancia del lazo abierto de tensión como:

$$T_v(s) = G_v(s) \cdot G_{vpp}(s) \quad (80)$$

Tras ajustar $G_v(s)$, se obtiene el siguiente resultado:

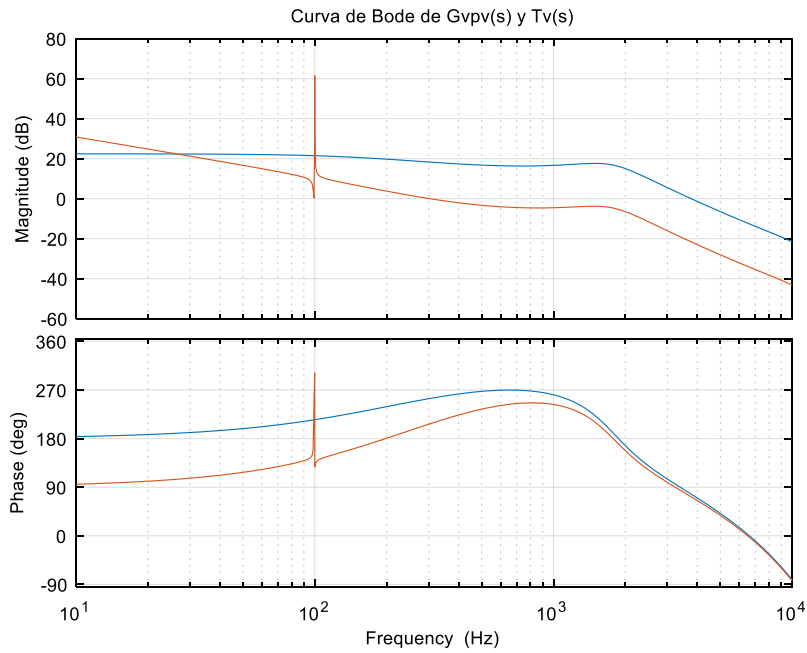


Ilustración 54: Bodes de (77) y (80).

Al igual que con el lazo de corriente, se ha tenido que llegar a una solución de compromiso entre el margen de fase, el margen de ganancia y la frecuencia de corte de $T_v(s)$. De esta forma, se establece $MF = 27^\circ$, $MG = 5 \text{ dB}$ y $f_{cv} = 302 \text{ Hz}$. Otras soluciones resultaban de dinámicas muy elevadas o márgenes más escasos.

En las siguientes ecuaciones, se muestra la estructura de $G_v(s)$ y los valores de los parámetros que lo configuran:

$$PI_v(s) = 0,083 \cdot \left(1 + \frac{2000}{s}\right) \quad (81)$$

$$Res_v(s) = 100 \cdot \frac{(0.00005 \cdot \omega'_2) \cdot s}{s^2 + (0.00005 \cdot \omega'_2) \cdot s + (\omega'_2)^2} \quad \text{siendo } \omega'_2 = 2 \cdot \omega' \quad (82)$$

$$G_v(s) = PI_v(s) + Res_v(s) \quad (83)$$

Al igual que con las ganancias resonantes del lazo de corriente del inversor, $Res_v(s)$ posee un ancho de banda de 0.03 rad/s . ω'_2 se obtiene a partir de la frecuencia fundamental de la red ω' calculada por el FLL.

Por último, resulta interesante observar directamente la respuesta en frecuencia de las perturbaciones de BT sobre la tensión del string FV. Esto se consigue con la FdT denominada audiosusceptibilidad, que se define como:

$$A(s) = \left. \frac{\hat{v}_{pv}}{\hat{v}_{dc}}(s) \right|_{\hat{a}(s)=0} \quad (84)$$

Se puede obtener a partir de la **Ilustración 45**, sustituyendo la fuente de tensión $V_{dc} \cdot \hat{d}$ por $\hat{v}_{dc} \cdot D$. De esta forma, se consigue $A(s)$ a partir de los cálculos dispuestos en el segundo apartado del **Anexo I**.

$$A(s) = - \frac{D \cdot R_{pv} \cdot (C_f \cdot ESR \cdot s + 1)}{C_f \cdot L_f \cdot (ESR - R_{pv}) \cdot s^2 + (L_f - C_f \cdot ESR \cdot R_{pv}) \cdot s - R_{pv}} \quad (85)$$

En la siguiente ilustración se muestra **(85)** para ciclos de trabajo obtenidos a partir de V_{pv} nominal y los valores distintos valores de V_{dc} .

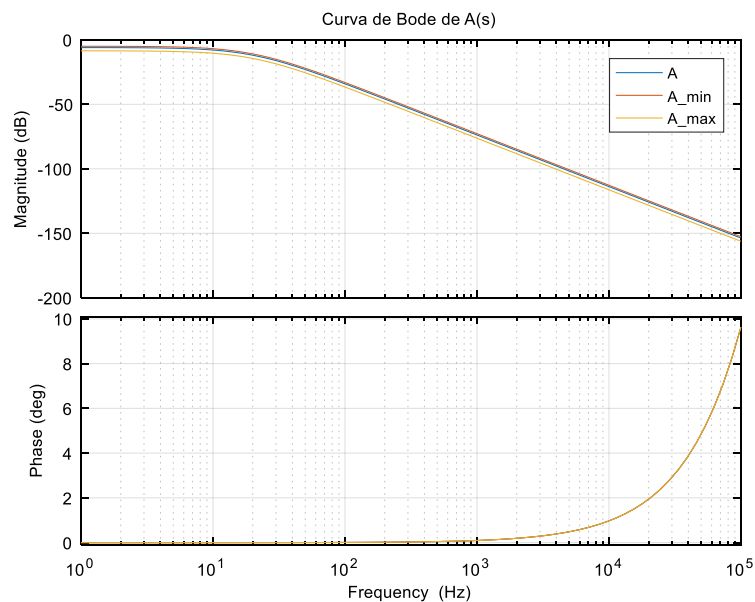


Ilustración 55: Bode de (85).

Se puede observar como el rechazo a las perturbaciones de tensión de la DC-link es bastante elevado, siendo su respuesta peor a bajas frecuencias.

La audiosusceptibilidad en lazo cerrado se define como:

$$A_{LC}(s) = \frac{A(s)}{1 + T_v(s)} \quad (86)$$

En la siguiente imagen, se muestra la respuesta en frecuencia de la audiosusceptibilidad en lazo cerrado con $Res_v(s)$ en rojo y sin incluir $Res_v(s)$ en azul, siendo evidente el rechazo de perturbaciones al doble de la frecuencia de la red.

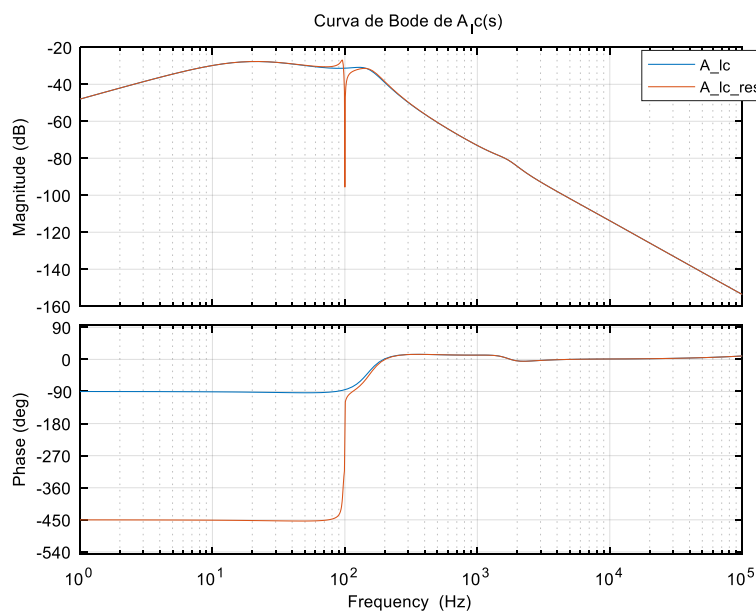


Ilustración 56: Bodes de (86) con y sin $Res_v(s)$.

5.3.3. Algoritmo de búsqueda del MPPT.

Finalmente, antes de validar el diseño de FV en PSIM, se muestra el algoritmo que fija la tensión de referencia del lazo de control V_{pv_ref} .

En PV existen unos algoritmos cuya función consiste en buscar el punto de mayor rendimiento de los paneles. Estos se denominan algoritmos de búsqueda del punto de máxima potencia o MPPT por sus siglas en inglés.

En el presente proyecto, el algoritmo MPPT fijada se denomina PyO (Perturbar y Observar) [34].

Como su nombre indica, el algoritmo cambia constantemente el punto de trabajo del string FV mediante variaciones en la tensión de referencia de los paneles, a la que se le

suman escalones de tensión en cada iteración. Tras variar la tensión, se comprueba si la potencia que genera el string ha aumentado o disminuido respecto a su valor anterior.

En caso de aumentar, el escalón de tensión que se añade a la tensión de referencia no se modifica.

Si, por el contrario, la potencia disminuye, entonces el escalón de tensión que se suma a la referencia cambia de signo.

Esto se ve claramente en la siguiente ilustración:

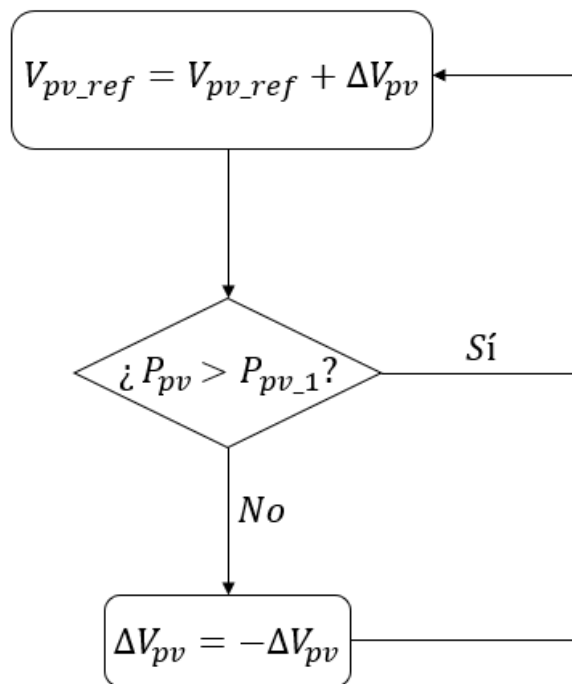


Ilustración 57: Algoritmo MPPT PyO.

5.4. Validación del diseño PV.

Al implementar el diseño del control en PSIM, nos encontramos con el siguiente resultado:

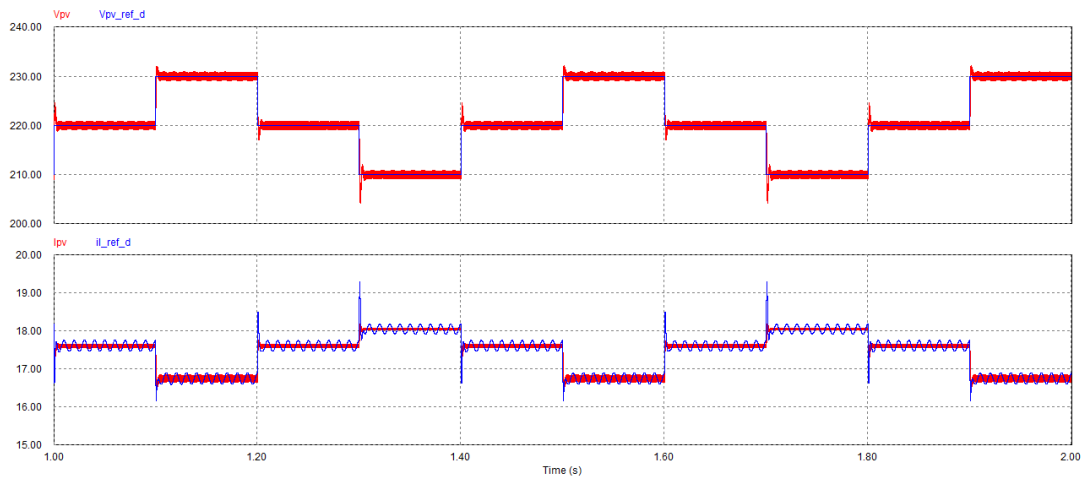


Ilustración 58: Seguimiento de las consignas de tensión y corriente en PSIM.

En la ilustración anterior, podemos observar como el seguimiento de las consignas (en azul) de corriente (gráfico inferior) y la de tensión (grafico superior) es adecuada por parte de la tensión del string fotovoltaico y la corriente que genera (en rojo), sin que se aprecie a penas ruido de baja frecuencia.

En caso de no incluir $Res_v(s)$, se obtiene la siguiente respuesta del convertidor:

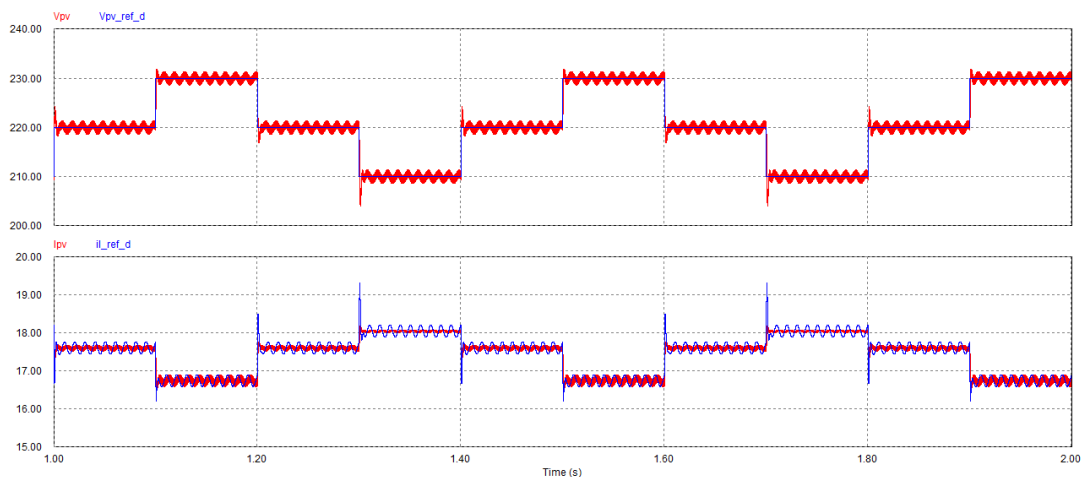


Ilustración 59: Seguimiento de las consignas de tensión y corriente sin $Res_v(s)$ en PSIM.

En la **Ilustración 58**, debido a la elevada frecuencia de corte del lazo de tensión, se produce cierta sobremodulación ante los escalones de tensión, que se traduce también en picos de corriente de referencia, aunque estos no se reflejan en la corriente generada por el string FV.

Existen dos formas de reducir estos picos: reduciendo la dinámica del lazo de tensión, lo cual generaría una reducción del rechazo de las perturbaciones de BF o hacer que los

escalones de tensión ΔV_{pv} sean más pequeños. Esta segunda opción resulta más interesante, ya que no compromete la dinámica de los lazos de control.

Reduciendo los ΔV_{pv} a un tercio de su valor original, se consigue la siguiente respuesta:

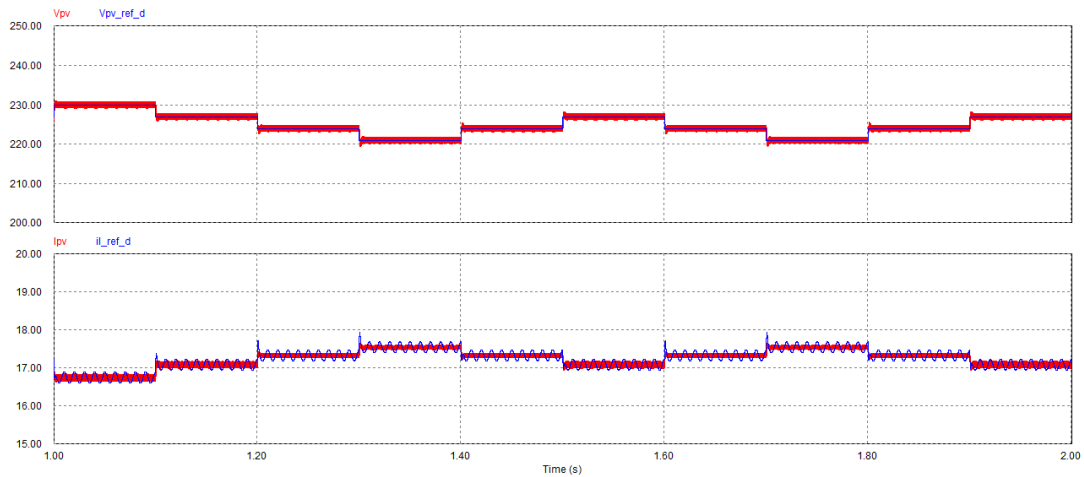


Ilustración 60: Seguimiento de las consignas de tensión y corriente reduciendo ΔV_{pv} un tercio en PSIM.

Lo se incluyen las respuestas del circuito ante diferentes valores de tensión del bus V_{dc} porque los resultados son similares.

El rizado de alta frecuencia que se aprecia en las anteriores imágenes depende exclusivamente del diseño del filtro LC, aunque se puede apreciar que es bastante reducido, de unos 0.2 A en el caso de la corriente y de apenas 1 V en la tensión del string en condiciones de funcionamiento nominal.

Sin embargo, la siguiente ilustración muestra como el rizado de corriente que circula por la bobina es bastante elevado:

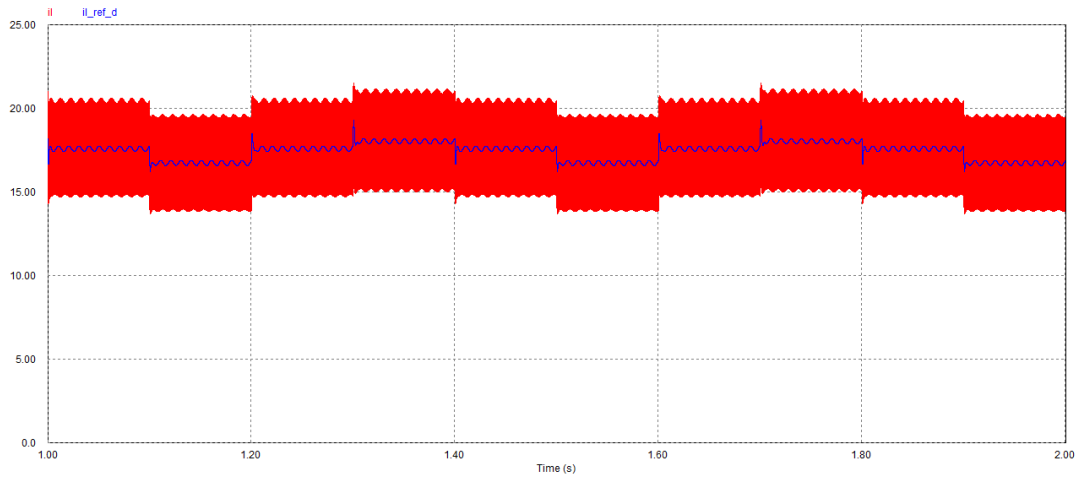


Ilustración 61: corriente que circula por L_f y su referencia simulada en PSIM.

El rizado pico a pico de la corriente que circula por la bobina del filtro L_f en la **Ilustración 61** es de un 35% de su valor. Este valor resulta elevado pero asumible.

Debido al elevado rizado de corriente que ha de absorber la capacidad C_f para el filtrado de I_L , será necesario seleccionar un condensador cuya resistencia parásita ESR sea lo más reducida posible.

En cualquier caso, podemos observar como la respuesta del convertidor DC/DC bidireccional conectado a un string FV con paneles de gran potencia es bastante adecuada.

6. Diseño del convertidor DC/DC bidireccional para baterías.

Antes de mostrar las peculiaridades del funcionamiento del convertidor DC/DC para baterías, indicaremos el tipo de baterías que se ha decidido emplear para el diseño.

6.1. Selección de batería.

Las primeras baterías electroquímicas que se emplearon para el almacenamiento de energía en el ámbito residencial fueron las de Plomo-ácido, las cuales destacaban por su confiabilidad y bajo coste. Sin embargo, parámetros como su vida útil, eficiencia y densidad energética resultan reducidos comparados con baterías cuya tecnología se ha ido desarrollando más recientemente.

En la actualidad, a pesar de que su coste sigue siendo superior al de otras tecnologías, destaca el uso de baterías de ion-litio, cuya densidad energética resulta de las más elevadas del mercado.

De entre las baterías de ion-litio, las de cátodo LiFePO_4 son las más adecuadas para almacenar energía eléctrica generada por los strings FV en instalaciones residenciales, debido a su alta seguridad, larga vida útil y resistencia a la degradación por ciclos de carga y descarga, además de que son capaces de manejar altas corrientes, son más resistentes a las fluctuaciones de temperatura y poseen una menor tasa de autodescarga [36].

Sin embargo, el convertidor DC/DC bidireccional pretende servir para el empleo de cualquier tipo de batería de ion-litio; por lo que, al no disponer de ninguna batería LiFePO_4 para realizar mediciones, se empleará una batería de polímero de litio (LiPo) utilizada en la asignatura de Vehículos Eléctricos del MUII [35] para conseguir los valores del circuito equivalente (ECM), los cuales nos permitirá modelizar el comportamiento de las baterías de ion-litio para el correcto diseño de los lazos de control del convertidor.



Ilustración 62: Batería empleada para obtener los valores de los elementos del ECM [35].

La batería LiPo de la ilustración anterior está constituida por 3 celdas conectadas en serie con las siguientes características:

Tabla 11: Características LiPo por celda [35].

| Parámetros por celda | Valores |
|--|---------|
| <i>OCV</i> (<i>SOC</i> =rango amplio%) (<i>V</i>) | 3,7 |
| Capacidad (<i>Ah</i>) | 1 |

En la **Tabla 11**, la tensión de circuito abierto (*OCV*) de las celdas de la LiPo nominal se establece para un estado de carga (*SOC*) amplio, es decir, durante la carga y descarga de batería, el valor de *OCV* de la misma permanece en entorno a los 3,7 *V* por celda.

El parámetro *C* (tasa de carga/descarga) se define como:

$$C = \frac{I_{bat}(A)}{Capacidad(Ah)} \quad (87)$$

Para la LiPo modelizada, esta tasa puede alcanzar el valor $C = 10$, por lo que cada celda puede entregar hasta 10 *A*.

Cabe mencionar que, en los parámetros anteriores, no se ha tenido en cuenta el factor de la degradación de la batería debido a los ciclos de carga y descarga que acarrea y la propia obsolescencia de la LiPo.

6.2. Modelización del ECM.

Como ya se ha adelantado, el circuito equivalente de las baterías nos permite asemejar el comportamiento electroquímico de la misma a través de un circuito eléctrico.

Para modelar de forma adecuada la carga y descarga de las baterías de ion-litio, se suele emplear el conocido como modelo DP (Dual Polarization Model) [37] que se muestra en la siguiente imagen:

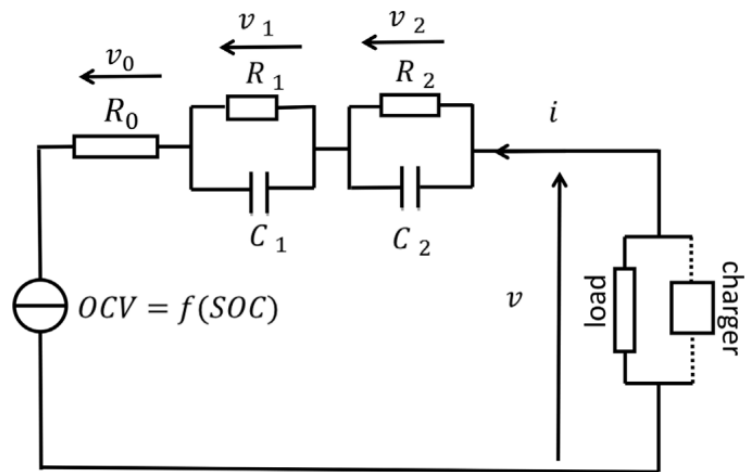


Ilustración 63: Dual Polarization Model [38].

Este modelo está compuesto por la tensión de circuito abierto (OCV), la resistencia interna de la batería (R_0), el circuito RC que modela el transitorio rápido ($\tau_1 = R_1 \cdot C_1$) y el que modela el transitorio de más larga duración ($\tau_2 = R_2 \cdot C_2$), siendo τ la constante de tiempo de ambos transitorios. De lo anterior, se sobreentiende que $\tau_1 > \tau_2$ [37, 38].

Para conocer el comportamiento dinámico de una batería, se realizan mediciones de su respuesta ante escalones de corriente.

Dado que esta respuesta dinámica varía en función del estado de carga (SOC), se presume que también varían los valores del ECM en función del SOC . Sin embargo, para una primera aproximación, tomaremos los valores de los componentes de este circuito constantes a partir de la medición realizada de esta batería ante un escalón de descarga de 10 A, el cual se muestra en la siguiente ilustración:

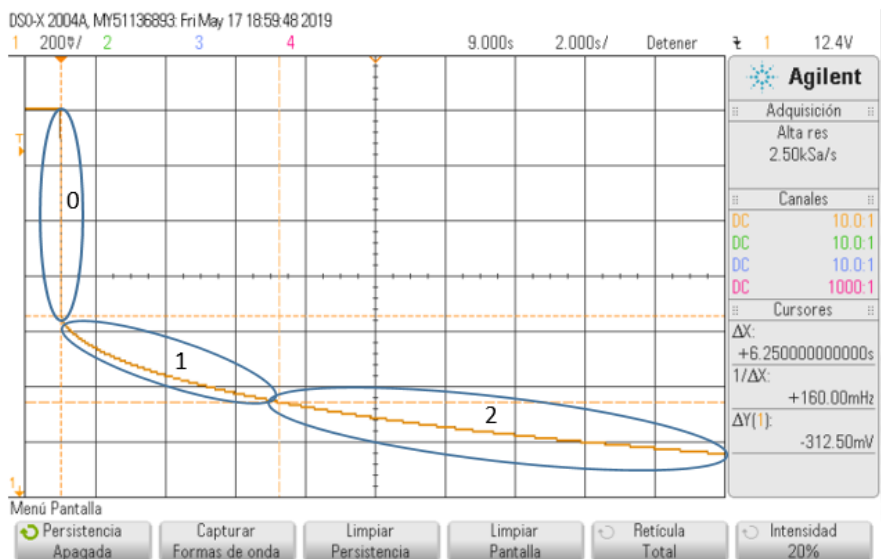


Ilustración 64. Escalón de descarga a 10 A de la batería empleada con las distintas zonas dinámicas marcadas [35].

La malla de la gráfica cuantifica 200 mV/div verticalmente y 2 s/div horizontalmente. Una vez identificados los transitorios, el primer cálculo a realizar consiste en, conociendo la corriente empleada, obtener la caída de tensión de cada una de las zonas dinámicas para averiguar el valor de las resistencias del ECM a partir de la ley de Ohm. A modo de ejemplo, se muestra como obtener el valor de la resistencia interna de la LiPo (Zona 0):

$$R_{0,3S} = \frac{\Delta U_{0,3S}}{I} = \frac{3,75 \text{ div} * 200 \frac{\text{mV}}{\text{div}}}{10 \text{ A}} = 75 \text{ m}\Omega \quad (88)$$

Siguiendo el mismo procedimiento para el transitorio rápido y lento (Zonas 1 y 2 respectivamente), se obtiene que $R_{1,3S} = 30 \text{ m}\Omega$ y $R_{2,3S} = 15 \text{ m}\Omega$.

En la nomenclatura, se hace referencia a que la LiPo está configurada con 3 celdas en serie (3S). Dividiendo los valores las resistencias obtenidas entre 3, se obtiene el valor de las resistencias por celda, siendo $R_0 = 25 \text{ m}\Omega$, $R_1 = 10 \text{ m}\Omega$ y $R_2 = 5 \text{ m}\Omega$.

Para averiguar el valor de las capacidades que marcan la dinámica del ECM, se recupera la ecuación que define la constante de tiempo de ambos transitorios, mencionada al presentar el modelo DP:

$$\tau = C \cdot R \quad (89)$$

Dado que τ también se define como el tiempo que transcurre hasta que un transitorio alcanza el 63% de su valor en régimen permanente, se obtiene que $\tau_1 = 3 \text{ s}$ y $\tau_2 = 8 \text{ s}$. De esta forma:

$$\tau_1 = R_{1,3S} \cdot C_{1,3S}; \quad C_{1,3S} = \frac{3 \text{ s}}{30 \text{ m}\Omega} = 100 \text{ F} \quad (90)$$

De igual modo, $C_{2,3S} = 533,33 \text{ F}$.

Las capacidades en serie reducen el valor de las capacitancias. En caso de conectar capacidades con el mismo valor en serie, ocurre que:

$$C_{nS} = \frac{C}{n} \quad (91)$$

Siendo n el número de capacidades C en serie.

Por ello, los valores de las capacidades por celda de la LiPo serán $C_1 = 300 F$ y $C_2 = 1600 F$ (3 veces mayores).

Aunando los cálculos realizados, se muestra la siguiente tabla con los valores de los componentes pasivos del ECM para una celda de la LiPo empleada:

Tabla 12: Elementos pasivos del ECM de una celda de la LiPo.

| Elementos pasivos del ECM | Valores por celda |
|---------------------------|-------------------|
| $R_0 (m\Omega)$ | 25 |
| $R_1 (m\Omega)$ | 10 |
| $R_2 (m\Omega)$ | 5 |
| $C_1 (F)$ | 300 |
| $C_2 (F)$ | 1600 |

A partir de los valores de la tabla anterior, teniendo en cuenta la **Tabla 11**, se calcularán el número de celdas en serie (n_s) y en paralelo (n_p) más adecuados para el funcionamiento óptimo del convertidor DC/DC.

6.3. Perfil de carga.

El perfil de carga tradicional empleado en baterías es el conocido como CC-CV (Corriente constante-Tensión constante). Como su nombre indica, se compone de una primera etapa en la que la batería se carga a corriente constante. En esta etapa se produce el 85% de la carga de la batería [35].

La tensión de la batería aumenta hasta un punto máximo en el que comienza la segunda etapa de carga a tensión constante. De esta forma, la corriente de carga va decreciendo hasta que se considera que la batería está cargada. Esta es la etapa de mayor degradación de las baterías de ion-litio [35].

En la siguiente ilustración se muestra un ejemplo de este perfil de carga.

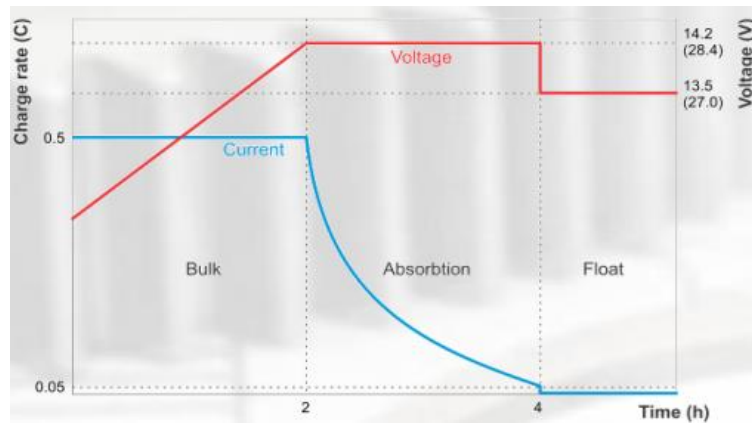


Ilustración 65: Perfil de Carga CC-CV.

El empleo de los perfiles de carga óptimo depende en gran medida de la química de la batería empleada. De forma general, se pretende alcanzar una alta y homogénea concentración de iones entorno al electrodo que los consume [39].

En esta dirección, el método de carga por pulsos de corriente, en donde se aplican pequeños periodos de relajación y pequeños pulsos de descarga, permite homogeneizar la concentración de iones entorno al electrodo activo de forma efectiva; lo cual, a su vez, permite mejorar la utilización de material activo y reducir los tiempos de carga [40].

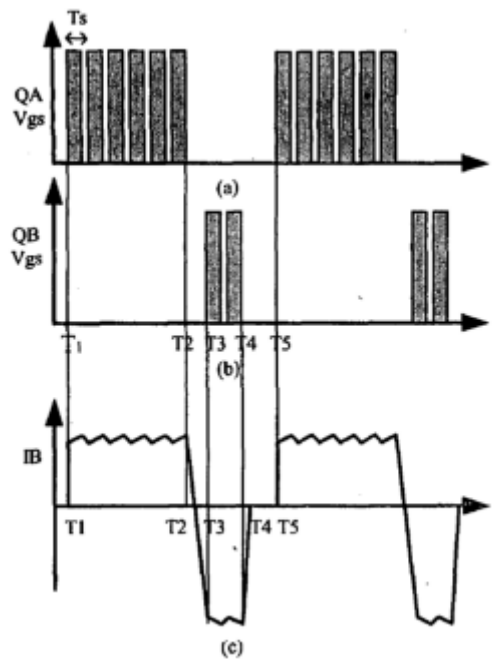


Ilustración 66: Ejemplo de perfil de carga por pulsos [39].

Es por ello que emplearemos el perfil de carga por pulsos para fijar la referencia de corriente cuando la batería se esté cargando.

6.4. Parámetros del ECM y topología del DC/DC para baterías.

Como ya se mostró en la **Tabla 11**, el valor nominal de *OCV* durante la carga y descarga de las baterías LiPo es de unos 3,7 V por celda. Sin embargo, como es de esperar, la curva que modela *OCV* en función del *SOC* no posee un valor constante.

En la siguiente ilustración, se muestra un ejemplo de la forma característica de esta curva para distintos valores de tasa de descarga *C*.

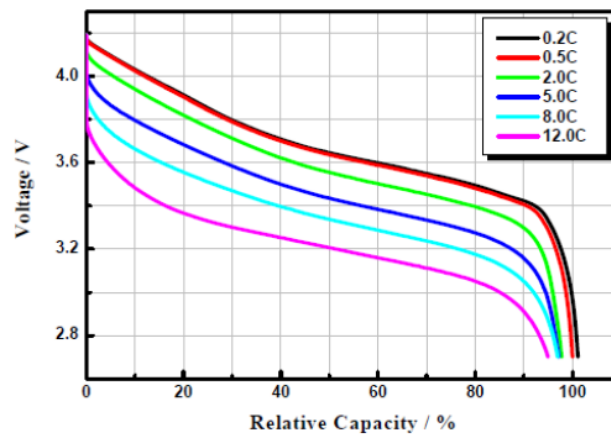


Ilustración 67: Curvas de *OCV* en función del *SOC* para una LiPo [41].

Es por ello que, en la siguiente tabla, se muestran los valores de *OCV* establecidos en función del estado de carga de la celda LiPo empleada:

Tabla 13: Valores de diseño para *OCV*.

| | <i>OCV</i> (V) | <i>SOC</i> (%) |
|---------------------|----------------|----------------|
| $OCV_{m\acute{a}x}$ | 4,2 | ~100 |
| OCV_{nom} | 3,7 | ~90:10 |
| $OCV_{m\acute{i}n}$ | 2,5 | ~0 |

De esta forma, cuando se alcancen los 4,2 V/celda, se considerará que la batería está cargada. Por el contrario, si $OCV = OCV_{m\acute{i}n} = 2,5$ V/celda, la batería estará descargada. El valor que se establece entonces para calcular el número de celda en serie que se dispondrá para el diseño será de 3,7 V/celda.

Al igual que en FV, se procura que el ciclo de trabajo de los IGBT del convertidor sea del 50% ($D \approx 0,5$) en la mayor parte del funcionamiento. Para poder establecer este valor de forma adecuada, es necesario realizar un análisis de la topología del circuito.

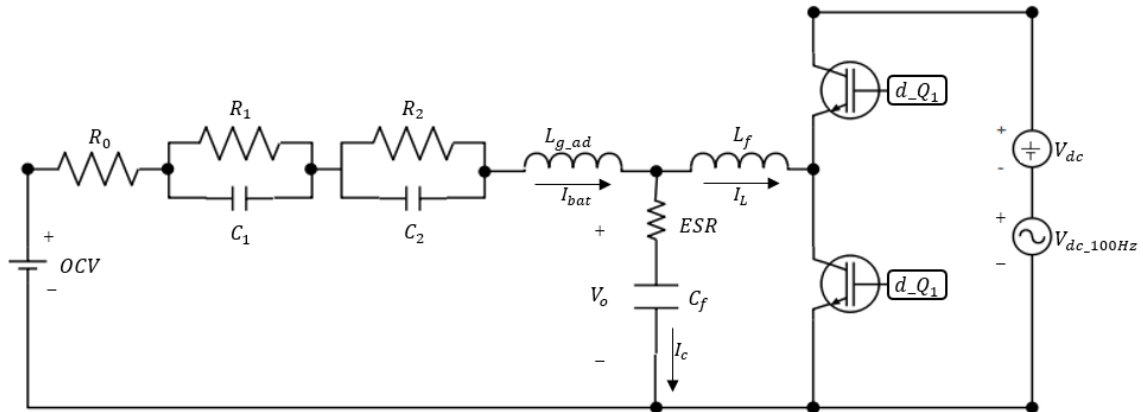


Ilustración 68: Topología del convertidor DC/DC conectado a la DC-link y la batería.

En la ilustración anterior se muestra el convertido DC/DC junto al ECM de la batería. Este esquema es el que se implementará en PSIM para modelizar el comportamiento del convertidor conectado a las celdas de LiPo.

No se baipasea la inductancia adicional de la red, ya que permite que el filtrado de las señales de alta frecuencia aumente y, por lo tanto, la batería no se sobrecaliente tanto, mejorando la respuesta del convertidor.

Si realizamos un análisis en gran señal de la **Ilustración 68**, despreciando el valor de ESR y las resistencia en serie de las inductancias, nos queda el siguiente circuito:

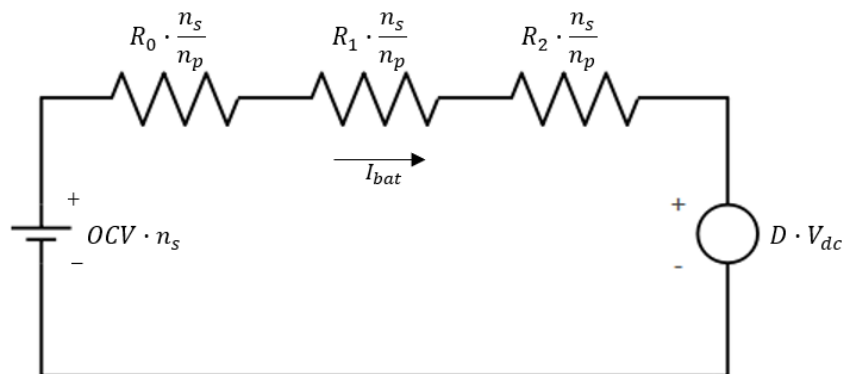


Ilustración 69: Análisis en gran señal de la **Ilustración 68**.

En la **Ilustración 69** se dispone el valor de los elementos del ECM de la batería por celda, de forma que podemos calcular el número de celdas en serie óptimo.

Como ya se indicó en la implementación FV, el convertidor DC/DC puede soportar hasta 20 A. Cada celda de la LiPo modelizada posee un tasa de descarga de hasta $C = 10$, siendo su capacidad de 1 Ah (**Tabla 11**).

De esta forma, el número mínimo de celdas de LiPo que proporcionan la máxima potencia que soporta el convertidor DC/DC se alcanza con la tasa máxima de carga/descarga, quedando que el número mínimo de strings de celdas en paralelo para conseguir esto será de $n_p = 2$. De esta forma, se establece que la corriente de carga/descarga nominal de la batería será $I_{bat} = 20$ A.

Finalmente, antes de aplicar la 2ª Ley de Kirchhoff sobre la **Ilustración 69**, se establece que el ciclo de trabajo al 50% se producirá cuando la batería se esté entregando potencia al sistema, en donde $OCV = OCV_{nom}$.

De esta forma:

$$n_s = \frac{V_{dc} \cdot D}{\frac{I_{bat}}{n_p} \cdot (R_1 + R_2 + R_3) + OCV} \quad (92)$$

Tomando los valores de las resistencias por celda de la **Tabla 12**, nos que $n_s = 55$ celdas al resolver (92).

De esta forma, los valores de los parámetros del ECM serán:

Tabla 14: Valores de los parámetros del ECM.

| Parámetros del ECM | Cálculo | Valores |
|--------------------|------------------------------------|----------|
| $OCV_{mín}$ | $2,5 V \cdot n_s$ | 137,5 V |
| OCV_{nom} | $3,7 V \cdot n_s$ | 203,5 V |
| $OCV_{máx}$ | $4,2 V \cdot n_s$ | 231 V |
| R_0 | $25 m\Omega \cdot \frac{n_s}{n_p}$ | 687,5 mΩ |
| R_1 | $10 m\Omega \cdot \frac{n_s}{n_p}$ | 275 mΩ |
| R_2 | $5 m\Omega \cdot \frac{n_s}{n_p}$ | 137,5 mΩ |
| C_1 | $300 F \cdot \frac{n_p}{n_s}$ | 10,91 F |
| C_2 | $1600 F \cdot \frac{n_p}{n_s}$ | 58,182 F |

Para facilitar la comprensión, se realiza un abuso de nomenclatura, renombrando todos los parámetros del circuito ECM que se empleará para la simulación con el nombre que se les dio para su valor unitario.

Una vez obtenido el circuito equivalente, ya se pueden diseñar los lazos de control de la batería.

6.5. Lazos de control del convertidor DC/DC para baterías.

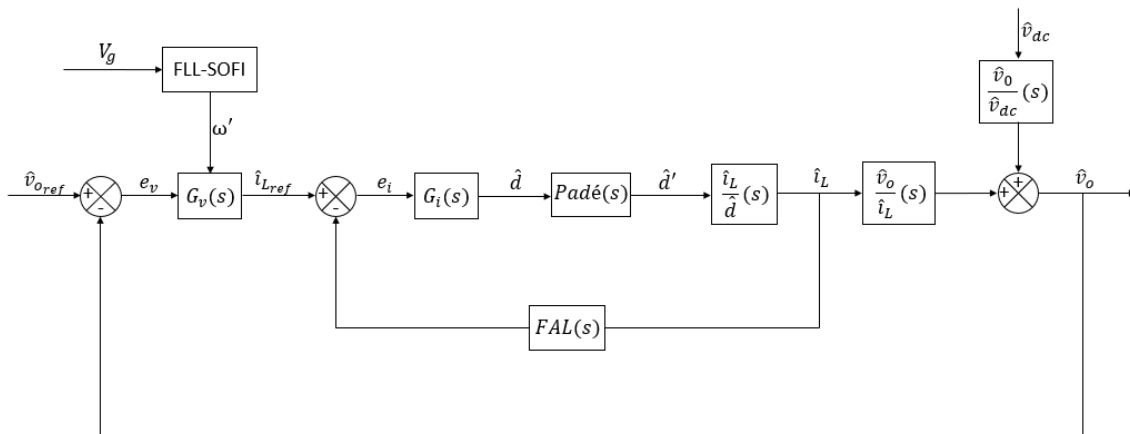


Ilustración 70: Lazos de control del convertidor DC/DC para baterías.

Como podemos observar, los lazos de control poseen la misma estructura que los empleados para FV.

Sin embargo, a diferencia de estos, solo se emplea el lazo externo de tensión cuando la batería se aproxima a los valores de $OCV_{m\acute{a}x}$ y $OCV_{m\acute{i}n}$, en los que se establecerá un valor de tensión de referencia máximo para impedir que la batería se siga cargando por encima de $OCV_{m\acute{a}x}$ y una referencia de tensión mínima para impedir que la batería se descargue más allá de $OCV_{m\acute{i}n}$.

Para el resto de ocasiones, solo se empleará el lazo de corriente, fijándose una corriente constante de descarga i_{Lref} de 20 A y para la carga se implementará el perfil de carga por pulsos presentado en la **Ilustración 66**.

Los pasos a seguir para el diseño de los lazos de baterías son los mismos que en FV, por lo que nos centraremos en el análisis de los resultados que se obtengan y no en la forma de obtenerlos.

6.5.1. Lazo de corriente para baterías.

A partir de las **Ilustraciones 44** y **68** se obtiene el siguiente circuito en pequeña señal despreciando las variaciones de la tensión del bus de continua:

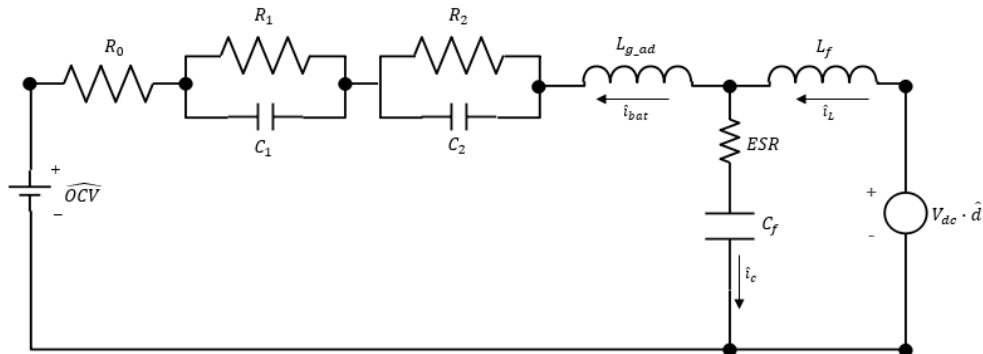


Ilustración 71: Circuito en pequeña señal del convertido DC/DC para baterías.

Para poder obtener la FdT que modeliza las variaciones de la corriente que circula por L_f respecto al ciclo de trabajo, se desprecian también las variaciones de OCV , de forma que:

$$G_{i_{Ld}}(s) = \frac{\hat{i}_L}{\hat{d}}(s) \Big|_{\hat{v}_{dc}(s)=0, \overline{OCV}(s)=0} \quad (93)$$

En el tercer apartado del **Anexo I** se presenta el sistema de ecuaciones para la obtención de **(93)**.

Aunque no se ha comentados, las frecuencias de adquisición del microcontrolador y aplicación del ciclo de trabajo sobre los transistores son las mismas que en FV, por lo que $Pade(s)$ será el mismo también.

Los filtro anti-aliasing implementados para la adquisición de la corriente y tensión del control del convertidor DC/DC, al igual que en la aplicación del inversor monofásico, es un filtro Butterworth de cuarto orden pero con una frecuencia de corte de 10 kHz . Posee una atenuación a 20 kHz (la mitad de la frecuencia de adquisición del microcontrolador) mayor de 20 dB .

No se implementa un filtro con mayor capacidad de atenuación debido a la pérdida de fase que el $FAL(s)$ introduce en el lazo de corriente.

A la corriente I_L también le afectan las variaciones del bus de tensión en caso de estar operando sin fijar una referencia de tensión. Es por ello que, en la siguiente ilustración del lazo de corriente, se muestra como se emplea el FLL para rechazar las perturbaciones de la DC-link al doble de la frecuencia de la red.

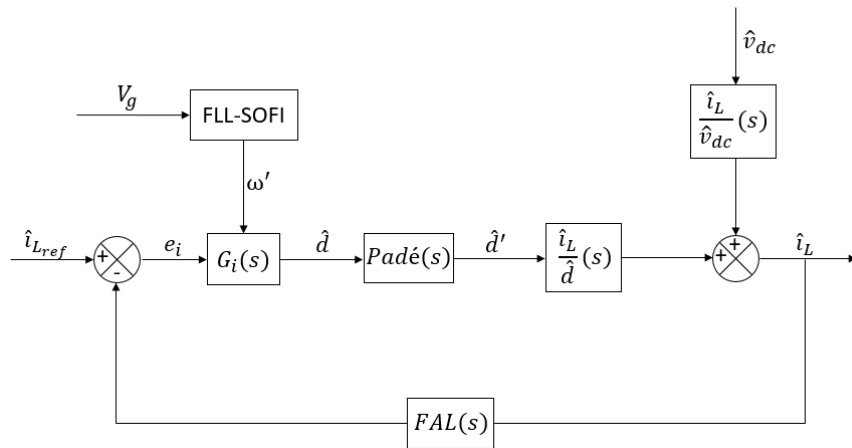


Ilustración 72: Lazo de control operando en plena carga y descarga.

La configuración de la **Ilustración 72** implementa una ganancia resonante al doble de la frecuencia de la red en el regulador. Esta configuración con resonante de corriente $Res_i(s)$ solo se utiliza cuando se produce la carga por pulsos y la batería inyecta potencia al sistema, ya que, en el resto de casos (batería cargada/batería descargada), se emplearán los resonantes de tensión $Res_v(s)$ para eliminar el ruido de baja frecuencia del bus de continua.

En cualquier caso, a continuación se muestra la respuesta en frecuencia del lazo abierto de corriente del regulador $T_i(s)$ con y sin incluir $Res_i(s)$ en $G_i(s)$:

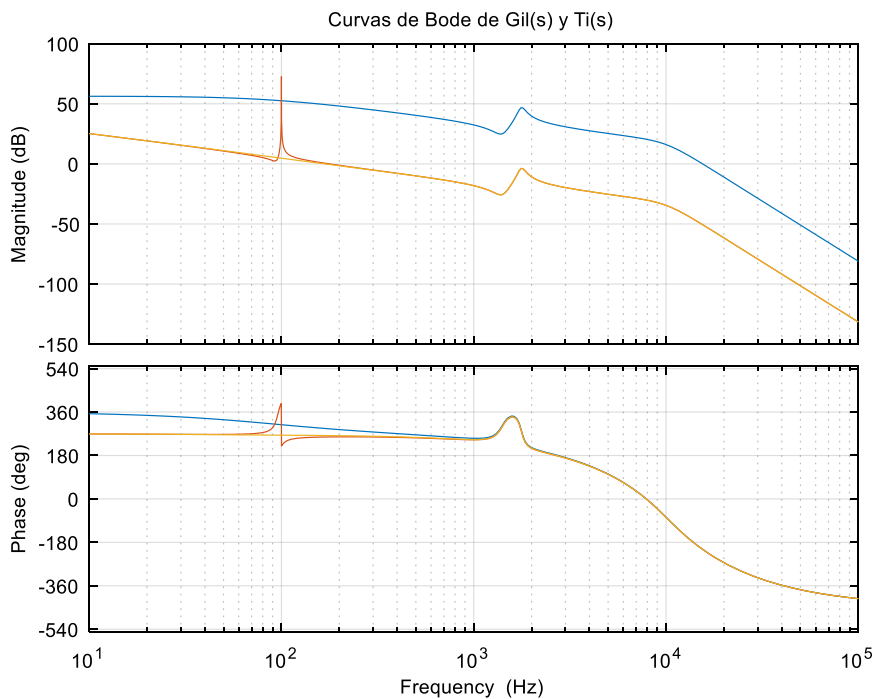


Ilustración 73: Bodes de $T_i(s)$ para baterías con y sin $Res_i(s)$.

Como podemos observar, a pesar de $Res_i(s)$, los márgenes de fase y de ganancia son prácticamente iguales, siendo $MG = 18\text{ dB}$ y $MF = 80^\circ$. Sin embargo, estos buenos parámetros se ven afectados por la resonancia que introduce L_{g_ad} en el sistema, aunque su implementación acaba resultando más beneficiosa gracias a que elimina buena parte de los armónicos de conmutación. Se comprueba también que las variaciones de la tensión del bus V_{dc} sobre el lazo de corriente son reducidas.

A continuación, se muestran los valores del regulador de corriente implementado, en donde la $Res_i(s)$ posee los mismos valores que el $Res_v(s)$ implementado en FV, salvo que su ganancia proporcional es 10 veces más pequeña para que el seguimiento de la consigna de corriente sea adecuado.

$$PI_i(s) = 0,00296 \cdot \left(1 + \frac{594}{s}\right) \quad (94)$$

$$Res_i(s) = 10 \cdot \frac{(0.00005 \cdot \omega'_2) \cdot s}{s^2 + (0.00005 \cdot \omega'_2) \cdot s + (\omega'_2)^2} \quad \text{siendo } \omega'_2 = 2 \cdot \omega' \quad (95)$$

$$G_i(s) = PI_i(s) + Res_i(s) \quad (96)$$

Finalmente, obtenemos la ganancia del lazo cerrado de corriente para implementarlo en el control de tensión, el cual no incluye $Res_i(s)$ como ya se ha dejado ver:

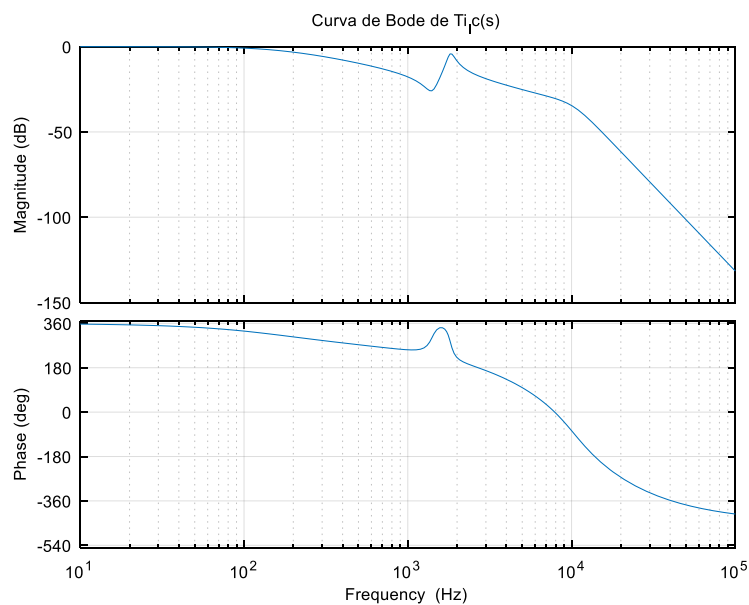


Ilustración 74: Ganancia en lazo cerrado de corriente para implementar en el lazo de tensión de baterías.

De la ilustración anterior, se deduce que, a frecuencias menores de 100 Hz, los efectos del lazo cerrado de corriente son reducidos.

6.5.2. Lazo de tensión para baterías.

En la **Ilustración 70**, V_o es la tensión a la salida del filtro LC que conecta con la inductancia L_{g_ad} antes conectarse a la entrada de la batería. En el tercer apartado del **Anexo I** se plantean las ecuaciones a partir de la **Ilustración 71** para obtener la FdT que modeliza las variaciones de V_o respecto a I_L .

De esta forma, se puede obtener una referencia de corrientes I_{Lref} a partir de la referencia de tensión impuesta.

El valor máximo y mínimo de tensión de la batería se calcula a partir del análisis en gran señal del circuito del circuito, siendo:

$$V_{o_m\acute{a}x} = I_{bat} * (R_1 + R_2 + R_3) + OCV_{m\acute{a}x} \quad (97)$$

$$V_{o_m\acute{i}n} = I_{bat} * (R_1 + R_2 + R_3) + OCV_{m\acute{i}n} \quad (98)$$

En ambas ecuaciones, I_{bat} es la corriente que circula por la batería, sensada en sentido de entrada. El resto de parámetros se obtuvieron en la **Tabla 14**.

De esta forma, si se alcanzan valores cercanos a $V_{o_m\acute{a}x}$ o $V_{o_m\acute{i}n}$, se fijarían como tensiones de referencia $OCV_{m\acute{a}x}$ y $OCV_{m\acute{i}n}$ estimadas respectivamente. De esta forma, la corriente que circule por la batería será cercana a 0 y esta dejará de cargarse/descargar.

Como ya se comentó anteriormente, el regulador de tensión $G_v(s)$ incluye una ganancia resonante $Res_v(s)$ equivalente a $Res_i(s)$ de $G_i(s)$. De esta forma, se anula $Res_i(s)$ para que sea el resonante de tensión quien anule el efecto del ruido de BF de la DC-link.

A continuación, se representa la respuesta en frecuencia de la ganancia en lazo abierto de tensión $T_v(s)$, mostrando también las ecuaciones del regulador implementado:

$$G_v(s) = PI_v(s) + Res_v(s) \quad (99)$$

$$PI_i(s) = 0,03 \cdot \left(1 + \frac{6000}{s}\right) \quad (100)$$

$$Res_i(s) = 100 \cdot \frac{(0.00005 \cdot \omega'_2) \cdot s}{s^2 + (0.00005 \cdot \omega'_2) \cdot s + (\omega'_2)^2} \quad \text{siendo } \omega'_2 = 2 \cdot \omega' \quad (101)$$

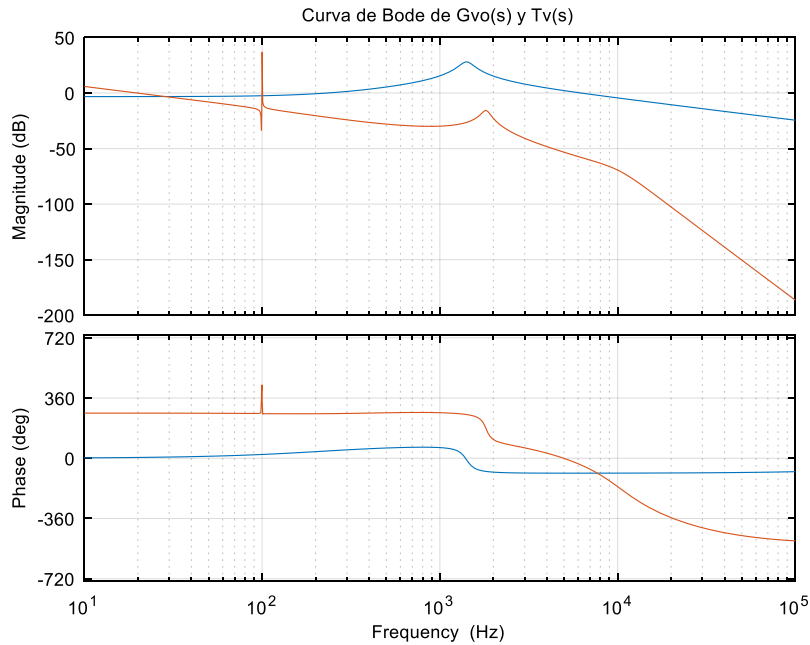


Ilustración 75: Bode de $T_v(s)$ respecto a $G_{vo}(s)$ regulada por $G_v(s)$.

Para que la dinámica del lazo de corriente no afecte al lazo de tensión, se toma como frecuencia de corte $f_{cv} = 19,6 \text{ Hz}$ frente a los $f_{ci} = 178 \text{ Hz}$ de la ganancia en lazo de corriente.

MF será de 90° mientras que MG posee un valor de 16 dB , valores más que suficientes para la estabilidad del lazo.

En el siguiente subapartado, se muestran los resultados de la implementación del diseño en PSIM.

6.6 Validación del diseño para baterías.

Cuando $OCV = OCV_{nom}$ y nos hallamos inyectando la máxima corriente que entregan las baterías a la DC-link, actuará solo el lazo de corriente con $I_{Lref} = 20 \text{ A}$, consiguiéndose el siguiente resultado:

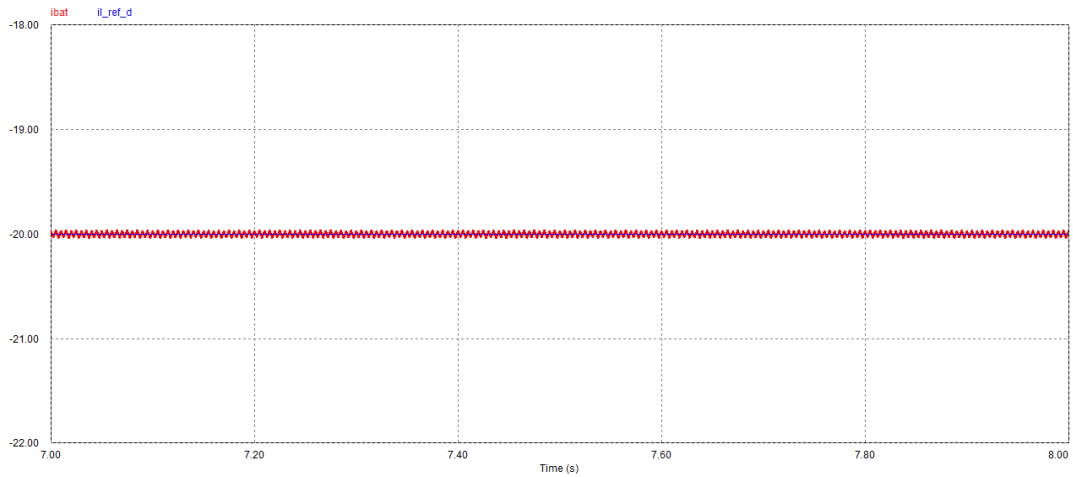


Ilustración 76: Corriente que entrega la batería al convertidor DI C/DC.

Podemos observar como resultado de la aplicación de $Res_i(s)$ que el rizado de baja frecuencia es muy reducido, al igual que el de alta frecuencia, gracias a la acción de filtrado adicional que proporciona L_{g_ad} .

En caso de que la batería se esté cargando gracias a la potencia que entrega la DC-link, obtenemos el siguiente seguimiento de la consigna de carga por pulso:

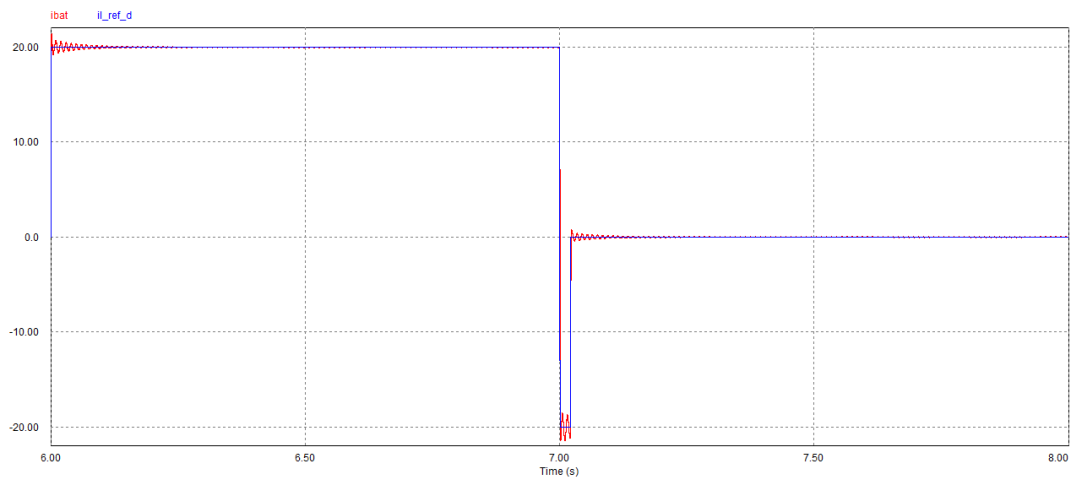


Ilustración 77: Seguimiento de la consigna de carga por pulsos.

En la ilustración anterior se implementa un perfil de carga por pulsos de 20 A con duraciones de un segundo, pequeños pulsos de descarga de 20 ms a -20 A y periodos de descanso de un segundo.

Esta forma de carga permite alargar la vida útil de las baterías de ion-litio, haciendo que la distribución de iones entorno a los electrodos de la batería sea homogénea [39].

Cuando la batería está cargada ($V_{o_m\acute{a}x}$) comienza a actuar el lazo de tensión y se fija como consigna de referencia $OCV_{m\acute{a}x}$ para que la batería deje de cargarse.

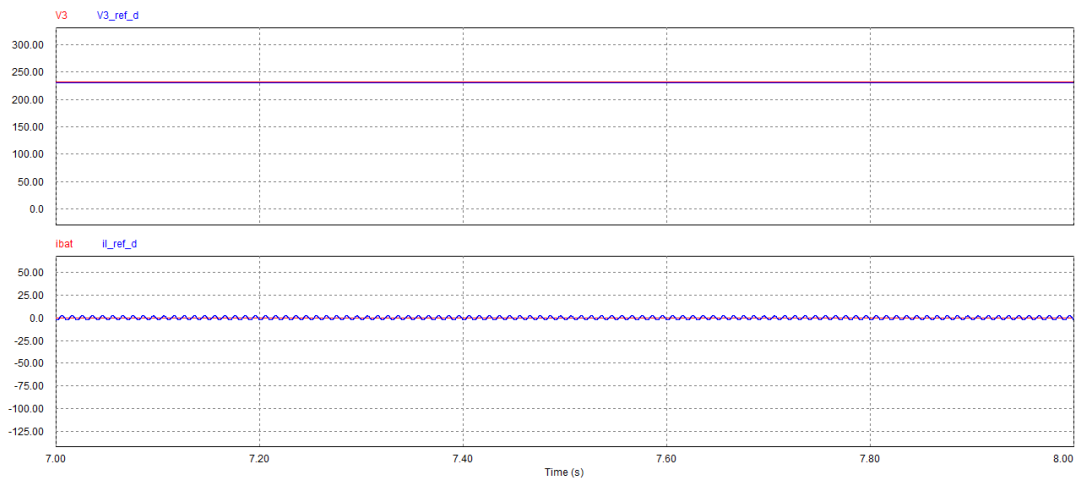


Ilustración 78: Seguimiento de las consignas de tensión y corriente (final de carga).

Podemos observar como el rizado de tensión no llega a vales 2 V pico a pico, mientras que la corriente prácticamente se anula. Ambas señales (rojo) hacen un seguimiento de consigna (azul) adecuado.

Finalmente, cuando se alcanza el valor $V_{o_m\acute{i}n}$, se fija como valor de referencia $OCV_{m\acute{i}n}$ para que la batería no entre en descarga profunda, obteniendo los siguientes resultados:

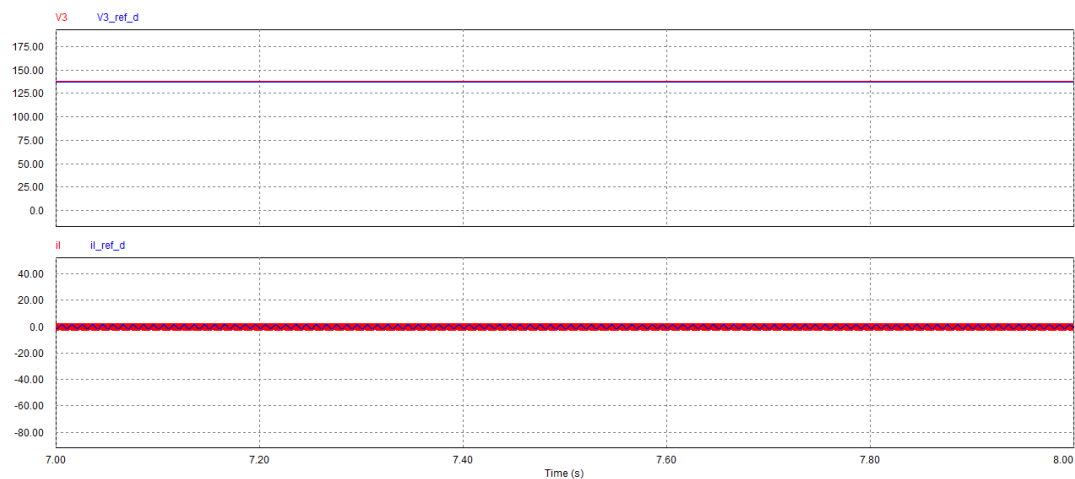


Ilustración 79: Seguimiento de las consignas de tensión y corriente (final de descarga).

De esta forma, concluimos que los lazos de control del convertidor DC/DC para baterías son estables y con buenos seguimientos de consigna.

7. Funcionamiento de los DC/DC en phase-shifting.

Como se comenta en el resumen del proyecto, una de las formas adicionales en las que los módulos pueden operar una carga, ya sea fotovoltaica o de baterías, es a modo de dos convertidores DC/DC bidireccionales conectados a la carga en paralelo y empleando la modulación PWM en modo phase-shifting (PS).

Esta técnica consiste en desfasar las señales portadoras de la PWM de sendos convertidores, de forma que el rizado de conmutación (rizado de alta frecuencia) de las corrientes que circulan por las bobinas L_f de los DC/DC se cancelen mutuamente al conectarse a la carga, reduciendo también el rizado de tensión de la misma [42].

Dado que operamos ambos convertidores con ciclos de trabajo cercanos al 50%, se aplicará un desfase de 180° entre las señales portadoras.

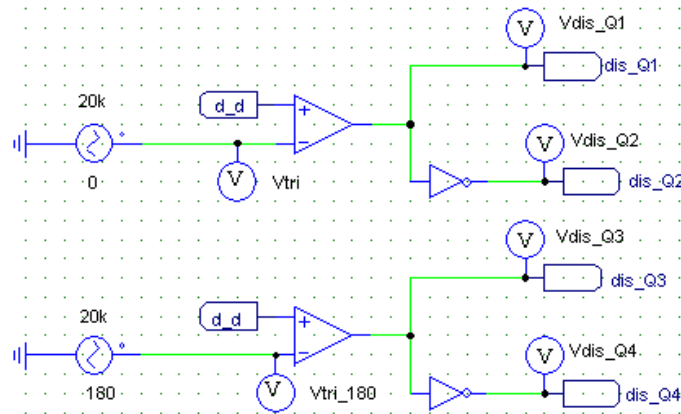


Ilustración 80: Implementación de la PWM en PSIM con los DC/DC en phase-shifting.

Mostraremos los resultados del modo de funcionamiento en phase-shifting para FV, ya que ambos casos son análogos y la inductancia L_{g_ad} implementada en baterías elimina buena parte del ruido de alta frecuencia, por lo que los efectos beneficiosos de esta técnica destacan en FV.

Al estar trabajando ambos DC/DC bidireccionales que componen el módulo en paralelo, la topología del circuito cambiará, duplicando todos los elementos.

En el cuarto apartado del **Anexo I**, se muestra el circuito equivalente y el sistema de ecuaciones para el análisis en pequeña señal de los convertidores, obteniéndose para el lazo de corriente que:

$$G_{i_Ld}(s) = \frac{2 \cdot V_{dc} \cdot (C_f \cdot (ESR - 2 \cdot R_{pv}) \cdot s + 1)}{C_f \cdot L_f \cdot (ESR - 2 \cdot R_{pv}) \cdot s^2 + (L_f - 2 \cdot C_f \cdot ESR \cdot R_{pv}) \cdot s - 2 \cdot R_{pv}} \quad (102)$$

Para controlar el sistema modelizado en **(102)**, se opera con los mismos lazos de control que cuando solo operaba un DC/DC en FV, ajustando los valores de los reguladores para que los seguimientos de consigna fijados sean adecuados.

Tras tener en cuenta $FAL(s)$ y $Pade(s)$ sobre **(102)**, cuyas FdT son las misma que en FV, se representa su respuesta en frecuencia junto a la ganancia en lazo abierto de corriente $T_i(s)$, en donde el regulador empleado posee ganancia proporcional e integral es $G_i(s) = PI_i(s)$:

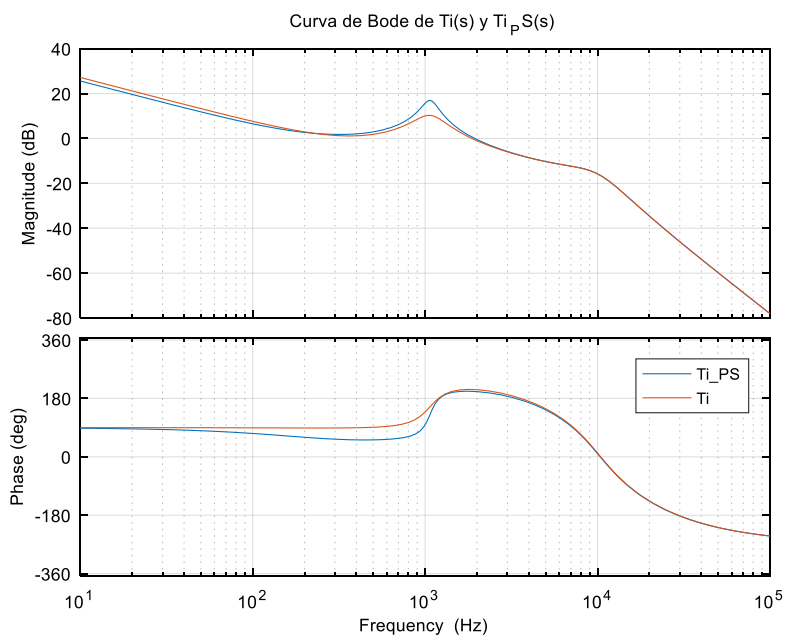


Ilustración 81: Respuesta de $T_i(s)$ con un convertidor DC/DC y con dos DC/DC en phase-shifting.

Se aprovecha la estabilidad del lazo de corriente que se obtuvo operando el DC/DC en FV (bode rojo) para diseñar una respuesta equivalente trabajando en PS (bode azul).

La respuesta de la **Ilustración 81** se consigue con el siguiente regulador de corriente:

$$G_i(s) = 0,007 \cdot \left(1 + \frac{5000}{s}\right) \quad (103)$$

En el cuarto apartado del **Anexo I** también se obtiene la FdT para el análisis del lazo de tensión, siendo:

$$G_{vppvil}(s) = -\frac{R_{pv} \cdot (C_f \cdot ESR \cdot s + 1)}{C_f \cdot (ESR - 2 \cdot R_{pv}) \cdot s + 1} \quad (104)$$

De esta forma, aunando **(104)** con la ganancia en lazo cerrado de corriente, se consigue la FdT para modelizar la ganancia en lazo abierto de tensión $T_v(s)$.

Al igual que en la **Ilustración 81**, en la siguiente ilustración se emplea la ganancia en lazo abierto de tensión que se obtuvo operando el DC/DC en FV (bode rojo) para diseñar una respuesta equivalente trabajando en PS (bode azul):

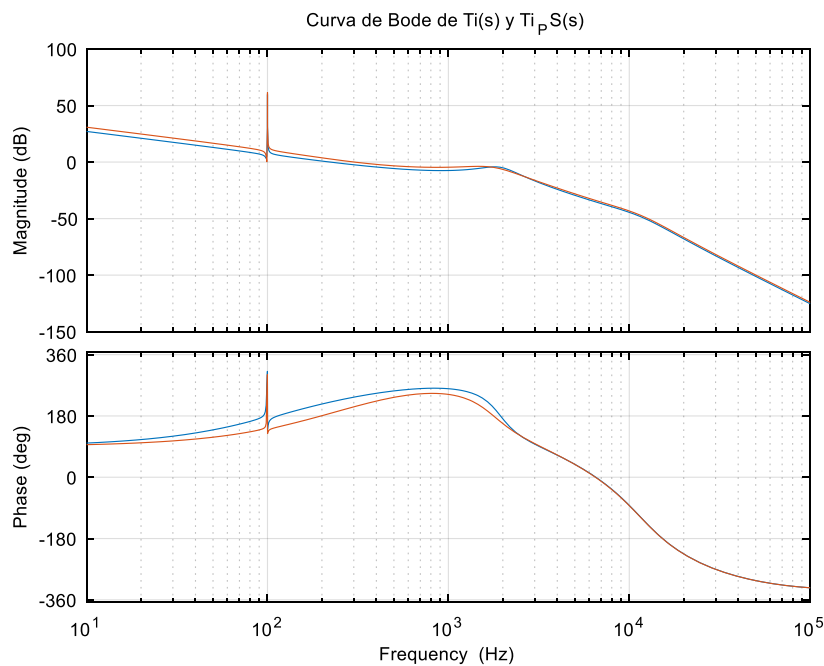


Ilustración 82: Respuesta de $T_v(s)$ con un convertidor DC/DC y con dos DC/DC en phase-shifting.

El regulador empleado $G_v(s)$ posee una ganancia resonante $Res_v(s)$ igual que la de su homónimo para FV, siendo su respuesta proporcional e integral:

$$PI_v(s) = 0,144 \cdot \left(1 + \frac{750}{s}\right) \quad (105)$$

En la siguiente ilustración, se muestra los efectos del funcionamiento en phase-shifting sobre la corriente que circula por las inductancias L_f (gráfica inferior) y la suma de ambas (gráfica superior):

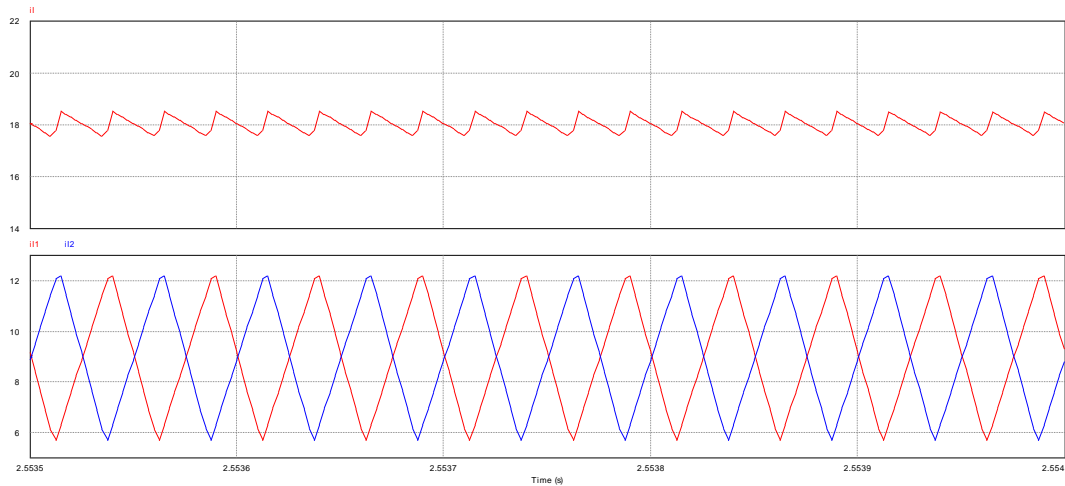


Ilustración 83: Corriente I_L respecto a las corriente que circulan por las L_f .

Como se comentó al comienzo del apartado, el desfase de la señal triangular portadora que se modeliza en la **Ilustración 80** consigue que los rizados de las corrientes se cancelen en buena medida, pasando de 6 A pico a pico a menos de un amperio, lo que provoca que el rizado de alta frecuencia desaparezca de la corriente y la tensión del string FV.

La gráfica que se muestran a continuación son las del seguimiento de la consigna de tensión del string FV (parte superior) y el efecto del control sobre la corriente (inferior).

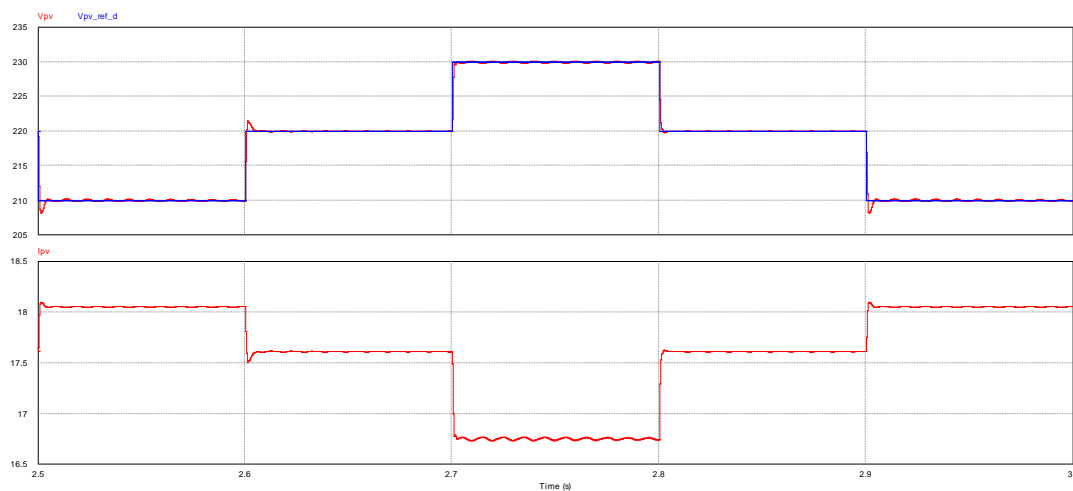


Ilustración 84: respuesta ante el seguimiento de la consigna de tensión y de corriente de FV trabajando de PS.

En la ilustración anterior observamos cómo tanto el rizado de baja frecuencia como el de alta frecuencia se eliminan en buena medida, además de que la dinámica es adecuada incluso con saltos de tensión de 10 V.

8. Elección de transistores y radiador.

Una de las principales causas de la degradación que sufren los elementos semiconductores son las elevadas temperaturas de funcionamiento con las que pueden llegar a operar debido a las pérdidas energéticas que producen y que se disipan en forma de calor.

En el caso de los convertidores e inversores que operan a elevadas potencias nominales, la elección de los transistores (semiconductores de conmutación) resulta crítica, ya que suelen ser la principal fuente de ineficiencia debido a las elevadas pérdidas que provocan, pudiendo generar temperaturas excesivas.

De esta forma, la elección de radiadores (heat-sinks) también resulta de vital importancia para el diseño, ya que en función de su resistencia térmica (R_{th}) pueden llegar a disipar más o menos potencia calorífica.

En este sentido, el programa PSIM permite incluir las hojas de características de los transistores seleccionados para conocer tanto sus pérdidas de conducción como de conmutación operando en el diseño gracias a la aplicación Thermal Module.

En el caso de los IGBT, esta aplicación proporciona tanto las pérdidas de conmutación como las de conducción del propio transistor y del diodo del que dispone en anti-paralelo.

Para la conmutación de los módulos se ha seleccionado el modelo de puente completo SKiiP 26GH12T4V11 del fabricante SEMIKRON [43], debido principalmente a que las resistencias térmicas que presentan tanto su diodo como el transistor son reducidas.

Este puente en H de transistores es capaz de soportar tensiones de colector a emisor V_{ce} de hasta 1200 V y corrientes nominales I_c de 70 A, superiores a los valores 600 V de tensión que puede alcanzar la DC-link y los 60 A pico de se inyectan a la red trabajando como inversor monofásico. Además alcanza temperaturas de unión PN (T_j) de hasta $T_{j_máx} = 150^\circ C$ sin deteriorarse.

Dado que la disposición de los módulos operando como inversores monofásicos es el modo de trabajo que más potencia maneja, se estudiará en primera instancia el comportamiento del puente completo de transistores operando en esta configuración a 10 kW (potencia nominal).

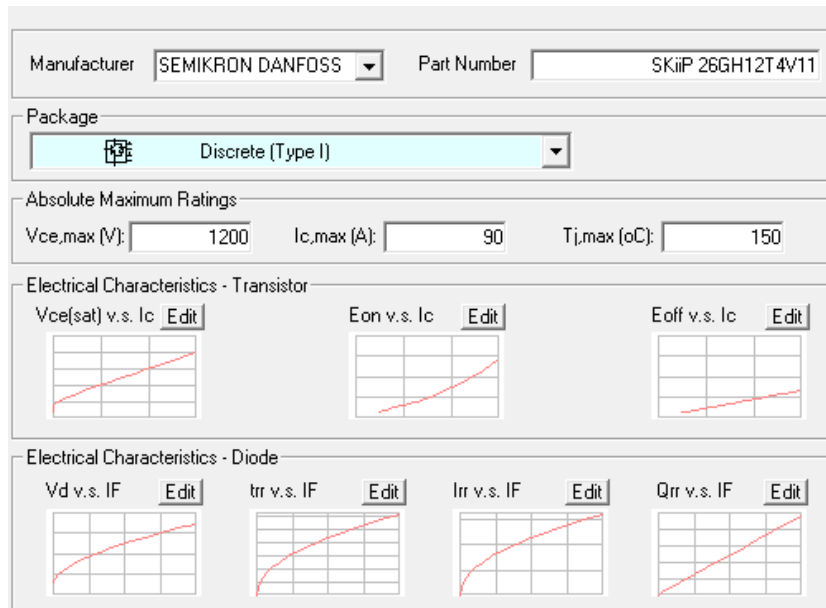


Ilustración 85: Device data editor de PSIM.

En la ilustración anterior se muestra la aplicación que permite introducir las curvas de funcionamiento de los transistores de SEMIKRON para su empleo con Thermal Module. Las curvas se obtienen directamente de la hoja de características [43].

La hoja de características proporciona los valores de las caídas de tensión durante la conducción de los transistores y de los diodos, así como las curvas que entregan las pérdidas de conmutación del transistor en función de la corriente que los atraviesa durante la conducción.

Sin embargo, en [43] no se incluyen las curvas que consiguen el tiempo (t_{rr}), la corriente (I_{rr}) y la carga (Q_{rr}) de recuperación inversa del diodo en anti-paralelo en función de la corriente en directa (I_F) que circula por el diodo.

Por ello, se recurre a las fórmulas de [44], las cuales proporcionan una estimación del tiempo y la corriente de recuperación inversa en función de la máxima tensión de recuperación inversa (V_{RRM}), de I_F Y de la pendiente de recuperación inversa, siendo:

$$t_{rr} = 2,8 \cdot 10^{-6} \cdot V_{RRM} \cdot \sqrt{\frac{I_F}{\left| \frac{di_R}{dt} \right|}} \text{ en (s)} \quad (106)$$

$$I_{rr} = 2,8 \cdot 10^{-6} \cdot V_{RRM} \cdot \sqrt{I_F \cdot \left| \frac{di_R}{dt} \right|} \text{ en (A)} \quad (107)$$

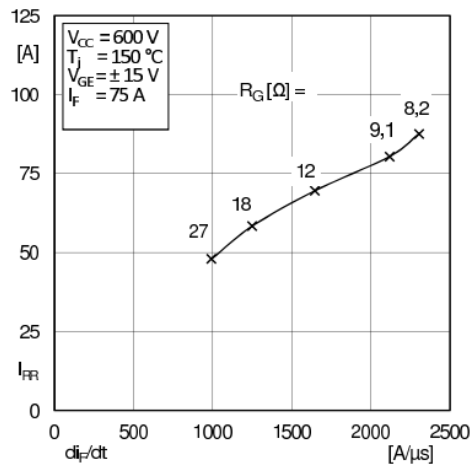


Ilustración 86: Obtención de la corriente de recuperación inversa en función del valor de la resistencia de puerta R_g de los transistores [43].

Para la elección de los drivers que se mostrarán más adelante, se selecciona la resistencia de puerta $R_g = 9,1 \Omega$, por lo que gracias a la **Ilustración 86** se puede obtener la pendiente de recuperación inversa del diodo.

Finalmente, la curva de recuperación inversa se puede obtener a partir de (106) y (107), ya que:

$$Q_{rr} = \frac{1}{2} \cdot I_{rr} \cdot t_{rr} \quad (108)$$

(108) también se obtiene de [44]. Es una estimación de Q_{rr} que equipara la superficie que abarca I_{rr} durante el tiempo t_{rr} a la de un triángulo. En (108)

En la siguiente ilustración, se muestra la forma de Q_{rr} en una medición real proporcionada en [43]:

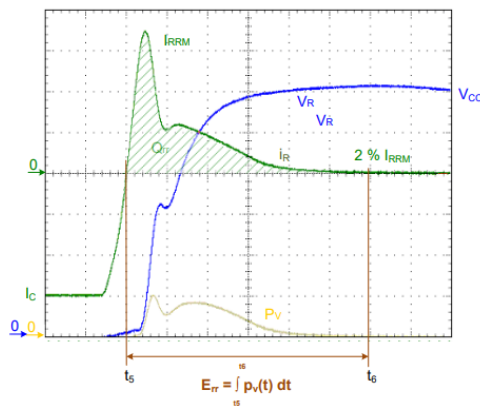


Ilustración 87: Valor de Q_{rr} (parte sombreada) durante la conmutación en OFF del diodo [43].

Tras modelizar las curvas del SKiiP 26GH12T4V11, al que en adelante denominaremos MiniSKiiP (nombre de su carcasa), se pueden obtener las pérdidas que generan con Thermal Module.

Esta aplicación proporciona el valor de las pérdidas de los transistores en forma de corriente, de manera que se puede hacer una analogía térmica con circuitos eléctricos, ya que:

$$P_d = \frac{T_j - T_{amb}}{R_{th_{j,a}}} \quad (109)$$

En (109), la diferencia de temperaturas se puede asimilar a caídas de tensión y la potencia disipada por los semiconductores a corrientes.

De esta forma, implementamos el siguiente circuito térmico en PSIM:

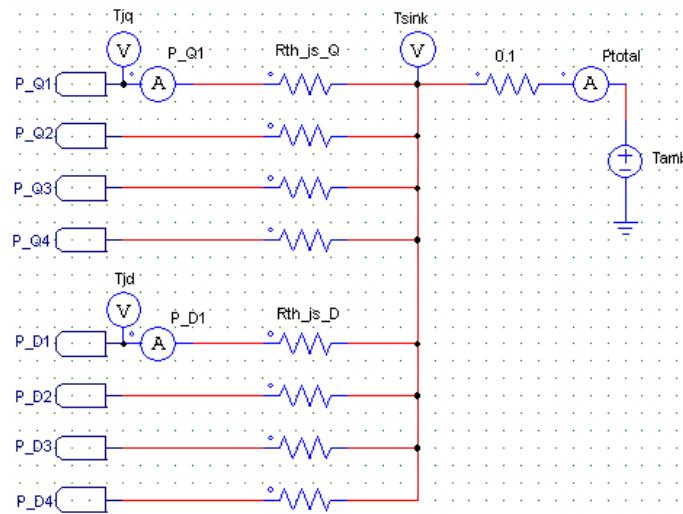


Ilustración 88: Circuito térmico para la obtención de la potencia disipada por los transistores en PSIM.

En la **Ilustración 88**, las pérdidas de cada uno de los transistores y de los diodos se conectan al mismo punto a través de las resistencias térmicas del radiador $R_{th_{j,s}}$, cuyo valor va desde una unión PN de los semiconductores hasta el propio radiador al que se conecta el MiniSKiiP.

Normalmente los valores de la resistencia térmica que va de la carcasa al radiador no se proporcionan, ya que depende del elemento que se disponga entre ellos (PCB, pasta térmica, etc). Sin embargo, SEMIKRON incluye una estimación del mismo en el valor $R_{th_{j,s}}$.

Finalmente, la resistencia térmica del radiador conecta el MiniSKiiP con el ambiente.

Para la obtención de $R_{th_{s,a}}$, se ha determinado que la temperatura ambiente será elevada, de $T_{amb} = 45\text{ °C}$, mientras que la temperatura de la unión PN no alcanzará su valor máximo en funcionamiento nominal, sino que se fijará su máximo entorno a $T_{j_máx} = 125\text{ °C}$.

Sabiendo que $R_{th_{j,s-Q}} = 0,55\text{ °C/W}$ para los transistores y $R_{th_{j,s-D}} = 0,75\text{ °C/W}$, fijando una resistencia térmica de radiador de $R_{th_{s,a}} = 0,12\text{ °C/W}$ y operando el inversor monofásico con tensión de bus nominal $V_{dc} = 450\text{ V}$ y potencia nominal de 10 kW , se alcanzan las temperaturas $T_{j,Q} = 125,8\text{ °C}$ y $T_{j,D} = 119,3\text{ °C}$, con unas pérdidas totales disipadas en régimen nominal de $P_d = 391,5\text{ W}$.

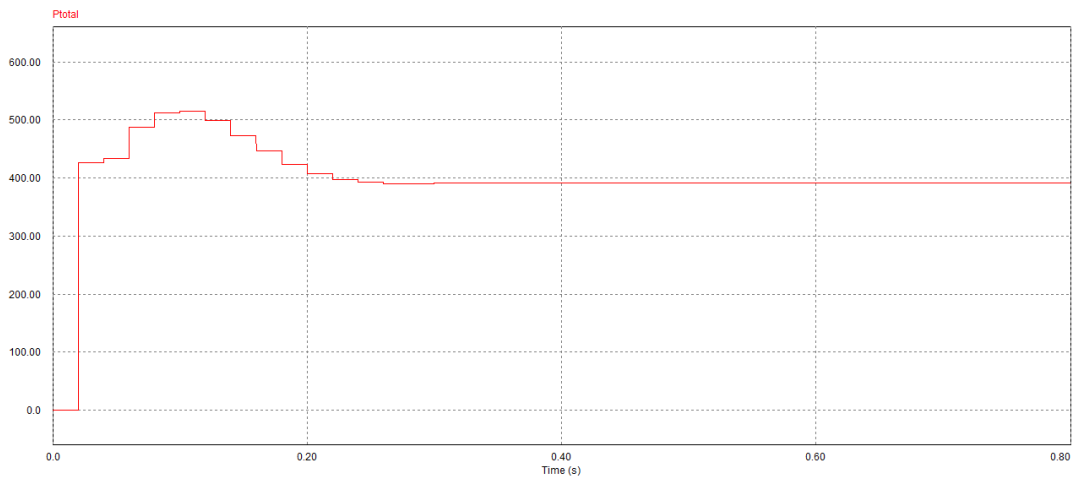


Ilustración 89: Pérdidas totales disipadas por el MiniSKiiP operando a $V_{dc} = 450\text{ V}$.

De la misma manera, se comprueba que las temperaturas del diodo en anti-paralelo y el IGBT no superan los 140 °C con tensiones de bus de 600 V :

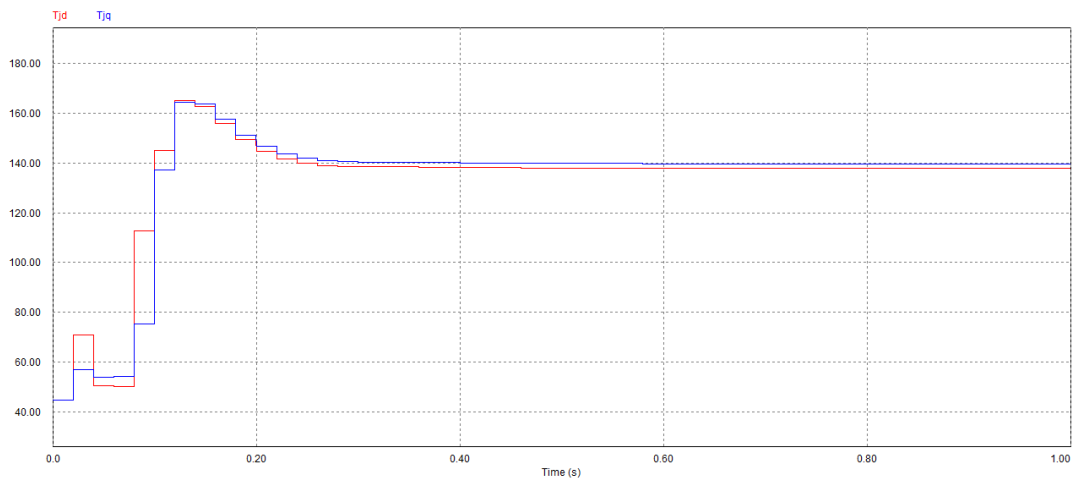


Ilustración 90: Temperaturas de los semiconductores operando a $V_{dc} = 600\text{ V}$.

Por último, se selecciona el radiador para que su $R_{th_{s,a}}$ no supere los $0,12 \text{ } ^\circ\text{C}/\text{W}$.

Para la elección, se decide elegir un radiador montable en PCB, de forma que sirva para disipar tanto la potencia de los transistores como la de todos los componentes electrónicos del diseño que generan pérdidas.

Normalmente los radiadores para PCB se diseñan con perfiles extruidos de aluminio y otros conductores térmicos que poseen más o menos resistencia térmica en función de la longitud del perfil, como se muestra en la siguiente imagen del disipador ABL de la gama RS PRO Heatsinks seleccionado [45]:

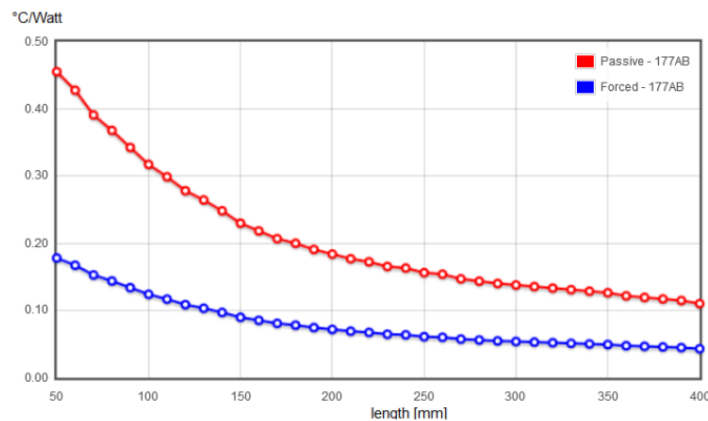


Ilustración 91: Valor de la resistencia térmica de un heat sink en función de longitud de su perfil, con ventilación forzada (azul) y sin ella (roja) [45].

Al no emplear ventilación forzada, la longitud del perfil seleccionado deberá de ser de al menos 350 mm . Debido a la gran cantidad de elementos que se disponen en el diseño del esquemático y sus dimensiones, podemos asumir que se alcanzará esta longitud de perfil.

9. Diseño del módulo (Esquemático).

Para finalizar el proyecto y mostrar las conexiones de control del microcontrolador, se diseña el esquemático de los módulos en Kicad, el cual servirá de base para la elaboración del presupuesto.

El microcontrolador seleccionado para el control de los elementos de los módulos y sus modos de funcionamiento es TMS320F28069 de la serie C2000 de Texas Instruments [46].

Es de los modelos de C2000 que menos pines de conexión posee, ya que las exigencias de diseño del módulo no requieren excesivos elementos a controlar.

Como iremos viendo a lo largo del diseño de las conexiones, el TMS320F28069 posee todas las prestaciones necesarias, desde convertidores A/D para el sensado de los parámetros de los convertidores hasta módulos de generación de PWM para el manejo de los Drivers.

También posee módulos UART con interfaces SCI para la conexión de los microcontroladores de los diferentes convertidores modulables entre sí.

Para facilitar las conexiones del diseño, se dispone de la LAUNCHXL-F28069M [47], la cual configura la mayoría de las conexiones auxiliares del TMS320F28069 y facilita el diseño del esquemático.

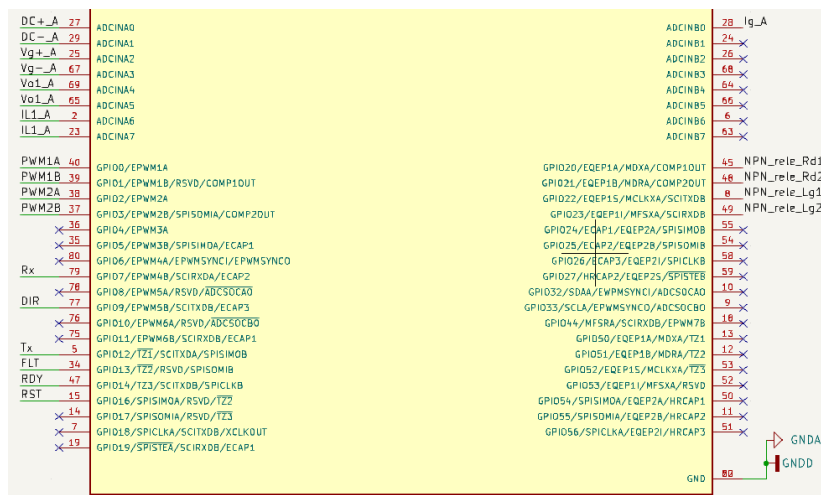


Ilustración 92: Conexiones de los pines de la LAUNCHXL-F28069M con alimentación de 3,3 V.

Los pines de la entrada superior forman parte de los módulos de los convertidores A/D, los cuales son capaces de digitalizar las de tensión y corriente de operación de los convertidores, generando señales de 0 a 3,3 V con una resolución de 12 bits.

Las señales de tensión sensadas se reducen con la implementación de divisores resistivos, de forma que nunca se superen los 3,3 V voltios (valor de alimentación del microcontrolador) a la entrada de los convertidores.

A continuación, se muestran todas las señales de tensión sensadas con sus respectivos divisores de tensión y filtros anti-aliasing para la conexión a los A/D.

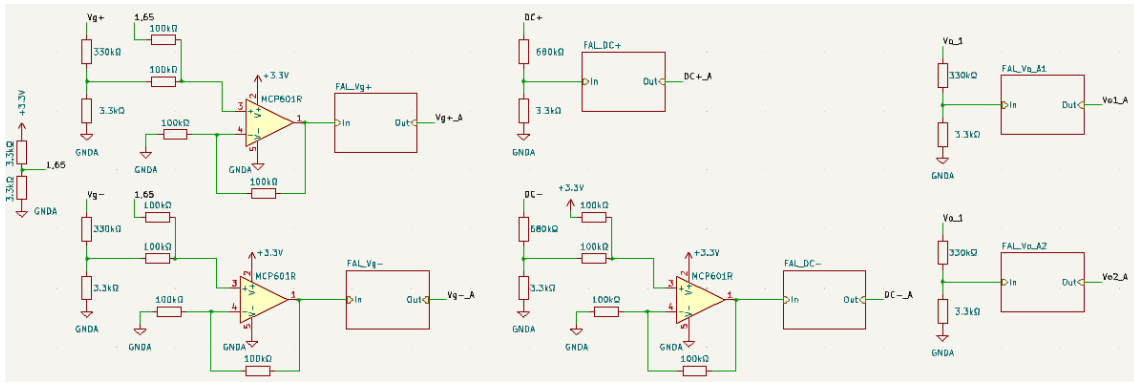


Ilustración 93: Implementación del sensado de tensión.

Tanto en el terminal de tensión negativa de la DC-link (DC_-) como en bornes de la conexión del inversor a la red (V_{g+} , V_{g-}) se dispone de un amplificador sumador no inversor a la entrada de $FAL(s)$

En el caso de la tensión de la red, se suma una tensión de offset de $1,65\text{ V}$ al valor de la tensión sensada que fluctúa entre $-1,65\text{ V}$ y $1,65\text{ V}$. Por su parte, la tensión DC_- del bus reducida va desde 0 a $-3,3\text{ V}$.

Los valores las resistencias del amplificador sumador se toman iguales, de forma que no se añade ninguna ganancia a la suma de sus tensiones de entrada.

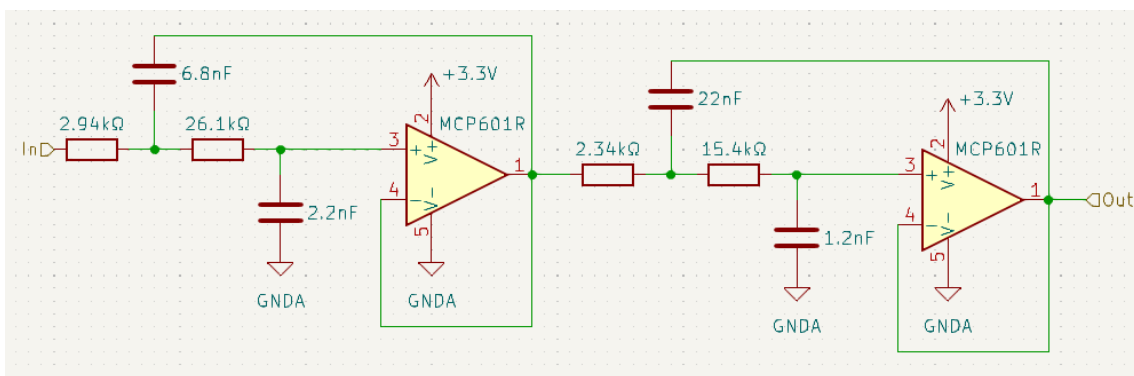


Ilustración 94: Filtro anti-aliasing de entrada de la tensión del bus.

Los filtros anti-aliasing de la **Ilustración 93** se incluyen como subcircuitos en el esquemáticos para facilitar la comprensión.

El amplificador seleccionado en todos los casos es el MCP601R de microchip.

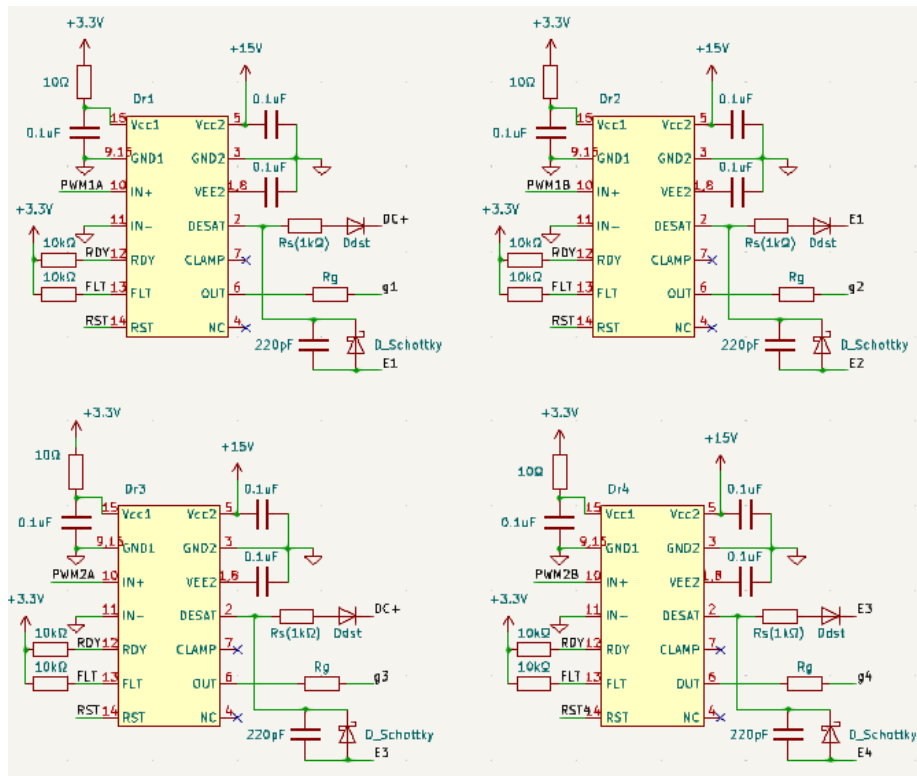


Ilustración 95: Drivers ISO5451.

El ISO5451 de Texas Instruments es el driver seleccionado para la conmutación del puente completo de transistores SKiiP 26GH12T4V11.

Destaca su protección de desaturación, situada en la parte inferior derecha de las conexiones de los drivers, la cual permite enviar la señal FLT (Fault) al microcontrolador para que detenga la conmutación cuando se sobrecarga alguno de los IGBT.

Las señales RDY, FLT y RST se conectan a los mismos pines del C2000. El módulo ePWM del microcontrolador generan la modulación PWM que ejecutan los drivers.

Estos drivers producen una corriente pico a su salida de más de 2 A, suficiente para arrancar la conmutación de los drivers, cuya tensión de puerta es de 15 V y la resistencia de puerta es $R_g = 9,1 \Omega$.

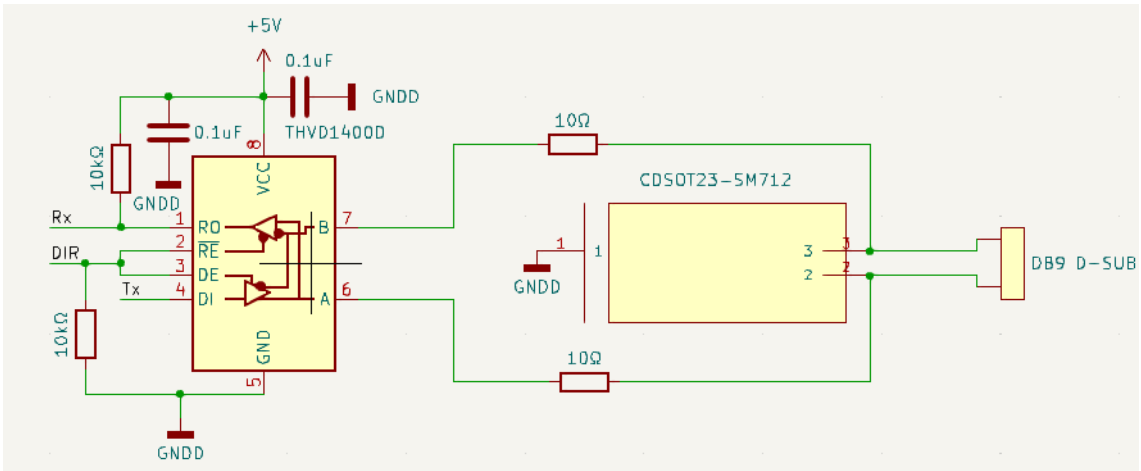


Ilustración 96: Conexión UART mediante SCI.

EL C2000 seleccionado dispone de módulos 2 UART que pueden transmitir información mediante la capa física SCI.

Para que los microcontroladores de distintos módulos puedan comunicarse entre ellos, se dispone del transceiver THVD1400, el cual sirve de interfaz entre el SCI y el RS-485 al que se conectan todos los microcontroladores de los diferentes convertidores modulares, generándose un bus de datos.

Se configuran los canales de entrada Rx y salida Tx para la lectura y escritura de la información del bus respectivamente.

Se conectan entre sí los fines que permiten la lectura (RE) y la escritura (DE), ya que sus lógicas son contrarias.

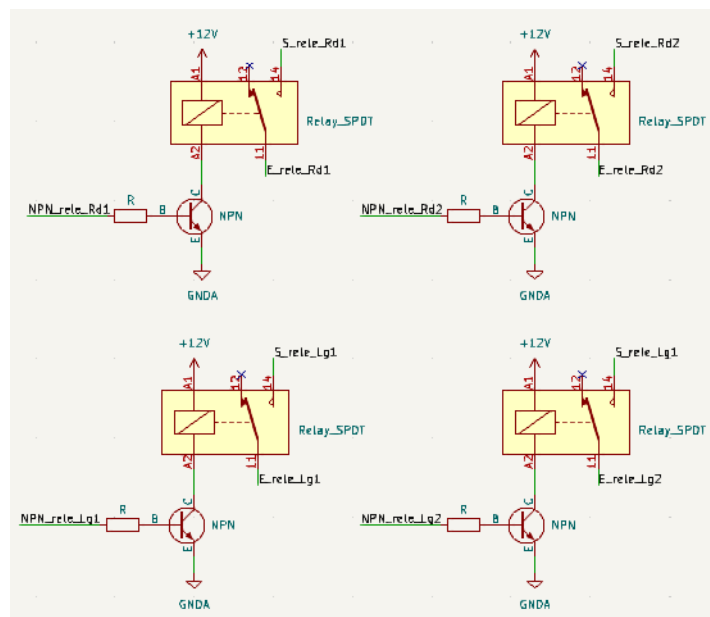


Ilustración 97: Mini-relé 40.61 de Finder implementados para baipasear L_{g_ad} y R_d .

El relé seleccionado soporta hasta 16 A de conmutación en plena conducción de corriente.

Dado que el relé no conmuta durante la conducción si no cuando se está configurando el modo de funcionamiento (sin carga conectada), asumimos que es capaz de aguantar los 20 A que soportar el DC/DC bidireccional.

También es capaz de operar con 400 V de alterna y hasta 300 V de continua, por lo que cumple con los parámetros de funcionamiento.

El relé comienza a operar cuando el C2000 entrega corriente al BJT que lo controla, de forma que el relé conmuta.

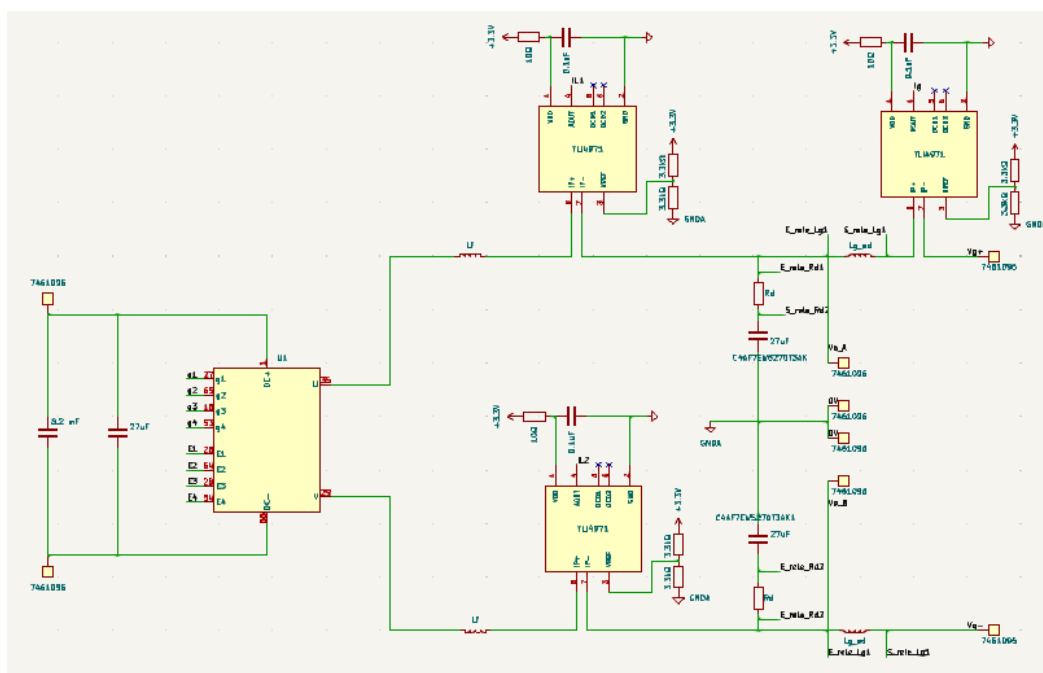


Ilustración 98: Elementos de potencia del convertidor modulable.

Finalmente, se muestra la DC-link con terminales 7461096 a los que se pueden conectar el resto de buses de los otros módulos en funcionamiento.

Destaca la implementación del MiniSKiiP de SEMIKRON y los sensores TLI4971 empleados para el sensado de todas las corrientes, ya que soportan hasta 9 A.

PRESUPUESTO

1. Introducción.

Acorde a las pautas estipuladas por la ETSII sobre presupuestos de TFM, se indica, a continuación, el cálculo del mismo en relación al diseño de ingeniería desarrollado en el presente trabajo. Para ello, se parte del desglose de los siguientes conceptos:

- Uso de software: el desarrollo del TFM ha precisado de los programas de pago:
 - Office 365®: mediante el uso de las aplicaciones Microsoft Word, Microsoft Excel y Microsoft PowerPoint.
 - PSIM 7®.
 - MATLAB.
 - Derive.
 - KiCad 7.
- Uso de hardware: costo de periféricos.
- Mano de obra: tiempo trabajado y aplicado al TFM por parte del alumno, tutor y cotutor.

2. Unidad de obra.

Se expone la lista de las unidades de obra a presupuestar:

Tabla 15: Unidades de obra

| Unidad de obra (código) | |
|-------------------------|---------------------|
| U01 | Software |
| U02 | Hardware/Materiales |
| U03 | Mano de obra |

3. Cuadro de precios descompuestos y estado de las mediciones.

3.1. Software

Tal y como se observa en la siguiente tabla, la unidad de medida empleada es “año”, midiéndose así el coste del software en “€/año”. No obstante, con el propósito de hacer

el estado de las mediciones lo más preciso posible, se ha empleado el valor 0.5 años, equivalente a los 6 meses de desarrollo del TFM, como valor de tiempo del transcurso del mismo.

Cabe destacar que los precios se han obtenido a partir de las páginas web oficiales de cada una de las plataformas.

Tabla 16: Precios desglosados UO1.

| UO1 | | | | |
|---------------------------------------|----------------------|-----------------------|------------------------|--------------------|
| Descripción | Unidad medida | Precio (€/año) | Medición (años) | Importe (€) |
| <i>Microsoft Office 365® Personal</i> | Año | 69 | 0.5 | 34.5 |
| <i>Licencia Anual PSIM 7.0®</i> | Año | 1500 | 0.5 | 750 |
| <i>MATLAB Student</i> | Año | 69 | 0.5 | 34.5 |
| <i>Derive</i> | Año | 34.8 | 0.5 | 17.4 |
| <i>KiCad 7.0</i> | Año | 0/Gratis | 0.5 | 0 |
| TOTAL | | | | 836.4 |

3.2. Hardware/Materiales

A continuación, la lista de los materiales principales empleados:

Tabla 17: Precio desglosado UO2.

| UO2 | | | | |
|-------------------------|----------------------|----------------------|----------------------|--------------------|
| Descripción | Unidad medida | Precio (€/ud) | Medición (ud) | Importe (€) |
| <i>LAUNCHXL-F28069M</i> | Unidad | 39 | 1 | 39 |
| <i>MCP601R</i> | Unidad | 0,42 | 25 | 10,5 |
| <i>ISO5451</i> | Unidad | 2,57 | 4 | 10,28 |
| <i>THVD1400</i> | Unida | 0,95 | 1 | 0,95 |
| <i>Mini Relé 40</i> | Unidad | 7,5 | 4 | 30 |
| <i>TLI4971</i> | Unidad | 3 | 1 | 3 |
| <i>MiniSKiP</i> | Unidad | 204,77 | 1 | 204,77 |
| <i>RS PRO Heatsink</i> | Unidad | 114,76 | 1 | 114,76 |
| TOTAL | | | | 413,26 |

Para la estimación de los costes de la mano de obra se parte desde una carga lectiva de 300h de trabajo que señala la ETSII por parte del alumno, quien posee el título de ingeniero técnico industrial.

En cuanto a las reuniones alumno-tutor y alumno-cotutor, se comprenden 50 horas de trabajo de tutor, con titulación de ingeniero superior industrial, y 8 horas de trabajo de cotutor, también ingeniero industrial; lo que concluye en un total de 58 horas.

Se figuran los siguientes costes:

Tabla 18: Precio desglosado UO3

| UO3 | | | | |
|------------------------------|---------------|--------------|--------------|-------------|
| Descripción | Unidad medida | Precio (€/h) | Medición (h) | Importe (€) |
| Ingeniero Técnico Industrial | Hora | 18 | 300 | 5400 |
| Ingeniero Industrial | Hora | 24 | 50 | 1200 |
| Ingeniero Industrial | Hora | 24 | 8 | 192 |
| TOTAL | | | | 6792 |

4. Coste total del proyecto.

Por consiguiente, el presupuesto final del TFM se resume en la siguiente tabla:

Tabla 19: Precio final desglosado.

| DESCRIPCIÓN | IMPORTE (€) |
|--|------------------|
| UO1 (1) | 836,4 |
| UO2 (2) | 413,26 |
| UO3 (3) | 6792 |
| Presupuesto de Ejecución Material (PEM) (1)+(2)+(3) | 8041,66 |
| Gastos Generales (4) | 8200 |
| Beneficio Industrial (5) | 241,25 (3% PEM) |
| Presupuesto de Ejecución por Contrata (PEC) (PEM)+(4)+(5) | 8441,25 |
| I.V.A. | 1941,49 (21%) |
| Presupuesto Base de Licitación (€) (PEC)+(I.V.A.) | 10.382,75 |

En conclusión, el presupuesto final asciende a la cantidad de: **10.382,75**

ANEXO I

1. Filtro LCL

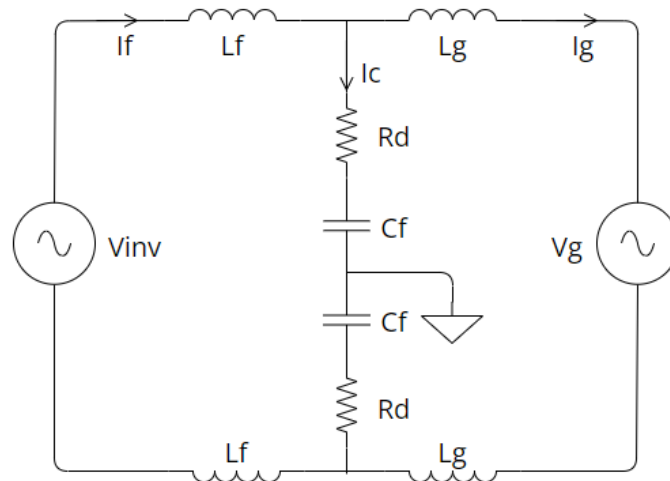


Ilustración 99: Filtro LCL de conexión a red para el diseño del inversor simplificado.

Sistema de ecuaciones para el análisis en pequeña señal del filtro dispuesto en la **Ilustración 53**:

$$i_{ff} = i_c + i_g$$

$$v_{inv} = 2 \cdot l_f \cdot s \cdot i_{ff} + 2 \cdot \left(r_d + \frac{1}{c_f \cdot s} \right) \cdot i_c$$

$$v_{inv} = 2 \cdot l_f \cdot s \cdot i_{ff} + 2 \cdot l_g \cdot s \cdot i_g$$

Ecuación 1: Sistema de ecuaciones para el análisis del filtro LCL.

Para el análisis en frecuencia del filtro LCL no tenemos en cuenta las perturbaciones de la red eléctrica, por lo que $\hat{v}_g(s) = 0$. Empleamos el programa de cálculo **Derive**² para la obtención de las siguientes funciones de transferencia:

² Todos los sistemas de ecuaciones de este proyecto se resuelven con **Derive**. Este programa no permite denominar a las corrientes del filtro como i_f al ser una palabra reservada, por lo que la nombramos i_{ff} .

$$i_g = \frac{v_{inv} \cdot (c_f \cdot r_d \cdot s + 1)}{2 \cdot s \cdot (c_f \cdot l_f \cdot l_g \cdot s^2 + c_f \cdot r_d \cdot s \cdot (l_f + l_g) + l_f + l_g)}$$

$$i_g = \frac{i_{ff} \cdot (c_f \cdot r_d \cdot s + 1)}{c_f \cdot l_g \cdot s^2 + c_f \cdot r_d \cdot s + 1}$$

Ecuación 2: FdT para el análisis del filtro LCL.

2. FdT para FV.

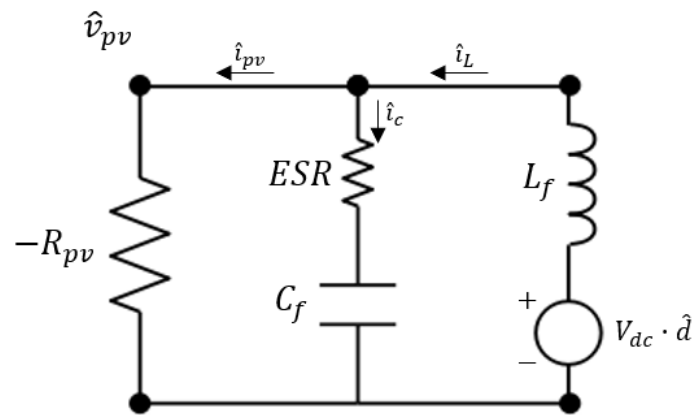


Ilustración 100: Análisis del convertidor DC/DC en pequeña señal para la obtención de $G_{i_L d}(s)$.

Sistema de ecuaciones para el análisis en pequeña señal de la **Ilustración 82**.

$$v_{pv} = -r_{pv} \cdot i_{pv}$$

$$i_L = i_{pv} + i_c$$

$$v_{pv} = i_c \cdot \left(esr + \frac{1}{c_f \cdot s} \right)$$

$$v_{pv} = v_{dc} \cdot d - i_L \cdot l_f \cdot s$$

Ecuación 3: Sistema de ecuaciones para la obtención de $G_{i_L d}(s)$.

Para el análisis en frecuencia de la FdT $G_{i_L d}(s)$, no se han teniendo en cuenta las perturbaciones que pueda haber en la DC-link, por lo que $\hat{v}_{dc}(s) = 0$.

Empleando del programa Derive, se obtiene la siguiente FdT:

$$i_l = \frac{d \cdot v_{dc} \cdot (cf \cdot s \cdot (esr - rpv) + 1)}{cf \cdot lf \cdot s^2 \cdot (esr - rpv) + s \cdot (lf - cf \cdot esr \cdot rpv) - rpv}$$

Ecuación 4: FdT $G_{i_l d}(s)$ para FV.

Con el mismo sistema de ecuaciones, se obtiene la FdT $G_{v_{pvil}}(s)$:

$$v_{pv} = - \frac{i_l \cdot rpv \cdot (cf \cdot esr \cdot s + 1)}{cf \cdot s \cdot (esr - rpv) + 1}$$

Ecuación 5: FdT $G_{v_{pvil}}(s)$ para FV.

Sustituyendo la fuente de tensión $V_{dc} \cdot \hat{d}$ por $\hat{v}_{dc} \cdot D$ en la **Ilustración 56**, obtenemos el siguientes resultado para el cálculo de la audiosusceptibilidad $A(s)$:

$$v_{pv} = - \frac{d \cdot rpv \cdot v_{dc} \cdot (cf \cdot esr \cdot s + 1)}{cf \cdot lf \cdot s^2 \cdot (esr - rpv) + s \cdot (lf - cf \cdot esr \cdot rpv) - rpv}$$

Ilustración 101: FdT $A(s)$ para FV.

3. FdT para baterías.

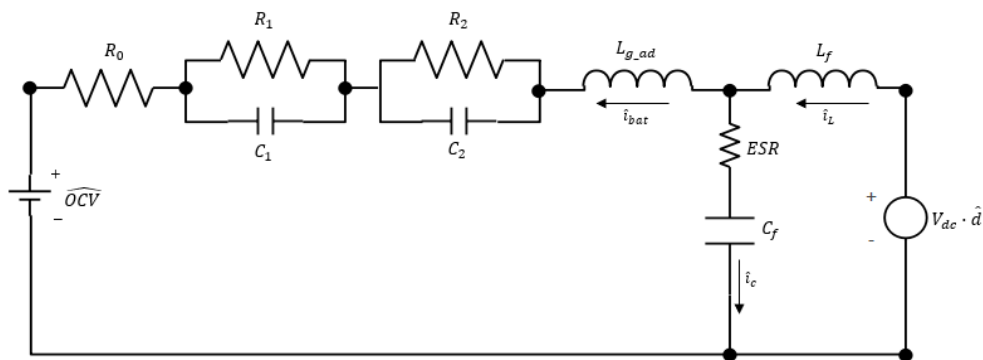


Ilustración 102: Circuito en pequeña señal del convertido DC/DC para baterías.

Sistema de ecuaciones para el análisis en pequeña señal de la **Ilustración 75**, en donde V_o es la tensión del nodo común de las inductancias:

$$i_l = i_{bat} + i_c$$

$$i_{bat} = \frac{v_o}{l_{g_ad} \cdot s + \frac{r_2}{1 + r_2 \cdot c_2 \cdot s} + \frac{r_1}{1 + r_1 \cdot c_1 \cdot s} + r_0}$$

$$i_c = \frac{v_o}{esr + \frac{1}{cf \cdot s}}$$

$$i_l = \frac{v_{dc} \cdot d - v_o}{lf \cdot s}$$

Ecuación 6: Sistema de ecuaciones para la obtención de las FdT del convertido DC/DC para baterías.

No se incluye la resolución para la obtención de la FdT de $G_{i_{Ld}}(s)$ debido a su gran tamaño.

4. FdT para DC/DC en phase-shifting (FV)

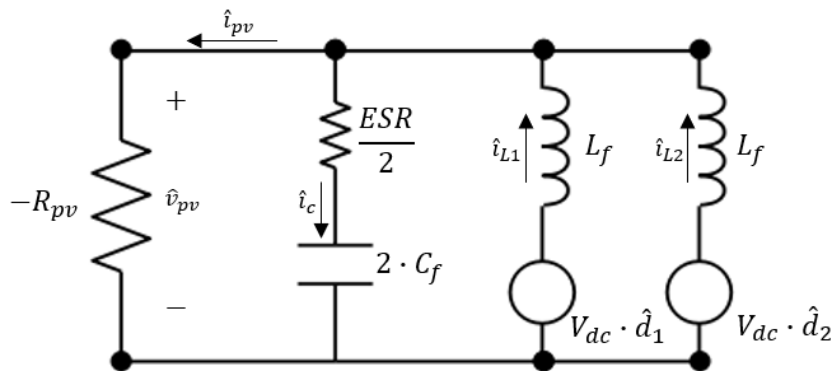


Ilustración 103: Análisis en pequeña señal de dos DC/DC conectados en paralelo a una carga FV funcionando en phase-shifting.

Las ramas de condensadores se conectan en paralelo en bornes de una misma tensión y poseen la misma inductancia, por lo que directamente se obtiene la impedancia equivalente de ambas ramas en una sola rama.

Para el análisis en frecuencia de la FdT $G_{i_{Ld}}(s)$, no se han teniendo en cuenta las perturbaciones que pueda haber en la DC-link, por lo que $\hat{v}_{dc}(s) = 0$

Se plantea el sistema de ecuaciones para el análisis en pequeña señal de la **Ilustración 85**:

$$\begin{aligned}
v_{pv} &= -r_{pv} \cdot i_{pv} \\
i_c &= \frac{2 \cdot v_{pv}}{r_c + \frac{1}{c \cdot s}} \\
i_l &= i_{l1} + i_{l2} \\
i_l &= i_{pv} + i_c \\
v_{pv} &= v_{dc} \cdot d_1 - i_{l1} \cdot l \cdot s \\
v_{pv} &= v_{dc} \cdot d_2 - i_{l2} \cdot l \cdot s
\end{aligned}$$

Ecuación 7: Sistema de ecuaciones para la obtención de las FdT del convertido DC/DC para FV operando en phase-shifting.

Si asumimos que las perturbaciones sobre los ciclos de trabajo son equivalentes ($\hat{d}_1 = \hat{d}_2$), obtenemos que las siguientes FdT:

$$\begin{aligned}
i_l &= \frac{2 \cdot d \cdot v_{dc} \cdot (c \cdot s \cdot (r_c - 2 \cdot r_{pv}) + 1)}{c \cdot l \cdot s^2 \cdot (r_c - 2 \cdot r_{pv}) + s \cdot (1 - 2 \cdot c \cdot r_c \cdot r_{pv}) - 2 \cdot r_{pv}} \\
v_{pv} &= - \frac{i_l \cdot r_{pv} \cdot (c \cdot r_c \cdot s + 1)}{c \cdot s \cdot (r_c - 2 \cdot r_{pv}) + 1}
\end{aligned}$$

Ecuación 8: FdT para el análisis en phase-shifting.

BIBLIOGRAFÍA

- [1] Mackenzie, W. (2023, 11 julio). *Global Solar PV Inverter and Module-Level Power Electronics (MLPE) Market Share 2023*. Wood Mackenzie. <https://www.woodmac.com/reports/power-markets-global-solar-pv-inverter-and-module-level-power-electronics-mlpe-market-share-2023-150145654/>
- [2] International Energy Agency. (2023). *Snapshot of Global PV Markets*. https://iea-pvps.org/wp-content/uploads/2023/04/IEA_PVPS_Snapshot_2023.pdf
- [3] HUAWEI. (s. f.). *Smart Energy Center*. <https://solar.huawei.com/-/media/Solar/attachment/pdf/es/datasheet/SUN2000-2-6KTL-L1.pdf>
- [4] SUNGROW. (2023). *SH3.0/3.6/4.0/5.0/6.0RS. Inversor monofásico híbrido residencial*. <https://spa.sungrowpower.com/upload/file/20230724/ES%20DS%20SH3.0-6.0RS%20Ficha%20T%C3%A9cnica.pdf>
- [5] GROWATT. (s. f.). *MIN 2500~6000TL-XH*. <https://es.growatt.com/upload/file/20221123/7d22523b1dc5e6d92dbbfb4225138edd.pdf>
- [6] Solar Jinko. (2022). *Tiger Neo N-type 78HL4-(V) 610-630 Watt*. [https://jinkosolarcdn.shwebspace.com/uploads/63e0a597/JKM610-630N-78HL4-\(V\)-F3-EN.pdf](https://jinkosolarcdn.shwebspace.com/uploads/63e0a597/JKM610-630N-78HL4-(V)-F3-EN.pdf)
- [7] TSM-DE21 Datasheet (Trina Solar): <https://www.trinasolar.com/es/product/VERTEX-DE21>
- [8] CanadianSolar. (2023, marzo). *BiHiKu7 BIFACIAL MONO PERC*. https://static.csisolar.com/wp-content/uploads/2023/03/29162104/CS-Datasheet-BiHiKu7_CS7N-MB-AG_v2.52_EN-33mm-frame-594-pcs-package.pdf
- [9] Hutchins, M. (2018, 20 julio). *Top 10 Crystalline PV Module Manufacturer ranking*. pv magazine International. <https://www.pv-magazine.com/2018/07/20/top-10-crystalline-pv-module-manufacturer-ranking/>
- [10] *El 78% de los hogares españoles tienen contratada más potencia eléctrica de la que necesitan*. (s. f.). FACUA.org. <https://www.facua.org/es/noticia.php?id=18392#:~:text=Seg%C3%BAn%20esta%20encuesta%2C%20a%20finales,anteriores%20a%204%2C1%20kW>
- [11] *UNE-EN 61000-3-12:2012 Compatibilidad Electromagnética (CEM)* (s. f.). <https://www.une.org/encuentra-tu-norma/busca-tu-norma/norma?c=N0049678>
- [12] Apuntes asignatura SEDGE del MUII (2023). Tema 1. Universidad Politécnica de Valencia.

- [13] *UNE-EN 61000-2-2:2003/A2:2020 compatibilidad electromagnética . . .* (s. f.). <https://www.une.org/encuentra-tu-norma/busca-tu-norma/norma?c=N0063178>
- [14] IEEE SA. (s. f.). *IEEE Standards Association*. IEEE Standards Association. <https://standards.ieee.org/ieee/519/10677/>
- [15] Apuntes asignatura DSEP del MUJI (2023). Tema 3. Universidad Politécnica de Valencia.
- [16] Apuntes asignatura SEDGE del MUJI (2023). Tema 1.2. Universidad Politécnica de Valencia.
- [17] D. Grahame Holmes, T. A. Lipo, "Pulse Width Modulation for Power Converters, Principles and Practice". IEEE Press, 2003.
- [18] *SKIIP 26GH12T4V11 | Semikron Danfoss*. (s. f.). <https://www.semikron-danfoss.com/products/product-classes/igbt-modules/detail/skiip-26gh12t4v11-25232570.html>
- [19] Práctica 7 SEDGE (2023). Universidad Politécnica de Valencia.
- [20] Dumitru-Mihai Valcan, Tomasz Chmielewski, Piotr Lipnicki, and Andreea Cimpoeu. Parallel converter system and their control. Conference for M.SC. Energy Students at AAU, 2009.
- [21] González Medina, Raúl (2016). Estudio y evaluación de prestaciones estáticas y dinámicas de los integradores generalizados de segundo orden en las estructuras de control de inversores fotovoltaicos de dos etapas con conexión a red.
- [22] Apuntes asignatura SEDGE del MUJI (2023). Tema 2.3. Universidad Politécnica de Valencia.
- [23] Apuntes asignatura SEDGE del MUJI (2023). Trabajo Final Asignatura. Universidad Politécnica de Valencia.
- [24] Anti-Aliasing, Analog Filters for Data Acquisition Systems.
- [25] Grid Converters for Photovoltaic and Wind Power Systems.
- [26] Filtro anti-aliasing:
- [27] Colaboradores de Wikipedia. (2023). Transformación bilineal. *Wikipedia, la enciclopedia libre*. https://es.wikipedia.org/wiki/Transformaci%C3%B3n_bilineal
- [28] componentes electrónicos de potencia (Libro).
- [29] Topic 6 - DC-DC Power Conversion and System Design Considerations for Battery Operated System.
- [30] panel bifacial Canada solar.

- [31] Apuntes asignatura VE del MUII (2023). Tema 3. Universidad Politécnica de Valencia.
- [32] Garcerá 2011
- [33] Apuntes asignatura DSEP (2023). Tema 1. Universidad Politécnica de Valencia.
- [34] SEDGE PyO (2023). Universidad Politécnica de Valencia.
- [35] Apuntes asignatura VE del MUII (2023). Universidad Politécnica de Valencia.
- [36] ChatGPT.
- [37] He, H., Xiong, R., & Fan, J. (2011). Evaluation of Lithium-Ion battery equivalent circuit models for state of charge estimation by an experimental approach. *Energies*, 4(4), 582-598. <https://doi.org/10.3390/en4040582>
- [38] Zhang, C., Allafi, W., Dinh, T. Q., Ascencio, P., & Marco, J. (2018). Online estimation of battery equivalent circuit model parameters and state of charge using decoupled least squares technique. *Energy*, 142, 678-688. <https://doi.org/10.1016/j.energy.2017.10.043>
- [39] Moreno Román, G. (2013, junio). *Diseño de un cargador de baterías de alta frecuencia*. *Escuela Politécnica Superior Universidad de Burgos*. https://riubu.ubu.es/bitstream/handle/10259/3538/Moreno_Rom%C3%A1n.pdf?sequence=1&isAllowed=y
- [40] Li, J., Murphy, E., Winnick, J., & Kohl, P. A. (2001). The effects of pulse charging on cycling characteristics of commercial lithium-ion batteries. *Journal of Power Sources*, 102(1-2), 302-309. [https://doi.org/10.1016/s0378-7753\(01\)00820-52](https://doi.org/10.1016/s0378-7753(01)00820-52).
- [41] Olmo Esteban, G. (2019, noviembre). Universidad Politécnica de Madrid (UPM). https://oa.upm.es/57278/1/TFG_GUILLERMO_OLMO_ESTEBAN.pdf
- [42] Texas Instruments Incorporated. (2015). *Phase-Shifted Full Bridge DC/DC Power Converter Design Guide*. https://www.ti.com/lit/ug/tidu248/tidu248.pdf?ts=1694691884235&ref_url=https%253A%252F%252Fwww.google.com%252F
- [43] SKIIP 26GH12T4V11 | Semikron Danfoss. (s. f.-b). <https://www.semikron-danfoss.com/products/product-classes/igbt-modules/detail/skiip-26gh12t4v11-25232570.html>
- [44] Garcerá, Figueres (2002): Componentes electrónicos de potencia.
- [45] *Disipador ABL Components de aluminio, 0.09°C/W, dim. 150 x 300 x 83mm, para usar con aluminio rectangular universal | RS*. (s. f.). <https://es.rs-online.com/web/p/disipadores/9033103?gb=s>
- [46] *TMS320F28069 data sheet, product information and support | TI.com*. (s. f.). https://www.ti.com/product/TMS320F28069?utm_source=google&utm_medium=cpc

[&utm_campaign=epd-null-null-GPN_EN-cpc-pf-google-
wwe&utm_content=TMS320F28069&ds_k=%7B_dssearchterm%7D&DCM=yes&gclid=
CjwKCAjw3oqoBhAjEiwA_UaLtted3K96_XshhSbtzYdfOsEFHHJOohH7HnnbZl3jusRttn9y
HDL-sBoCMswQAvD_BwE&gclidsrc=aw.ds](#)