



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA

– **TELECOM** ESCUELA
TÉCNICA **VLC** SUPERIOR
DE INGENIERÍA DE
TELECOMUNICACIÓN

UNIVERSITAT POLITÈCNICA DE VALÈNCIA

Escuela Técnica Superior de Ingeniería de
Telecomunicación

Diseño de un Amplificador Operacional CMOS de Alto
Rango Dinámico

Trabajo Fin de Grado

Grado en Ingeniería de Tecnologías y Servicios de
Telecomunicación

AUTOR/A: Urrea Martínez, Javier

Tutor/a: Herrero Bosch, Vicente

CURSO ACADÉMICO: 2023/2024

Resumen

El propósito de esta tesis es señalar la importancia del diseño electrónico analógico a nivel de semiconductor, el tamaño de los semiconductores está constantemente decreciendo, permitiéndonos integrar cada vez más transistores en un chip, permitiendo mejorar exponencialmente las capacidades en lo que a electrónica digital se refiere. Pero, ¿que hay de la analógica?. Contrariamente a lo que la gente puede llegar a creer, la electrónica analógica sigue siendo tan importante o incluso más que hace cincuenta años. Las últimas tecnologías son un desafío cada vez mayor para los diseñadores analógicos, ya que los parámetros críticos en diseños analógicos (ej, ruido, corrientes de polarización, consumo de potencia, estabilidad, ganancia, etc.) se degradan con cada reducción de la tecnología y cada vez, se vuelven más difíciles de entender.

Por este motivo, en esta tesis se ha propuesto el diseño de un amplificador operacional con alto margen dinámico de entrada con g_m constante en la tecnología de 180 nanómetros. En este diseño, se van a presentar diferentes configuraciones que podrían servir para llegar a esta meta, a la vez que se tratan los problemas que pueden surgir al usar dichas topologías. Finalmente, las características y los inconvenientes del diseño serán analizados y se propondrán posibles mejoras.

Resum

El propòsit d' esta tesi és assenyalar la importància del disseny electrònic analògic a nivell de semiconductor, la grandària dels semiconductors està constantment decreixent, permetent-nos integrar cada vegada més transistors en un xip, permetent millorar exponencialment les capacitats en lo que a electrònica digital es refereix. Però, que hi ha de l'analògica?. Contràriament al que la gent pot arribar a creure, l' electrònica analògica continua sent tan important o fins i tot més que fa cinquanta anys. Les últimes tecnologies són un desafiament cada vegada major per als dissenyadors analògics, ja que els paràmetres crítics en dissenys analògics (*ej, soroll, corrents de polarització, consum de potència, estabilitat, guany, etc.) es degraden amb cada reducció de la tecnologia i cada vegada, es tornen més difícils d' entendre.

Per este motiu, en esta tesi s'ha proposat el disseny d' un amplificador operacional amb alt marge dinàmic d' entrada amb g_m constant en la tecnologia de 180 nanòmetres. En este disseny, es presentaran diferents configuracions que podrien servir per a arribar a esta meta, alhora que es tracten els problemes que poden sorgir en usar aquestes topologies. Finalment, les característiques i els inconvenients del disseny seran analitzats i es proposaran possibles millores.

Abstract

The aim of this thesis is to point out the current importance of analog electronics design at semiconductor level, as the size of semiconductors continues to decrease allowing us to integrate more and more transistors in a chip, digital electronics are gradually enhancing its capabilities, (i.e., speed, power consumption, etc). But, what about analog electronics? Contrary to popular belief, analog electronics design is still as necessary as it was fifty years ago. The latest technology is a challenge for analog designers, as critical parameters in analog design (i.e., noise, gain, bias currents, power consumption, stability, etc.) become more complex to understand and to work with.

For this reason, a rail-to-rail input swing operational amplifier with constant gm in 180 nm technology is presented. In this design, different topologies to achieve that goal will be approached, as well as the problematics that leads analog designers to the necessity of using that specific topology. Finally, all the drawbacks and features of the design will be analysed and improvements will be proposed.

A mis padres y a los compañeros que me han apoyado a lo largo de todos estos años.

Índice general

I Memoria

1. Introducción a la microelectrónica	0
1.1. Microelectrónica orientada al diseño analógico	0
2. Amplificadores Operacionales	1
2.1. Características de los amplificadores operacionales	1
2.2. Parámetros de diseño de los operacionales	2
2.2.1. Ganancia A	2
2.2.2. Ancho de banda en pequeña señal	2
2.2.3. Margen de tensiones a la salida	3
2.2.4. Ruido del sistema	3
2.3. Comparación entre diferentes configuraciones	3
2.3.1. One-stage opamps	3
2.3.2. Multi-Stage Opamps	4
3. Amplificador operacional con amplio margen dinámico de entrada	6
3.1. Objetivos del diseño	7
3.2. Soluciones propuestas	7
3.2.1. Elección final	10
4. Desarrollo del diseño	11
4.1. Primera fase	11
4.1.1. Topología y estudio teórico de la etapa de salida	11
4.1.2. Dimensionamiento de transistores de la etapa de salida	12
4.1.3. Topología y estudio teórico de la etapa de entrada provisional	13
4.1.4. Dimensionamiento de transistores de la etapa de entrada provisional	14
4.2. Etapa de entrada con pares complementarios sin fuentes de corriente	14
4.2.1. Dimensionamiento de los transistores de la etapa de entrada	14
4.3. Etapa de entrada con pares complementarios con fuentes de corriente	15
4.3.1. Dimensionamiento de los transistores de las fuentes de corriente	16
4.4. Tamaño total del diseño	16
4.5. Diseño en cadence	17
4.5.1. Etapa de salida	17
4.5.2. Par diferencial tipo P	17
4.5.3. Par diferencial tipo N	18
4.5.4. Fuentes de corriente	18

4.5.5. Red de polarización	19
4.5.6. Diseño completo	19
5. Resultados y simulaciones	20
5.1. DC	20
5.1.1. Vin: 100mV	20
5.1.2. Vin: 1.7V	21
5.1.3. Vin: 1V	22
5.1.4. Consumo de potencia	23
5.2. Margen de fase y GBP	24
5.3. Ganancia	25
5.4. Ruido	26
5.5. THD	27
5.6. AC	27
5.7. Corners	28
5.8. Comparativa con otras topologías	31
5.8.1. Loop gain	31
5.8.2. GBP y Margen de fase	32
6. Posibles futuras mejoras	34
Bibliografía	35
II Anexos	
A. SUMARIO DE RUIDO	37

Índice de figuras

2.1. Símbolo del amplificador operacional (Opamp) [4]	1
2.2. Relación BW open-loop con repuesta en frecuencia closed-loop	2
2.3. Diferentes topologías de amplificador operacional (Opamp) One-Stage [5]	3
2.4. Cascodo plegado con carga PMOS cascodo [5]	4
2.5. Configuración multi-stage [5]	5
3.1. Pares diferenciales complementarios [5]	7
3.2. Comportamiento de la transconductancia (Gm) en la configuración 3.1	8
3.3. Push-pull current circuit [6]	8
3.4. Recirculating current bias circuit [6]	9
3.5. Circuito para etapas de entrada rail-to-rail con transconductancia (Gm) constante [7]	9
3.6. Resultado experimental [7]	9
3.7. Pares diferenciales complementarios con fuentes de corriente [7]	10
3.8. transconductancia (Gm) esperada con la topología propuesta en 3.7	10
4.1. Topología + Pole splitting	12
4.2. Topología de la etapa de entrada provisional	13
4.3. Esquemático de la entrada con pares diferenciales complementarios	14
4.4. Esquemático de las fuentes de corriente que controlan la transconductancia (Gm)	15
4.5. Etapa de salida en cadence	17
4.6. Par diferencial de entrada tipo P en cadence	17
4.7. Par diferencial de entrada tipo N en cadence	18
4.8. Fuentes de corriente en cadence	18
4.9. Redes de polarización en cadence	19
4.10. Diseño completo en cadence	19
5.1. Simulación fuentes de corriente DC: 100mV	21
5.2. Simulación pares diferenciales DC: 100mV	21
5.3. Simulación fuentes de corriente DC: 1.7V	22
5.4. Simulación pares diferenciales DC: 1.7V	22
5.5. Simulación fuentes de corriente DC: 1V	23
5.6. Simulación pares diferenciales DC: 1V	23
5.7. Tensión y corriente totales	24
5.8. Margen de fase y GBP	24
5.9. Ganancia de lazo (dB)	25
5.10. Ganancia de lazo [0V - 0.1V](dB)	25
5.11. Ganancia de lazo [1.7V - 1.8V](dB)	26
5.12. Densidad espectral del ruido	26

5.13. Valor de ruido RMS	26
5.14. Señal de salida en el tiempo	27
5.15. Valor porcentual de distorsión armónica	27
5.16. Overshoot [0V - 1.8V]	28
5.17. Ancho de banda [0V - 1.8V]	28
5.18. Desviación de fase y GBP a los $27^{\circ}C$	29
5.19. Desviación de fase y GBP a los $60^{\circ}C$	30
5.20. Simulación en cadence de valores de 5.3 y 5.2	31
5.21. Loop gain topología 3.1. [5]	31
5.22. Loop gain topología 4.2	32
5.23. Margen de fase y GBP topología 3.1. [5]	32
5.24. Margen de fase y GBP topología 4.2	33
A.1. Sumario de contribuciones de ruido	37

Índice de tablas

2.1. Comparación entre diferentes topologías de amplificador operacional (Opamp) [5]	5
4.1. Tamaño de los transistores	12
4.2. Tamaño de los transistores de la etapa de entrada provisional	14
4.3. Tamaño de los transistores del par diferencial tipo N	15
4.4. Tamaño de los transistores de las fuentes de corriente	16
4.5. Área total del diseño	16
5.1. Desviaciones máximas y mínimas	29
5.2. Margen de fase vs temperatura vs corners	30
5.3. GBP vs temperatura vs corners	30
5.4. Comparación entre diferentes topologías	33

Listado de siglas empleadas

A Ganancia.

ETSIT Escuela técnica superior de ingeniería de telecomunicación.

G_m transconductancia.

Opamp amplificador operacional.

Z_i Impedancia de entrada.

Z_o Impedancia de salida.

Parte I

Memoria

Capítulo 1

Introducción a la microelectrónica

A lo largo de la historia de la humanidad, se han producido diversas revoluciones tecnológicas que han cambiado el mundo tal y como se conocía hasta la fecha. Un ejemplo muy conocido y reciente es la revolución industrial con la invención de la máquina de vapor en el siglo XIX, siendo los grandes protagonistas de este siglo el acero y la industria pesada [1].

Posteriormente, surgió la denominada revolución electrónica. En este caso, se tuvo como protagonista a los materiales semiconductores, en especial, el silicio, siendo este el material que se sigue usando a día de hoy en la producción de transistores. Esta revolución ha dado paso a otra revolución en la que estamos inmersos a día de hoy, denominada la revolución digital [2].

A raíz de estas revoluciones, han surgido dispositivos y sistemas que están ya totalmente integrados en nuestras sociedades, como puede ser el internet, un avanzado sistema de comunicaciones, teléfonos móviles, ordenadores y un sinfín de cosas más [2]. Sin embargo, el principal detonante de todo esto es el desarrollo de la microelectrónica [3].

1.1. Microelectrónica orientada al diseño analógico

En el dominio digital se ha conseguido escalar los transistores a una velocidad de vértigo, encontrándonos hoy ya transistores de 5 nanómetros. Sin embargo, en el dominio analógico, escalar la tecnología cuesta mucho más debido a la alta degradación que experimentan los componentes analógicos en sus parámetros de diseño en cada escalado. Tanto es así, que un nuevo nodo tecnológico tarda en introducirse en el dominio analógico una o dos generaciones más tarde que su homólogo digital.

Este fenómeno tiene su explicación en que los transistores se utilizan en dominio digital como conmutadores, buscando por encima de todo, la velocidad de estos y la capacidad de integración, cuanto más pequeños sean los transistores, mayor número de estos se podrán introducir en un chip, en analógica, se tienen en cuenta otros parámetros como el ruido, la estabilidad, linealidad, swing de tensión, ganancia, etc.

Por último, debemos comentar que el trabajo de un diseñador analógico sigue siendo igual o más importante que antes aunque hoy en día parezca que todo es digital. Es por esto, que en esta tesis se realizará el diseño de uno de los componentes más importantes de un diseño analógico, un amplificador operacional.

Capítulo 2

Amplificadores Operacionales

Los amplificadores operacionales conforman una parte muy importante dentro de la microelectrónica analógica, tanto es así que forman parte de la gran mayoría de circuitos analógicos y mixtos, con funciones que van desde la generación de tensiones de polarización hasta la amplificación y filtrado de señales de alta frecuencia.

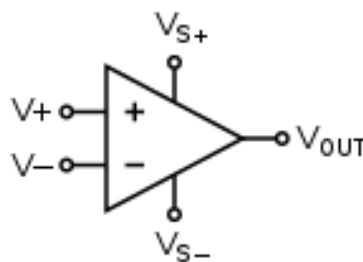


Figura 2.1: Símbolo del amplificador operacional (Opamp) [4]

2.1. Características de los amplificadores operacionales

Las características de los opamps son muchas, sin embargo, tienen tres principales características principales que los definen con gran precisión.

- Alta Ganancia (A) $\uparrow\uparrow$
- Impedancia de entrada (Z_i) que tiende a ∞
- Impedancia de salida (Z_o) que tiende a 0

Estas características son, en términos generales, lo que ha definido los procesos de diseño de dichos opamps durante muchos años, debido a que su utilización era principalmente de propósito general.

Con el aumento de la tecnología y por ende, de la capacidad de integración y la necesidad de abordar diferentes necesidades en nuevos diseños, han tomado importancia otros parámetros de diseño que antes se podían despreciar.

2.2. Parámetros de diseño de los operacionales

Hoy en día, a la hora de diseñar un amplificador operacional (Opamp), un diseñador analógico puede encontrarse con situaciones en las que para mejorar el rendimiento del dispositivo en un ámbito en concreto, habrá que empeorar su rendimiento en otro ámbito.

Es por esto que hoy en día se han de tener muy claras las especificaciones deseadas para el diseño y ver que parámetros habrá que potenciar, a costa de degradar otros.

A continuación, se presentan brevemente algunos de estos parámetros, desarrollados de una forma más completa en [5]

2.2.1. Ganancia A

La ganancia es uno de los parámetros más importantes en el diseño de un amplificador operacional (Opamp).

En un amplificador operacional (Opamp) ideal, este valor tiende a ∞ , sin embargo, en uno real este valor suele estar entre valores de 10^4 y 10^5

2.2.2. Ancho de banda en pequeña señal

En un diseño se ha de tener muy en cuenta el ancho de banda en pequeña señal, o baja frecuencia, se entiende como ancho de banda como el punto en el cuál, la ganancia en lazo abierto cae 3dB por debajo de su valor. Este parámetro permitirá comprender mejor la respuesta en frecuencia del cierto en lazo cerrado.

- Incremento del Ancho de Banda (BW)

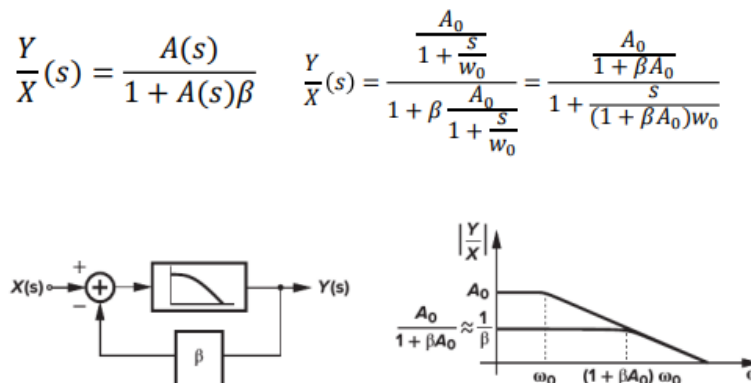


Figura 2.2: Relación BW open-loop con repuesta en frecuencia closed-loop

2.2.3. Margen de tensiones a la salida

Este es otro de los parámetros de diseño que cobra una gran importancia dependiendo de la aplicación que se está diseñando. Adquirir un alto rango de tensiones disponibles a la salida choca con otros parámetros importantes como el tamaño del dispositivo y las corrientes de polarización, haciendo de este un auténtico desafío. Es por esto que se puede optar por introducir soluciones totalmente diferenciales, o en su defecto, utilizar una segunda etapa para aumentar el swing como se verá posteriormente.

2.2.4. Ruido del sistema

El ruido es otro parámetro que se deberá tener en cuenta cuando se está diseñando alguna aplicación que requiera de una alta calidad e integridad en la señal de salida. Este parámetro también choca con otros, como por ejemplo el margen de tensiones a la salida, comentado anteriormente.

2.3. Comparación entre diferentes configuraciones

A continuación, se van a estudiar y comparar algunas de las configuraciones propuestas en [5] de amplificadores operacionales.

En esta tesis, se va a comparar únicamente entre algunas configuraciones one-stage y multi-stage.

2.3.1. One-stage opamps

Para empezar, comentar que cualquier amplificador diferencial podría ser considerado un amplificador operacional, ya sea "single-ended" o "fully-differential".

En este caso, para alcanzar grandes valores de ganancia son muy utilizadas las configuraciones cascado, siendo las más conocidas la configuración en cascado telescópico y la configuración en cascado plegado 2.3

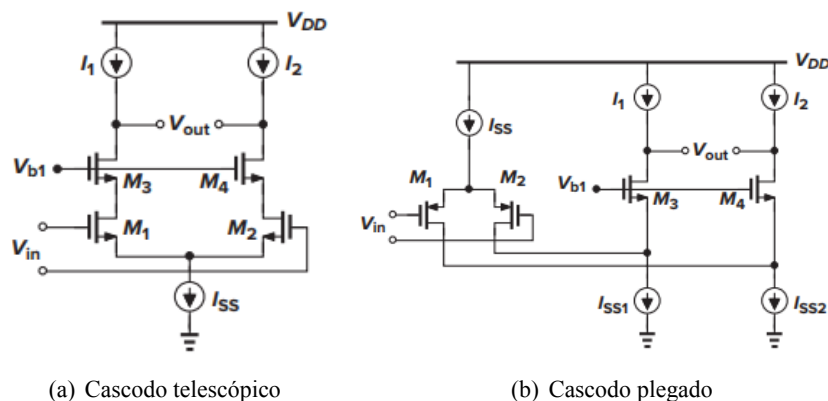


Figura 2.3: Diferentes topologías de amplificador operacional (Opamp) One-Stage [5]

Cada una de estas topologías, presenta unas características diferentes y será más útil de utilizar en unos casos u en otros.

Por ejemplo, mientras que en el cascode telescópico se puede optar a una mayor ganancia, el margen de tensiones a la salida está más limitado que en el cascode plegado. Sin embargo, a su vez, en el cascode plegado enfrentaríamos un mayor ruido y una mayor disipación de potencia.

Una de las características más interesantes que presenta el cascode plegado frente al cascode telescópico es que este presenta un mayor rango de tensiones de entrada que puede acomodar.

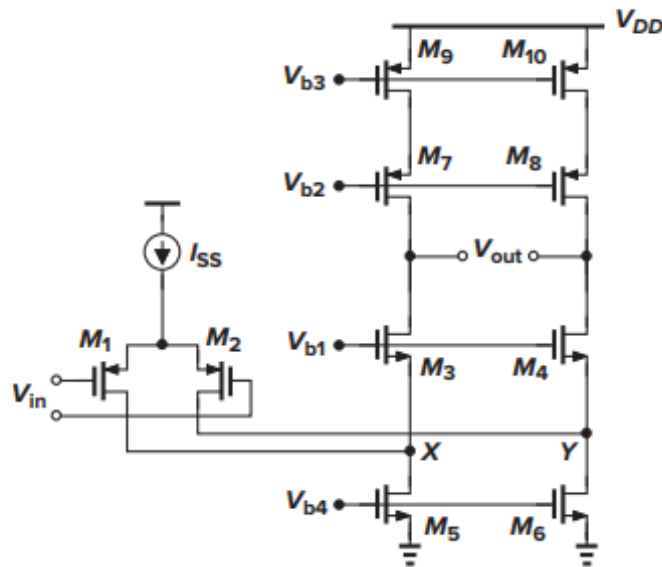


Figura 2.4: Cascode plegado con carga PMOS cascode [5]

Si se toma por ejemplo, la configuración cascode representada en la figura 2.4 y se analiza su margen de tensiones a la salida se obtiene lo siguiente:

$$V_{out_{min}} = V_{d_{sat3}} + V_{d_{sat5}} \quad (2.1)$$

$$V_{out_{max}} = V_{DD} - |V_{d_{sat7}}| + |V_{d_{sat9}}| \quad (2.2)$$

Si suponemos una tensión de alimentación $V_{DD} = 1.8V$ y una $V_{dsat} = 0.150V$, tendríamos un output swing máximo de $1.2V$. Estaríamos perdiendo aproximadamente un 35 % del rango de tensión disponible por alimentación. Esta es una de las más importantes limitaciones que experimentan los amplificador operacional (Opamp) de una única etapa.

2.3.2. Multi-Stage Opamps

Para paliar esta importante limitación y algunas otras de los amplificador operacional (Opamp) de una etapa surgen los () de más etapas.

Esto se hace cada vez más necesario a medida que la tecnología disminuye de tamaño, debido a que si se necesita un margen de tensión de salida de 1.6V, teniendo una tensión de alimentación de 1.8V, sería imposible conseguir esto únicamente con un amplificador operacional de una etapa.

Es aquí donde viene lo interesante de las configuraciones multi-etapa como ya hemos comentado, con estas podríamos aprovechar la alta ganancia de un amplificador operacional en configuración de cascode plegado o telescópico, sumado a una segunda etapa que permita conseguir un swing rail-to-rail a la salida para poder utilizar un 90 % o más del rango de alimentación disponible.

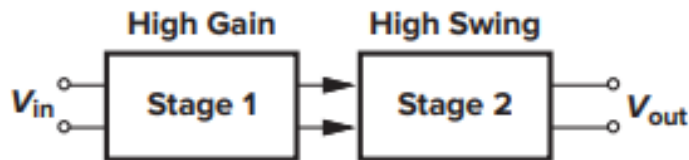


Figura 2.5: Configuración multi-stage [5]

	Ganancia	Swing	Velocidad	Ruido
Cascodo telescópico	Medio	Medio	Muy alto	Bajo
Cascodo plegado	Medio	Medio	Alto	Medio
Two-stage	Alto	Muy alto	Bajo	Bajo

Tabla 2.1: Comparación entre diferentes topologías de amplificador operacional (Opamp) [5]

Por último, se presenta una tabla a modo de resumen de la comparación entre diferentes topologías comentadas en esta tesis 2.1.

Capítulo 3

Amplificador operacional con amplio margen dinámico de entrada

Se han tratado previamente algunos parámetros importantes a la hora de diseñar amplificadores operacionales, sin embargo, ¿qué pasa cuando se requiere disponer de un amplio margen de tensiones en la entrada?

En este caso, ninguna de las soluciones de () previamente presentados sería capaz de ofrecer un rendimiento adecuado.

Tomando como ejemplo el cascode plegado de la figura 2.4, el cuál, como ya se comentó en previos apartados, puede acomodar el máximo rango de tensiones de entrada de todas las configuraciones analizadas, se tiene lo siguiente:

$$V_{in_{max}} = VDD - V_{dsat_{SS}} + |V_{gs_{M1,M2}}| \quad (3.1)$$

Tomando un valor de alimentación de 1.8V, una tensión de saturación del transistor que ocupará el lugar de I_{SS} de 50mV y una tensión de V_{gs} de los transistores M1 y M2 de aproximadamente 0.8V y despejando en la ecuación 3.1, se tendría una tensión de alimentación máxima de 0.95V.

La tensión de alimentación mínima podría llegar a ser incluso menor de 0 despejando las ecuaciones, por tanto, diremos que es 0.

En este caso tendríamos un input swing máximo de 0.95V.

Estos limitados márgenes de tensión en la entrada pueden resultar completamente limitantes dependiendo de la aplicación requerida, puesto que se está utilizando apenas la mitad de todo el rango disponible de tensión de alimentación.

Es por este motivo que se ha planteado el desarrollo de una solución que nos permita incorporar todo o prácticamente todo el espectro de tensiones disponibles en la entrada.

3.1. Objetivos del diseño

Los objetivos de este diseño serán, por un lado, el de obtener una topología de amplificador operacional (Opamp) que nos permita disponer de un alto rango dinámico de tensiones de entrada al amplificador, y por otro lado, garantizar también un amplio margen de tensiones en la salida, estabilidad en el circuito, un buen valor de ganancia, etc.

3.2. Soluciones propuestas

En [5] se propone una simple solución a esta problemática, esta no es otra que utilizar una configuración de pares diferenciales complementarios, de modo que, cuando uno de los pares diferenciales esté en OFF, el otro esté trabajando. En la figura 3.1 se puede observar un esquemático de la solución propuesta.

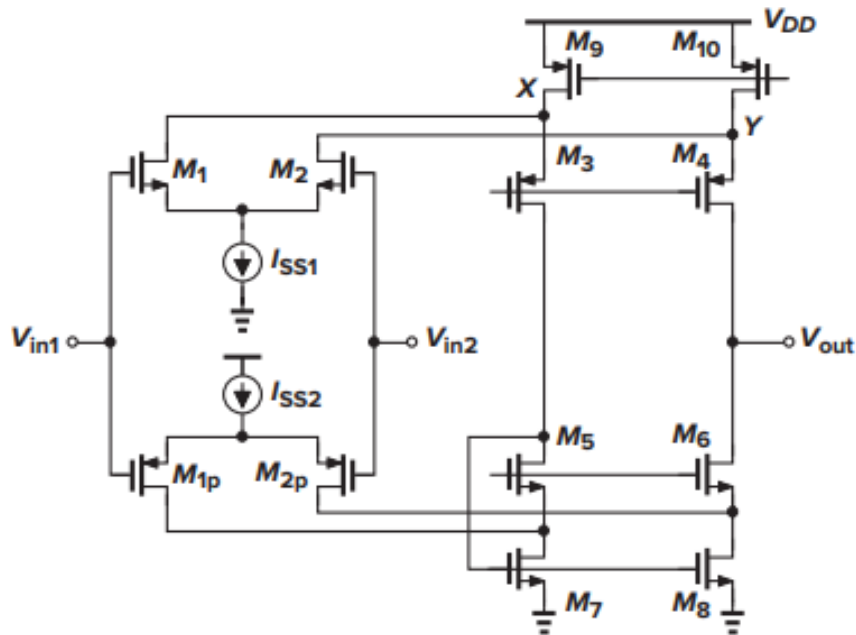


Figura 3.1: Pares diferenciales complementarios [5]

De este modo, se conseguiría un input swing en el rango de [0-1.8V].

Rango de trabajo del par diferencial PMOS

$$V_{in,max} \approx V_{dd} - |V_{gs1p,2p}| - V_{SS2} \quad (3.2)$$

Rango de trabajo del par diferencial NMOS

$$V_{in,min} \approx |V_{gs1,2}| + V_{SS} \quad (3.3)$$

Sin embargo, de esta configuración surge un problema incluso más importante: cuando ambos pares diferenciales estén trabajando conjuntamente, la transconductancia (G_m) de ambos pares diferenciales se sumará y se dispondrá de una ganancia unidad en frecuencias totalmente distintas, obteniéndose un comportamiento de dicha transconductancia (G_m) similar a lo representado en la 3.2, lo cuál hará esta configuración profundamente inestable.

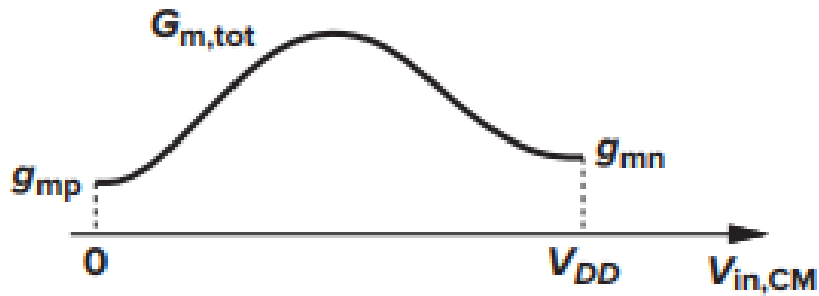


Figura 3.2: Comportamiento de la transconductancia (G_m) en la configuración 3.1

Para paliar este comportamiento tan indeseable de transconductancia (G_m) hay una gran multitud de soluciones.

Diferentes configuraciones para ello pueden encontrarse en [6] como puede ser el "push-pull current circuit" fig.3.3 o el recirculating current bias circuit" fig.3.4.

El problema de estas configuraciones presentadas, es que se ataca directamente a la corriente de polarización de los pares diferenciales implicados, complicando esto la polarización del circuito y por tanto, su estudio.

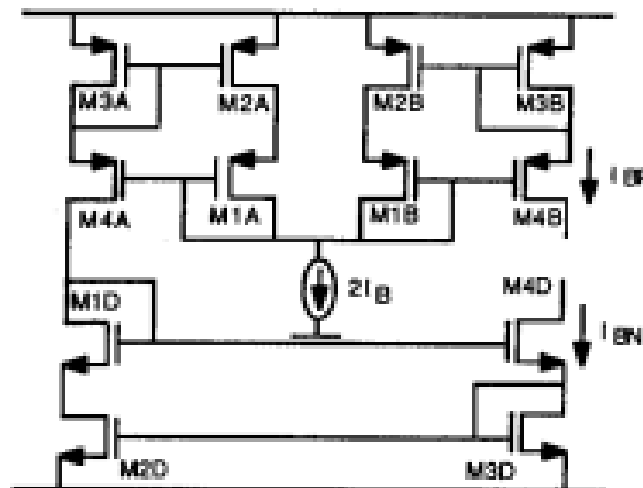


Figura 3.3: Push-pull current circuit [6]

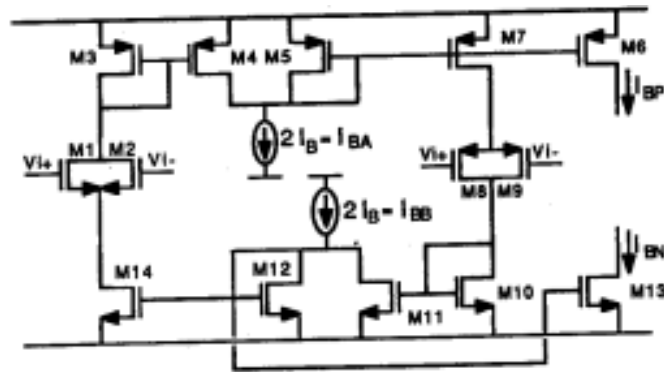


Figura 3.4: Recirculating current bias circuit [6]

Otra posible opción es la topología de la figura 3.5, propuesta en [7]. Cuya respuesta experimental, fig.3.6 prueba ser muy buena, sin embargo, en este caso se tiene la limitación de la tecnología utilizada. Al ser una tecnología de $2\ \mu\text{m}$ que utiliza una tensión de alimentación de 5V, se dimensiona los transistores de un modo totalmente distinto y habrá que encontrar un factor de escalado tanto para transistores como para componentes como capacitores. En otras palabras, se descarta por complejidad de implementación.

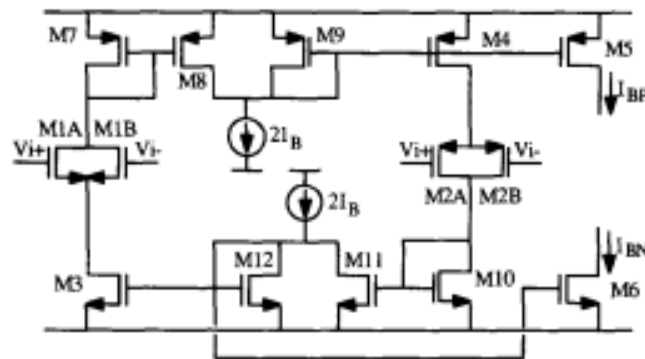


Figura 3.5: Circuito para etapas de entrada rail-to-rail con transconductancia (G_m) constante [7]

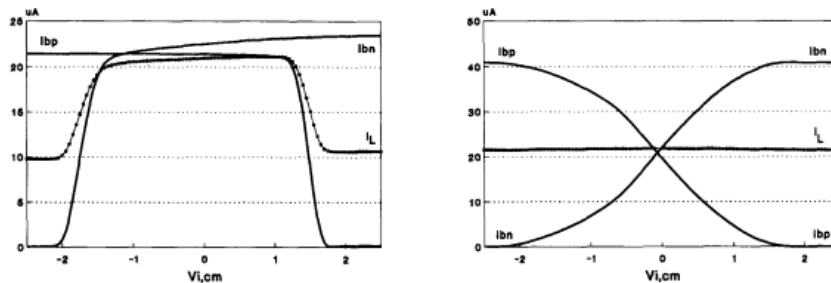


Figura 3.6: Resultado experimental [7]

3.2.1. Elección final

Finalmente, se ha elegido la proposición de añadir unas fuentes de corriente, de modo que a través de estas se controle la transconductancia (G_m), añadiendo corriente al sistema cuando sea necesario. [7].

Una característica que diferencia a estas fuentes de corriente de las de las topologías previas, es que no cambian la corriente de polarización en los pares diferenciales cuando ambos están trabajando, lo cuál hará este diseño más simple a la hora de polarizarlo en dc.

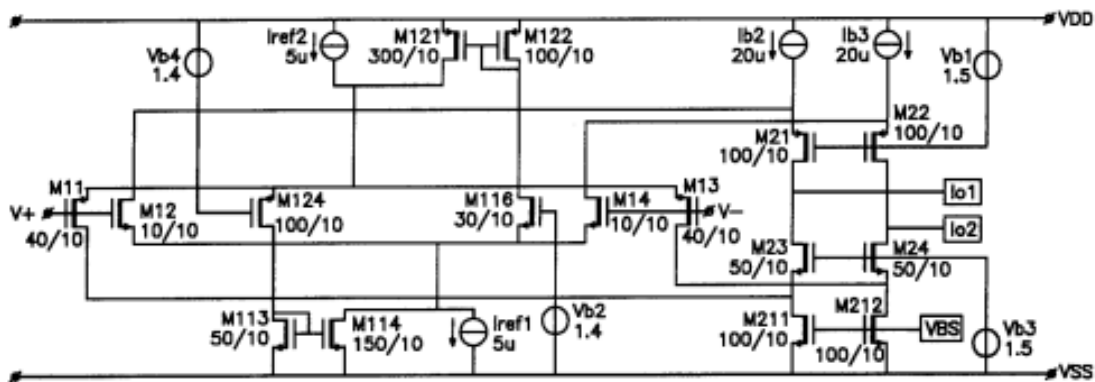


Figura 3.7: Pares diferenciales complementarios con fuentes de corriente [7]

El funcionamiento de estas fuentes de corriente M116 y M124 de la figura 3.7, a grandes rasgos no será otro que, añadir corriente al par diferencial que en cierto momento esté en OFF, para igualarlo con el par diferencial que sí esté trabajando, mientras que cuando ambos pares diferenciales estén funcionando, dichas fuentes de corrientes estén en OFF.

Estas fuentes de corriente se complementan añadiendo unas corrientes de referencia I_{ref1} e I_{ref2} , y espejos de corriente para aumentar el nivel de corriente cuando sea necesario.

De este modo, si tuviésemos funcionando por ejemplo, el par diferencial PMOS únicamente, al estar moviéndonos en una tensión de entrada cercana a 0, estaría encendida la fuente de corriente M116, a través de esta fluiría la corriente de referencia I_{ref1} , esta pasaría por el multiplicador de corriente, obteniéndose $3I_{ref1}$, y finalmente, sumado a I_{ref2} , se obtiene una corriente en el par complementario PMOS una $I_p \approx 4I_{ref1,2}$, obteniéndose así la corriente que se aportaría al circuito en caso de que ambos pares diferenciales complementarios estuvieran trabajando conjuntamente.

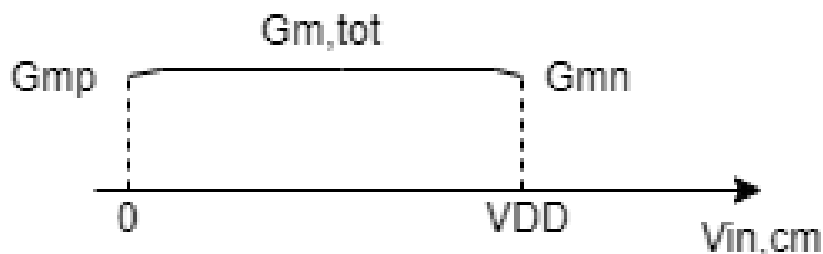


Figura 3.8: transconductancia (G_m) esperada con la topología propuesta en 3.7

Capítulo 4

Desarrollo del diseño

El proceso de diseño se ha dividido en 3 fases.

- Diseño de la etapa de salida, con un único par diferencial PMOS a la entrada
- Diseño de la etapa de entrada con pares diferenciales complementarios sin fuentes de corriente + etapa de salida
- Diseño de la etapa de entrada con pares diferenciales complementarios con fuentes de corriente + etapa de salida

El motivo de realizar el diseño en este orden, a parte de por coherencia en lo que a dificultad se refiere, partiendo de una base más fácil hasta el diseño final con una mayor complejidad, es con la intención de poder comparar las respuestas de los diferentes diseños por medio de diferentes simulaciones, para así comprobar que se ha obtenido el resultado que se quería.

La etapa de salida se ha agregado con el fin de añadir robustez y mejorar alguna de las especificaciones del diseño final. El objetivo final por tanto, consta de realizar un amplificador operacional clase AB, con un amplio rango dinámico de tensiones en entrada y salida.

4.1. Primera fase

4.1.1. Topología y estudio teórico de la etapa de salida

En la figura 4.1 se ha representado la topología que se empleará en la etapa de salida del diseño. En esta etapa se presenta una configuración push-pull, para alargar el output voltage swing, de modo que sea prácticamente rail-to-rail [0-1.8V], añadiéndole también una compensación de Miller para añadir estabilidad al sistema. También se tendrá un transistor PMOS que funcionará como una fuente de corriente (MP3) y otro transistor PMOS (MP2) que se comportará como una pila.

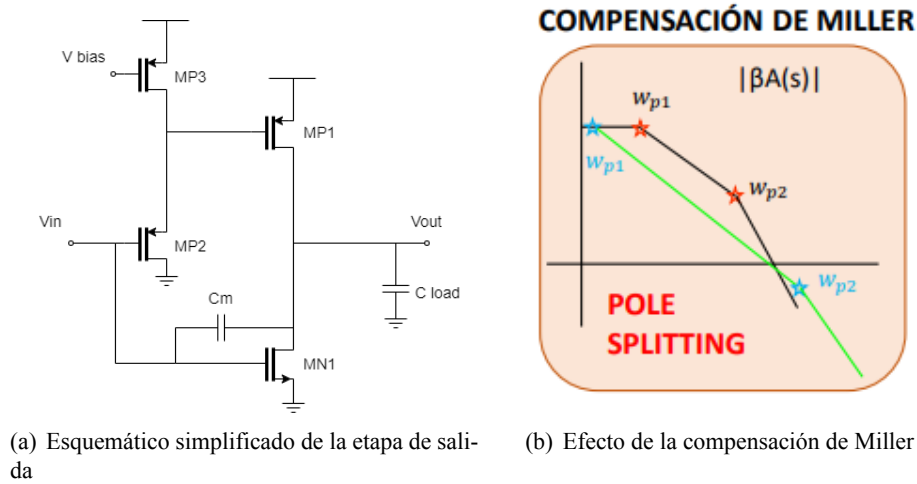


Figura 4.1: Topología + Pole splitting

Los criterios de diseño para la etapa serán el slew rate, el GBP o frecuencia de ganancia unitaria y el tamaño de los transistores. Si estimamos un condensador de carga de 1 pF, un GBP de aproximadamente 100 MHz y un slew rate de 100V/ μ s se tienen las siguientes expresiones:

$$IDQ = SlewRate * Cload = 100\mu A \quad (4.1)$$

$$Wp2 = 2 * GBP = 200MHz \quad (4.2)$$

$$gm = Wp2 * Cload = 1,25mA \quad (4.3)$$

Según los cálculos, la transconductancia (Gm) de los transistores MN1 y MP1 deberá ser aproximadamente 1.25 mA. Sin embargo, otro criterio de diseño al que también hay que atender para que la etapa sea rail-to-rail es la tensión de saturación de los transistores, por tanto, finalmente quedará cerca de los 3 mA para situarse en inversión débil y tener Vdsat < 100 mV.

4.1.2. Dimensionamiento de transistores de la etapa de salida

	Anchura	Longitud	Area
MP1	2400 μm	0.3 μm	720 μm^2
MN1	1200 μm	0.3 μm	360 μm^2
MP2	20 μm	0.3 μm	6 μm^2
MP3	80 μm	0.3 μm	24 μm^2

Tabla 4.1: Tamaño de los transistores

4.1.3. Topología y estudio teórico de la etapa de entrada provisional

Para la etapa de entrada, el principal criterio de diseño que se ha seguido es el de tener un consumo y área aceptables, se ha estimado el valor de corriente que ha de tener cada rama del par diferencial y a raíz de ahí, se han dimensionado los transistores.

La etapa de entrada en esta parte como se ha explicado previamente, será un amplificador operacional en topología de folded cascode single-ended.

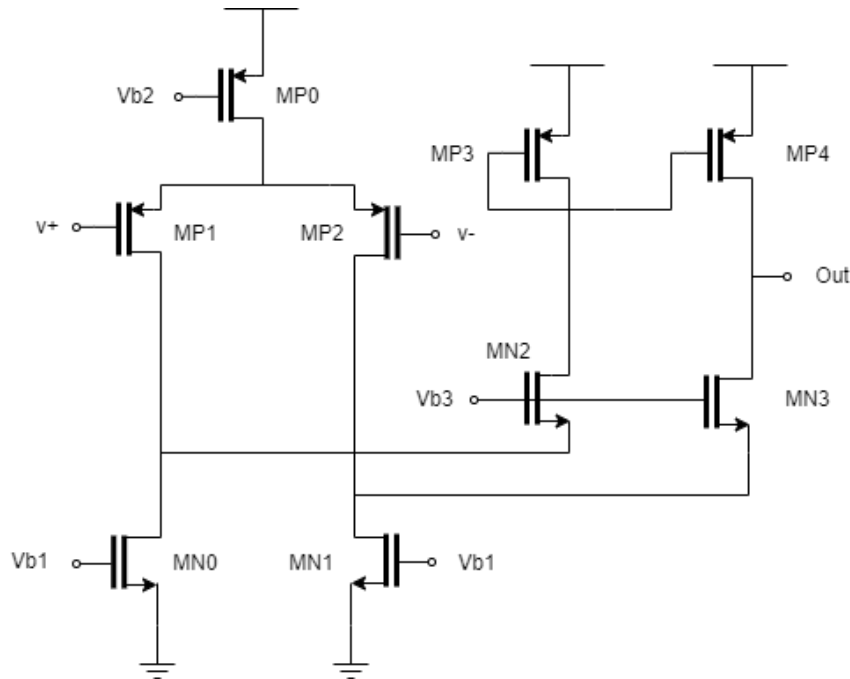


Figura 4.2: Topología de la etapa de entrada provisional

MP0, MN0 y MN1 actuarán como fuentes de corriente que aplicarán $100\mu A$ al sistema, para tener finalmente en la rama de salida $50\mu A$.

MP1 y MP2 son los transistores a los que se aplica la tensión de entrada, es por esto, que estos transistores también tendrán que tener un ancho elevado, elevando así el valor de transconductancia (G_m) y por ende, aumentando el GBP del sistema.

El control de esta transconductancia (G_m) y por tanto del GBP del sistema, es si recordamos, el principal desafío de este proyecto a la hora de tener dos pares diferenciales complementarios trabajando al mismo tiempo.

En el caso de esta etapa de entrada, comentar también que MP3 y MP4 se conectarán en modo diodo buscando una topología single-ended, aunque esto no tendrá relevancia en fases del diseño futuras.

4.1.4. Dimensionamiento de transistores de la etapa de entrada provisional

	Anchura	Longitud	Area
MP0	160 μm	0.6 μm	96 μm^2
MP1	500 μm	0.3 μm	150 μm^2
MP2	500 μm	0.3 μm	150 μm^2
MP3	110 μm	1 μm	110 μm^2
MP4	110 μm	1 μm	110 μm^2
MN0	22 μm	0.3 μm	6.6 μm^2
MN1	22 μm	0.3 μm	6.6 μm^2
MN2	60 μm	0.3 μm	18 μm^2
MN3	60 μm	0.3 μm	18 μm^2

Tabla 4.2: Tamaño de los transistores de la etapa de entrada provisional

4.2. Etapa de entrada con pares complementarios sin fuentes de corriente

En esta segunda fase, se utilizarán la etapa de salida y de entrada que se han utilizado en la primera fase, añadiendo en este caso a la etapa de entrada, otra etapa de entrada complementaria, es decir, exactamente igual pero en vez de tipo P, tipo N.

Quedando el esquemático del circuito como el que se representa en la figura 4.3

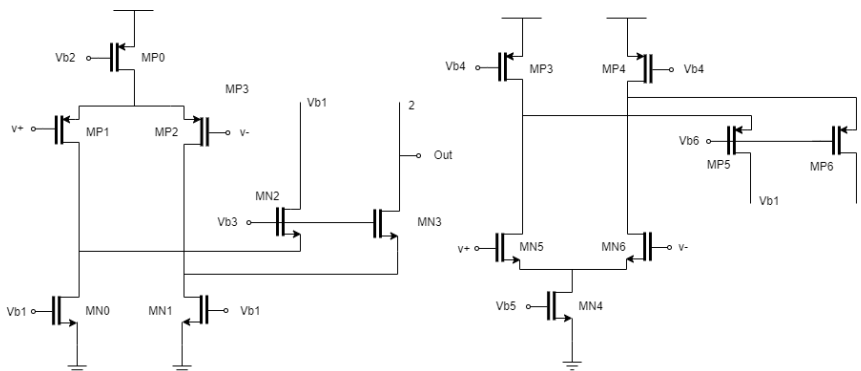


Figura 4.3: Esquemático de la entrada con pares diferenciales complementarios

4.2.1. Dimensionamiento de los transistores de la etapa de entrada

El dimensionamiento de los transistores se realizará con el mismo criterio que el par diferencial tipo P diseñado en la fase 1, con algunas pequeñas diferencias intrínsecas que tienen los transistores tipo N sobre los tipo P, un transistor tipo N necesitará ser unas 5 veces más pequeño para conseguir la misma transconductancia (G_m) que un transistor tipo P.

	Anchura	Longitud	Area
MN4	$16.8\mu m$	$1.2\mu m$	$20.16\mu m^2$
MN5	$80\mu m$	$0.3\mu m$	$24\mu m^2$
MN6	$80\mu m$	$0.3\mu m$	$24\mu m^2$
MP3	$23\mu m$	$0.3\mu m$	$6.9\mu m^2$
MP4	$23\mu m$	$0.3\mu m$	$6.9\mu m^2$
MP5	$140\mu m$	$0.3\mu m$	$42\mu m^2$
MP6	$140\mu m$	$0.3\mu m$	$42\mu m^2$

Tabla 4.3: Tamaño de los transistores del par diferencial tipo N

Véase que esta nueva etapa de entrada 4.3 formada por dos pares diferenciales complementarios será la etapa de entrada definitiva, tan solo faltará hacerle una pequeña modificación para añadirle las fuentes de corriente.

En esta segunda fase se han eliminado los transistores en modo diodo de la etapa de entrada de la fase 1 que funcionaban como resistencia de carga, puesto que ahora la resistencia de carga la ejerce el par complementario.

4.3. Etapa de entrada con pares complementarios con fuentes de corriente

Finalmente, en la última fase del diseño se añadirán las fuentes de corriente al circuito [7]. Como se muestra en la figura 4.4

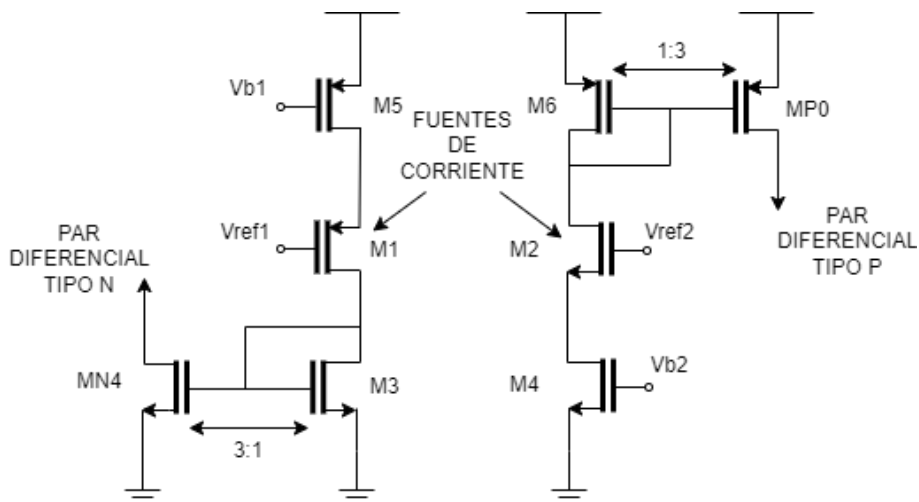


Figura 4.4: Esquemático de las fuentes de corriente que controlan la transconductancia (Gm)

4.3.1. Dimensionamiento de los transistores de las fuentes de corriente

Los transistores M4 y M5 serán los encargados de aportar una corriente de referencia en la rama. Por tanto, se dimensionarán buscando conseguir un cierto valor de corriente.

Por otro lado, se tienen Vref1 y Vref2, estas tensiones de referencia serán las encargadas de hacer que una fuente de corriente esté en OFF o en ON. La tensión Vref1 deberá estar cerca de $V_{in_{max}}$ del par complementario P y vref2 de $V_{in_{min}}$ del par complementario N.

Por último, los transistores M3 y M6 se conectan en modo diodo con las fuentes de corriente que polarizan los pares diferenciales, haciendo un paso de corriente de 1:3, es decir, estos transistores deberán tener un ancho 3 veces inferior que MP0 y MN4 respectivamente.

	Anchura	Longitud	Area
M1	$6\mu m$	$0.3\mu m$	$1.8\mu m^2$
M2	$10\mu m$	$0.3\mu m$	$3\mu m^2$
M3	$5.6\mu m$	$1.2\mu m$	$6.72\mu m^2$
M4	$15\mu m$	$0.3\mu m$	$4.5\mu m^2$
M5	$45\mu m$	$0.45\mu m$	$20.25\mu m^2$
M6	$53.3\mu m$	$0.6\mu m$	$31.98\mu m^2$

Tabla 4.4: Tamaño de los transistores de las fuentes de corriente

4.4. Tamaño total del diseño

Una vez se tienen dimensionados todos los transistores, es importante saber el área exacta que ocupará el diseño en total.

En la tabla 4.5 se pueden ver sumadas todas las contribuciones de área de las diferentes partes, los pares diferenciales tipo P y N, las fuentes de corriente que controlan la transconductancia (G_m), la etapa de salida, y el tamaño total de la red de polarización, que aún no se había tratado.

	Area
Etapa de salida	$1100\mu m^2$
Par tipo P	$665.2\mu m^2$
Par tipo N	$165.96\mu m^2$
Fuentes de corriente	$68.27\mu m^2$
Red de polarización	$184.95\mu m^2$
Total	$2184.38\mu m^2$

Tabla 4.5: Área total del diseño

4.5. Diseño en cadence

Una vez se ha pensado la topología y se ha dimensionado los transistores a modo de primera aproximación, se pasa todo el diseño a cadence. En concreto, se ha utilizado el kit de diseño de XFAB que se tiene en el aula de microelectrónica de la Escuela técnica superior de ingeniería de telecomunicación (ETSIT) con tecnología de 180 nanómetros como ya se ha comentado previamente.

4.5.1. Etapa de salida

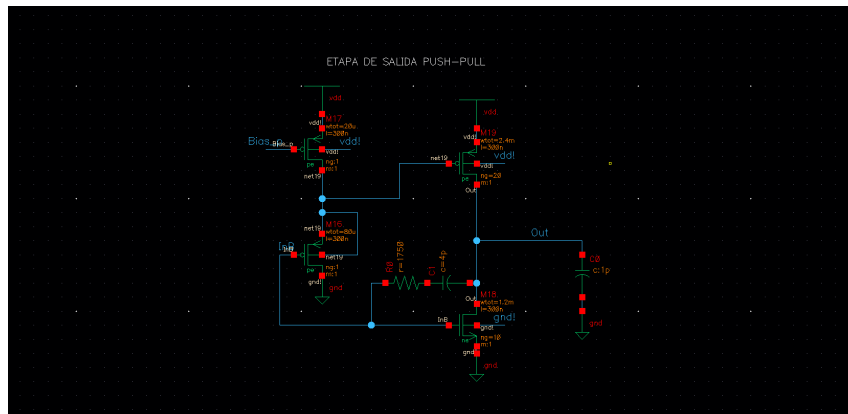


Figura 4.5: Etapa de salida en cadence

4.5.2. Par diferencial tipo P

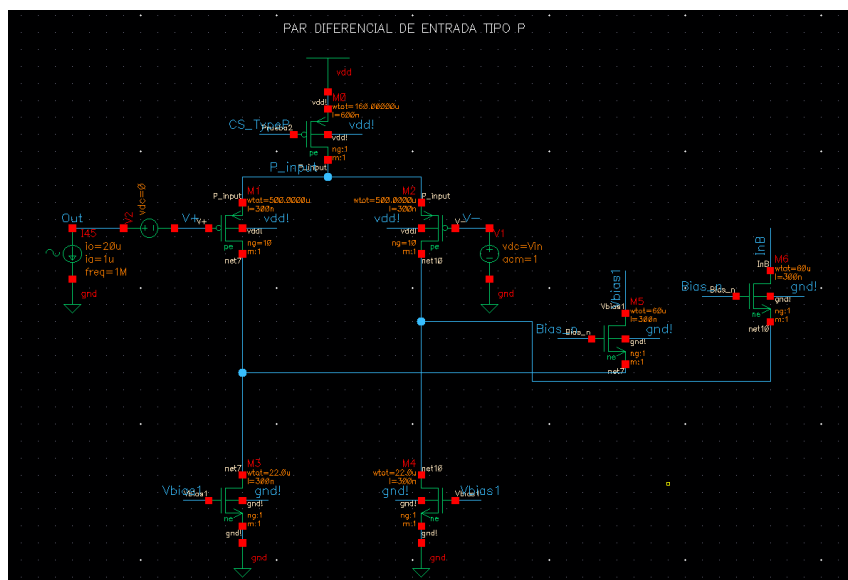


Figura 4.6: Par diferencial de entrada tipo P en cadence

4.5.3. Par diferencial tipo N

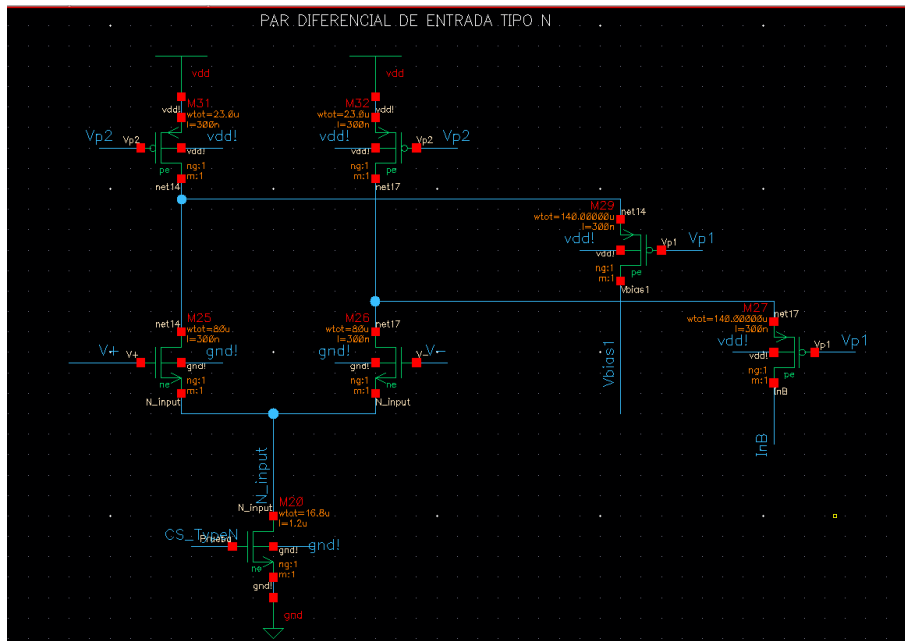


Figura 4.7: Par diferencial de entrada tipo N en cadence

4.5.4. Fuentes de corriente

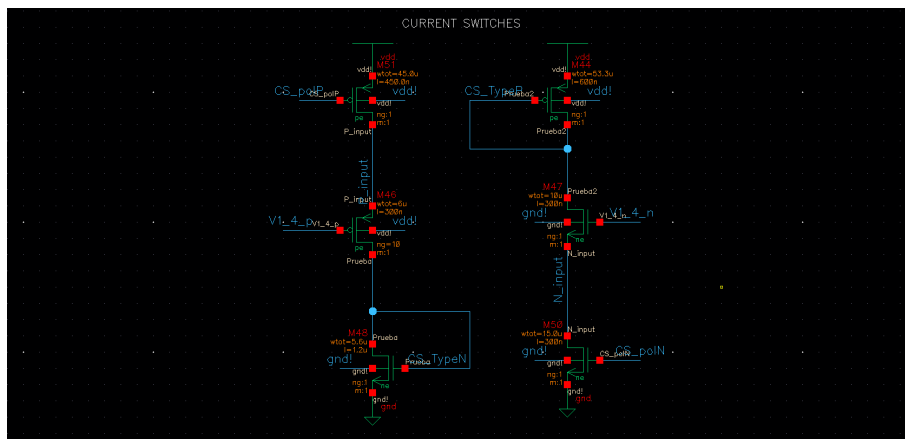


Figura 4.8: Fuentes de corriente en cadence

4.5.5. Red de polarización

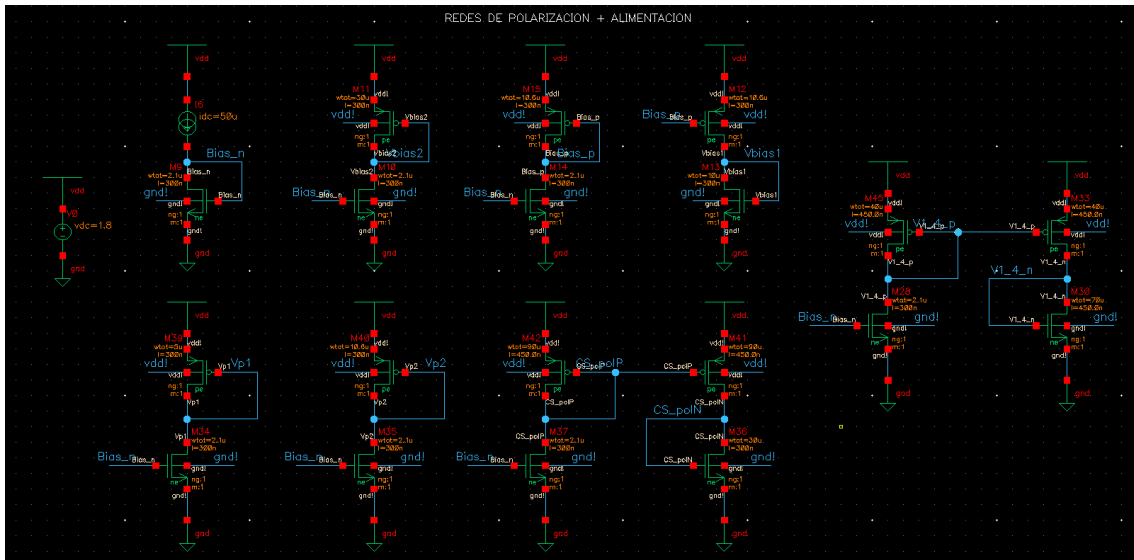


Figura 4.9: Redes de polarización en cadence

4.5.6. Diseño completo

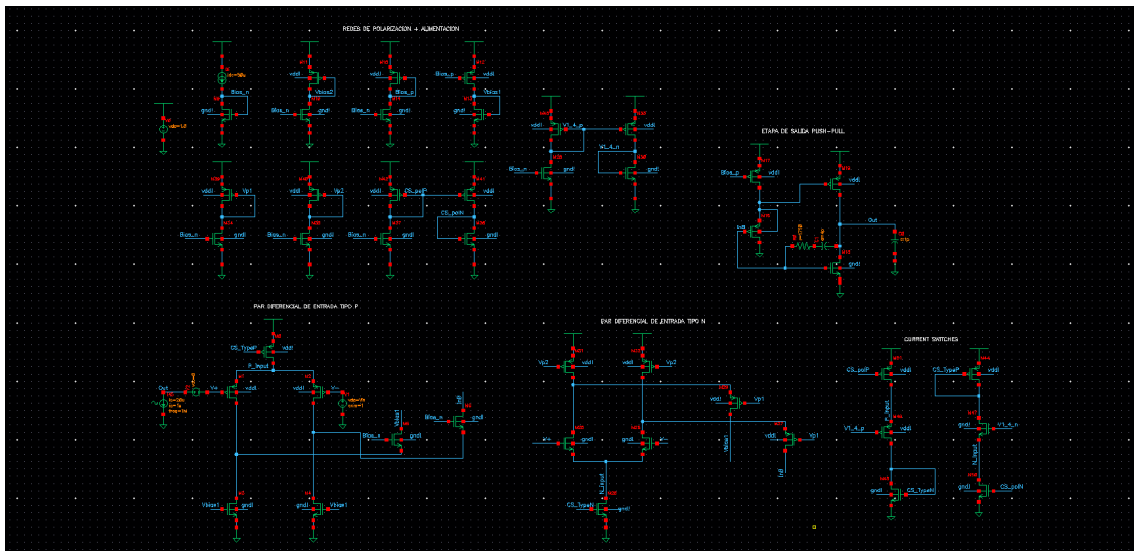


Figura 4.10: Diseño completo en cadence

Capítulo 5

Resultados y simulaciones

Una vez terminada la fase de diseño, se verán los resultados mediante diferentes simulaciones, en concreto, se realizarán simulaciones de DC, AC, ruido, estabilidad, incluyendo ganancia de lazo y margen de fase y, por último, una simulación de corners.

Exceptuando la simulación de distorsión armónica y ruido, todas las demás simulaciones que se realizarán serán paramétricas, es decir, se realizará una simulación que barrerá todo el rango de tensiones, desde 0V hasta 1.8V, para comprobar el funcionamiento del sistema en todo el rango.

Tras visualizar las diferentes simulaciones obtenidas en el diseño, se van a comparar algunas de las simulaciones, como el margen de fase, el GBP y la ganancia de lazo con otras configuraciones, para ver que el sistema está cumpliendo con su cometido.

5.1. DC

La primera simulación que se realizará es la simulación en DC, este será el primer paso para ver que todo el diseño funciona correctamente y la que irá ayudando en todo el proceso y las fases de diseño.

Se va a ver el funcionamiento del circuito en las diferentes fases de funcionamiento que tiene, es decir, cuando solo 1 de los 2 pares diferenciales está trabajando, como cuando ambos están trabajando.

5.1.1. Vin: 100mV

En este primer caso, cuando tenemos una tensión de entrada en continua de 100mV solamente estará trabajando el par diferencial tipo P.

Para empezar, habrá que fijarse en la figura 5.1. Como se puede observar, en este caso, la fuente de corriente de la rama de la derecha es la que está trabajando, de este modo la corriente de referencia fluye hacia el espejo de corriente tipo P, se multiplica la corriente por un factor 3.

De este modo, en la figura 5.2, se puede ver como en la rama de salida se tiene la misma corriente en el par diferencial tipo P y en el par diferencial tipo N.

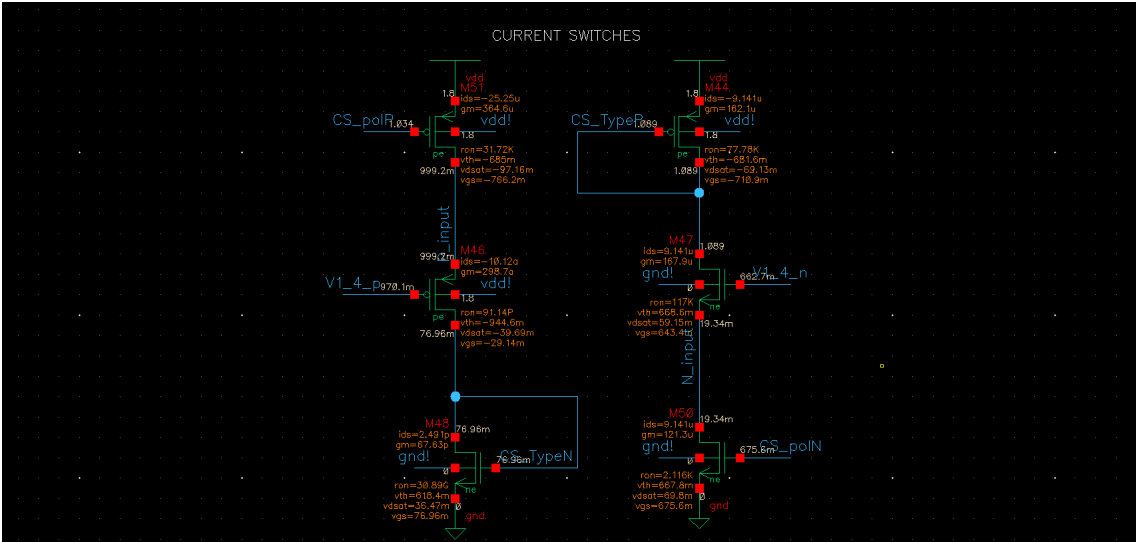


Figura 5.1: Simulación fuentes de corriente DC: 100mV

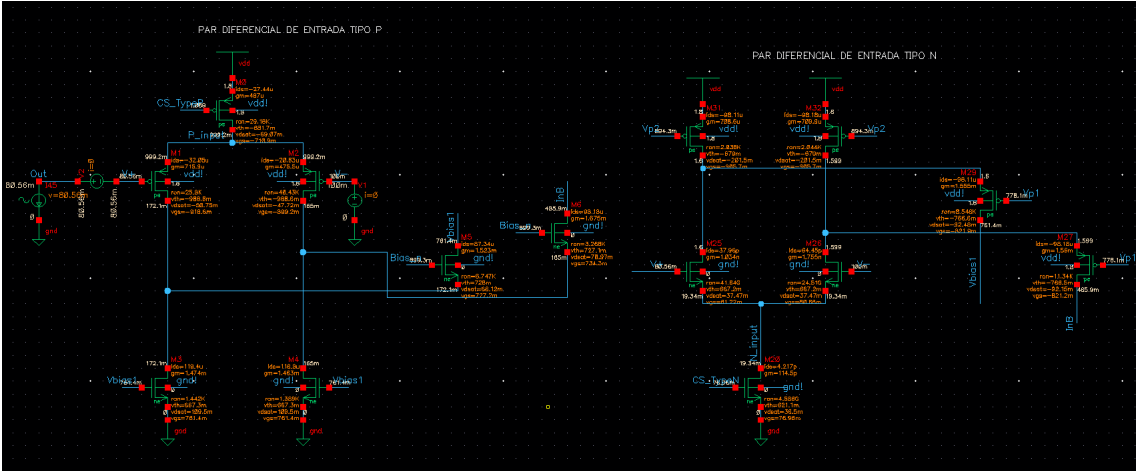


Figura 5.2: Simulación pares diferenciales DC: 100mV

5.1.2. Vin: 1.7V

El caso contrario será que se esté trabajando cerca de VDD, en este rango de tensiones solamente estará trabajando el par diferencial tipo N.

En esta situación estará trabajando solamente la fuente de corriente de la rama de la izquierda, fig 5.3, de nuevo la corriente de referencia aportada por el transistor tipo P hacia el espejo de corriente que se encargará de polarizar el par diferencial tipo N.

De nuevo, se consigue polarizar ambos pares diferenciales de entrada simétricamente y con las corrientes esperadas. Fig 5.4

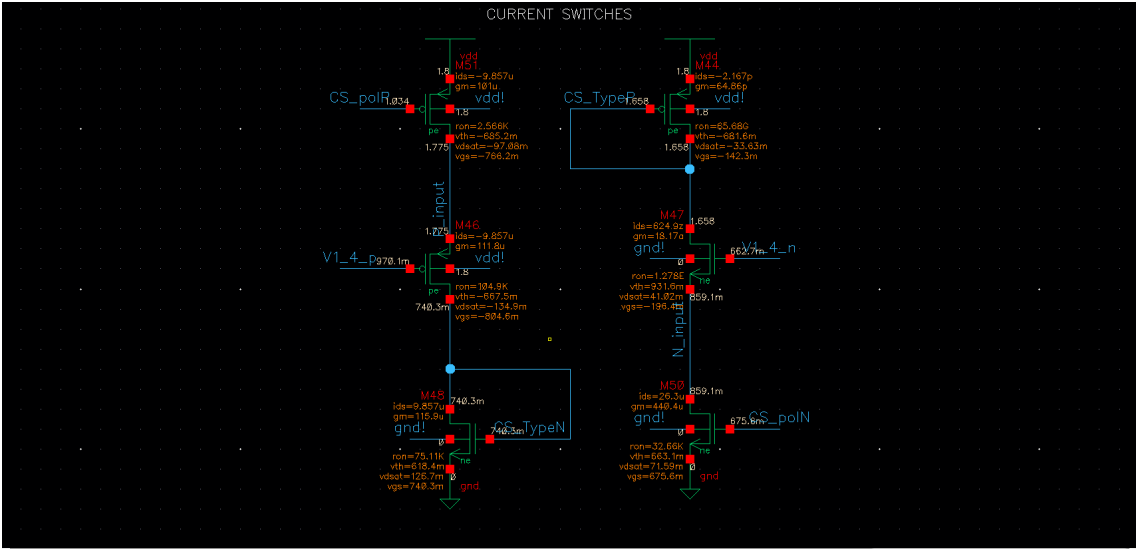


Figura 5.3: Simulación fuentes de corriente DC: 1.7V

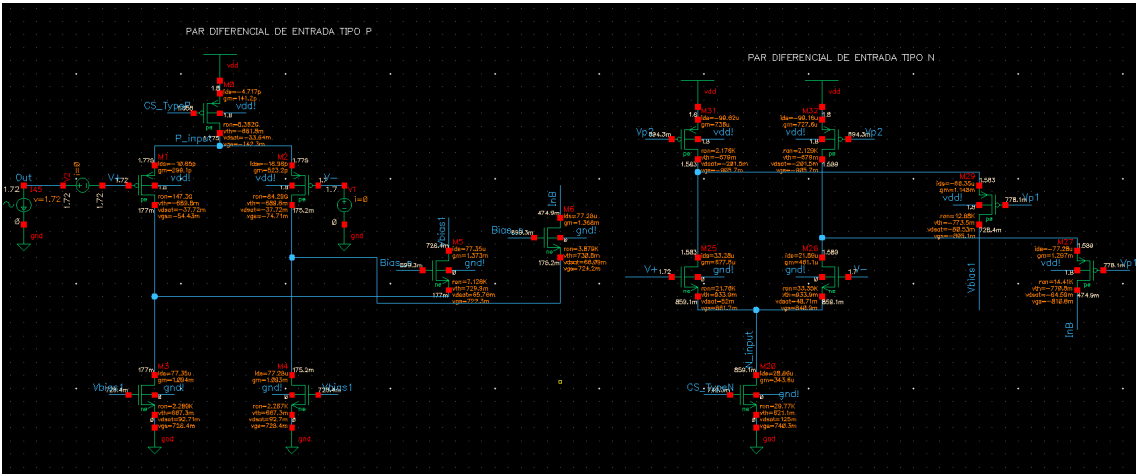


Figura 5.4: Simulación pares diferenciales DC: 1.7V

5.1.3. Vin: 1V

El último caso a estudiar, será el rango de tensión en el que ambos pares trabajen de manera complementaria, para esto se ha elegido una tensión de 1V.

En este caso, ambas fuentes de corriente estarán apagadas, 5.5 y por tanto, en los pares se tendrá una corriente de polarización aportada únicamente por una fuente de corriente, que aporta los 100µA esperados al sistema, obteniendo así nuevamente una polarización de ambas etapas simétrica. Fig 5.6

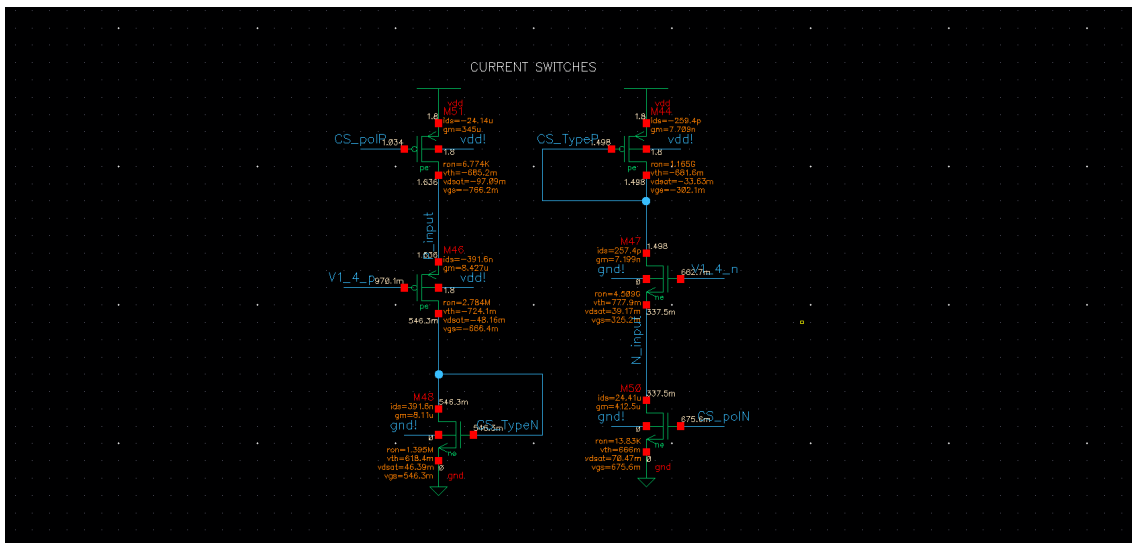


Figura 5.5: Simulación fuentes de corriente DC: 1V

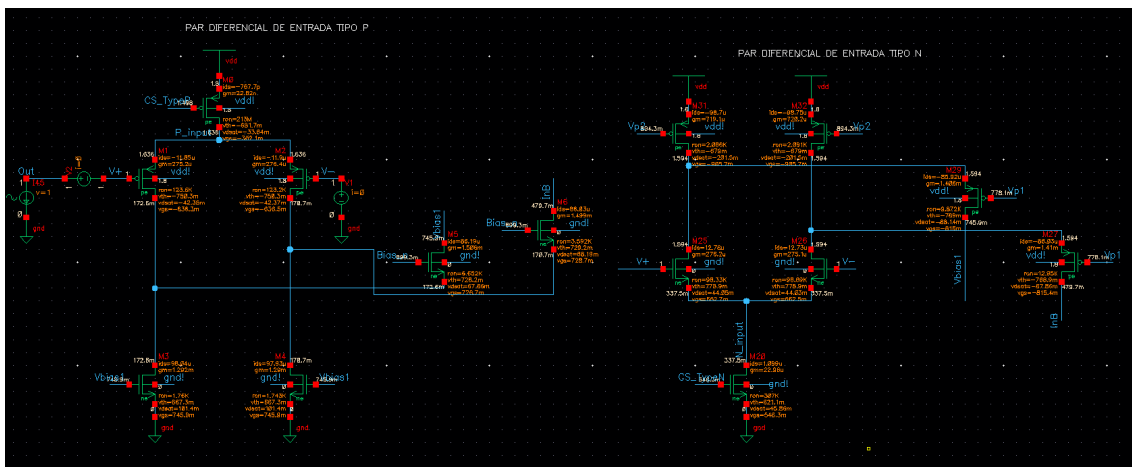


Figura 5.6: Simulación pares diferenciales DC: 1V

5.1.4. Consumo de potencia

El consumo de potencia del circuito viene dado por la tensión de alimentación y la corriente consumida por todas las ramas del circuito.

En la figura 5.7 se puede observar como se tiene una tensión de alimentación de 1.8V y un consumo de corriente de $842.7\mu A$. Esto quiere decir que el consumo total del circuito será de:

$$P = V \cdot I = 1,5169mW \quad (5.1)$$

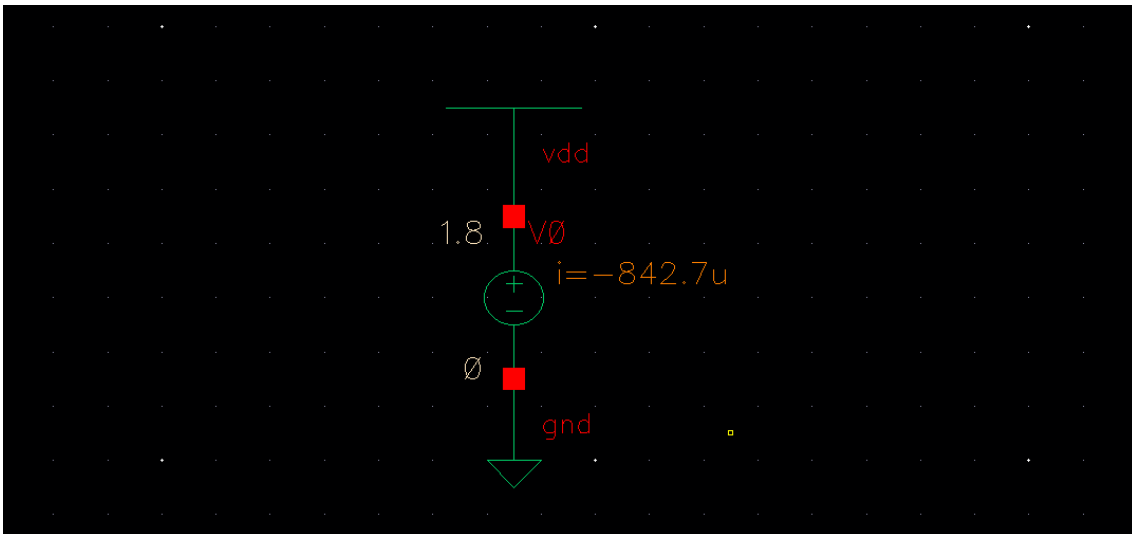


Figura 5.7: Tensión y corriente totales

5.2. Margen de fase y GBP

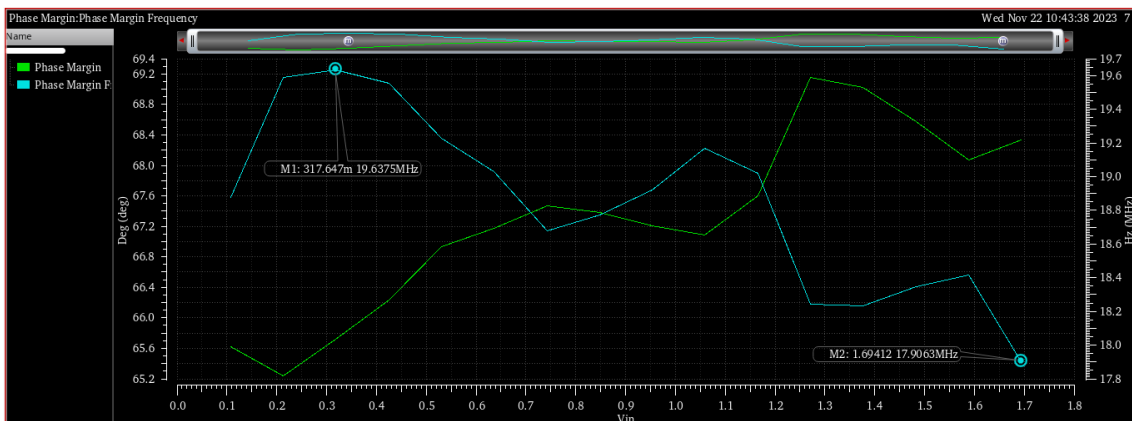


Figura 5.8: Margen de fase y GBP

De la figura 5.8 se puede extraer que el margen de fase se mantiene prácticamente constante en todo el rango de tensiones de entrada, variando entre 69.2° y 65.2° , es decir, una variación máxima de 4° en todo el espectro, con lo cuál, se mantendrá estable en todo el rango de tensiones.

Por otro lado, el GBP, variará entre 17.9 MHz y 19.2 MHz.

$$\Delta GBP(\%) = 100 - \frac{17,9 * 100}{19,2} = 6,77\% \quad (5.2)$$

La variación máxima del GBP en el diseño, según 5.2 es de 6.77%, lo cuál es un resultado mucho más que aceptable.

5.3. Ganancia

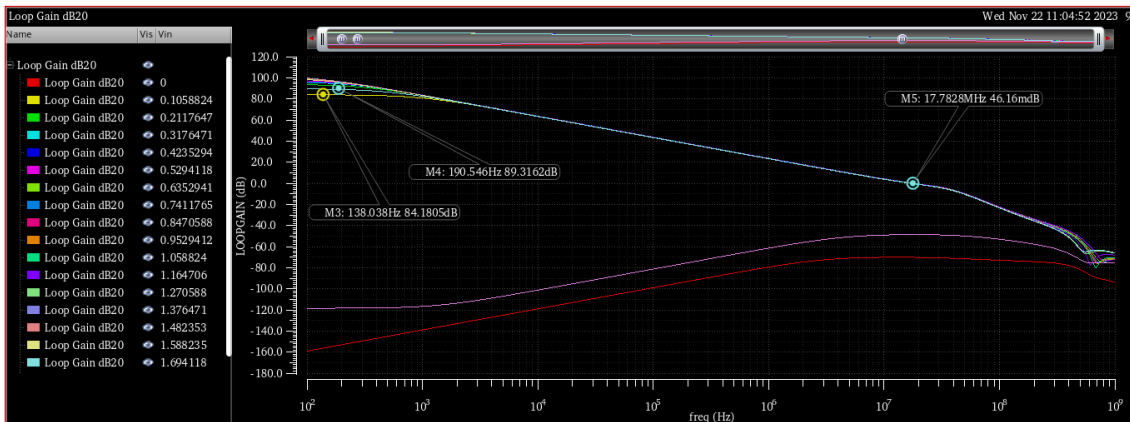


Figura 5.9: Ganancia de lazo (dB)

Por otro lado, la figura 5.9 nos lleva a la conclusión de que el diseño no será completamente rail-to-rail en la entrada, para $V_{in} = 0V$ y para $V_{in} = 1.8V$ el amplificador operacional no funciona.

Para el resto de tensiones del rango, se parte de una frecuencia de 100 dB y va bajando progresivamente hasta llegar a la frecuencia de ganancia unidad, sobre los 18 MHz como ya se ha visto en fig 5.8.

A la vista de esta respuesta, se van a realizar unas nuevas simulaciones, centrando el análisis únicamente a las tensiones de entrada que estén próximas a esos puntos críticos de 0V y 1.8V.

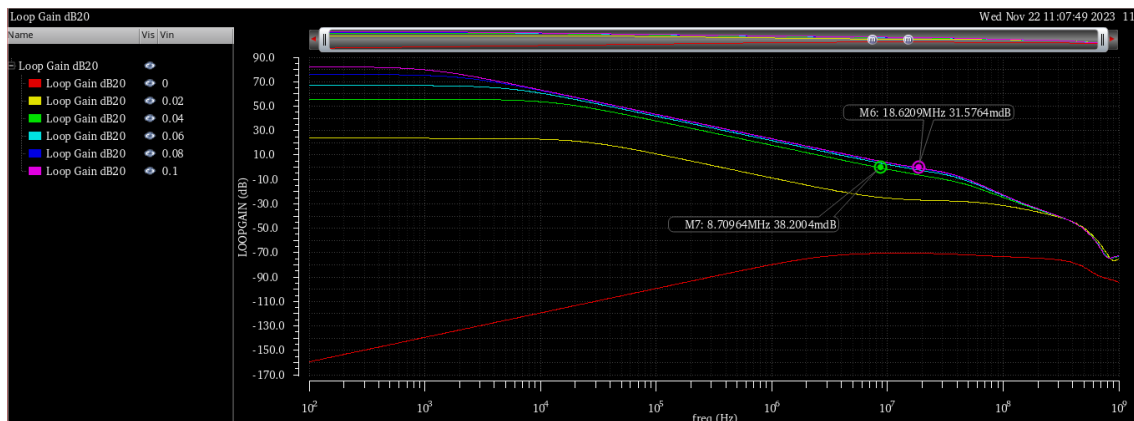


Figura 5.10: Ganancia de lazo [0V - 0.1V](dB)

A la vista del resultado de la simulación fig 5.10, se puede concluir que el amplificador operacional empezará a tener una respuesta adecuada y próxima a un margen de fase estable y una frecuencia de ganancia unidad cercana a 18 MHz, a partir de una tensión de entrada de 0.06V.

Del mismo modo se analiza la simulación fig 5.11, en este caso, el amplificador operacional comienza a degradar más de lo aceptable su respuesta cuando sobrepasa los 1.74V.

Tras estas simulaciones, podemos concluir que el diseño tendrá un input swing de [0.06V - 1.74V].

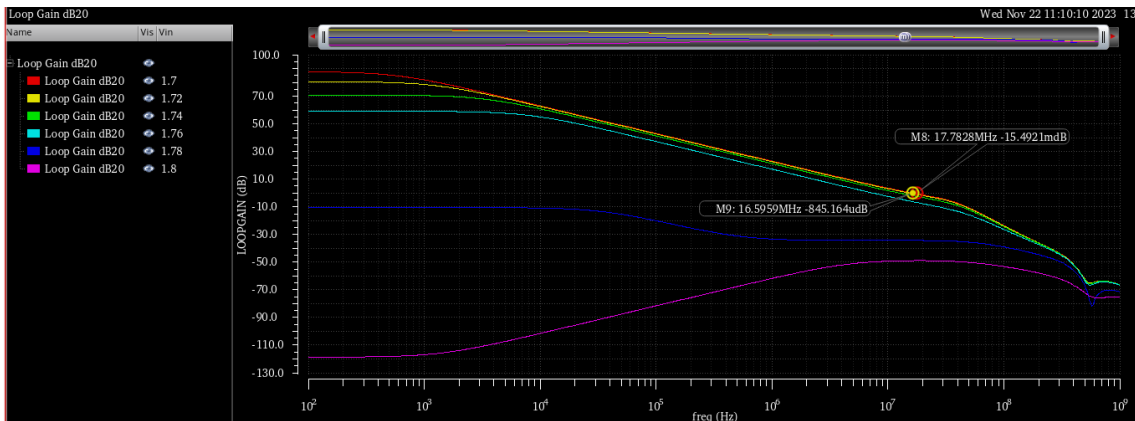


Figura 5.11: Ganancia de lazo [1.7V - 1.8V](dB)

5.4. Ruido

Aunque el ruido no será un parámetro crítico en nuestro diseño y los principales objetivos ya se ha visto que se cumplen, se realizará un análisis de ruido para tener una visión general más amplia del diseño.

En la figura 5.12 se muestra la densidad espectral del ruido del sistema.

Se puede observar como en las frecuencias más bajas predomina el ruido flicker [8], mientras que en frecuencias superiores la curva empieza a ser una constante, entendiéndose que empieza a predominar el ruido térmico [9].

Finalmente, con ayuda de la calculadora de cadence se puede obtener el valor RMS. Dicho valor se representa en la figura 5.13. Cabe destacar, que a pesar de no haber tenido en cuenta el ruido del sistema como un parámetro crítico a la hora de diseñarlo, se ha obtenido un valor muy razonable.

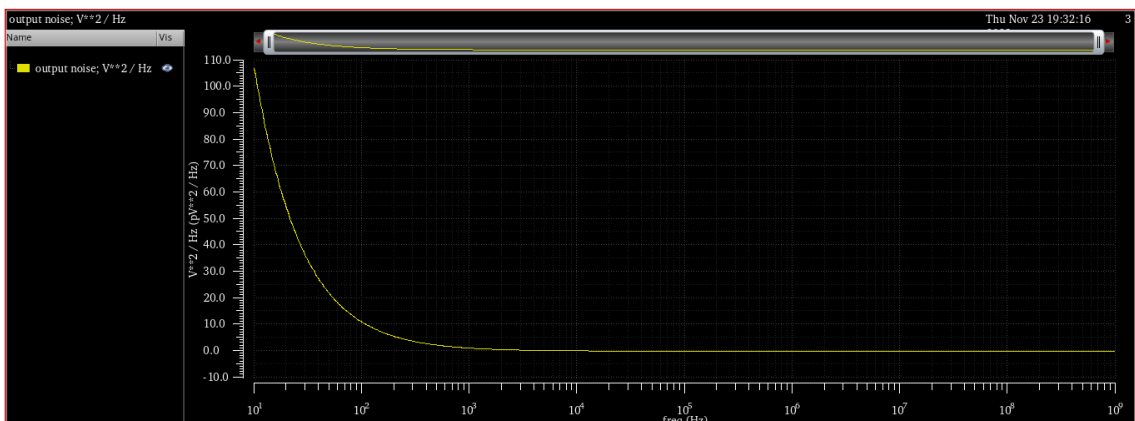


Figura 5.12: Densidad espectral del ruido

10 NOISE_out_rms 184.8u

Figura 5.13: Valor de ruido RMS

5.5. THD

Otra simulación complementaria que se va a realizar es la de distorsión armónica. Para esta simulación será necesario conectar el diseño en modo seguidor, inducir una señal en AC en la entrada y comprobar a la salida la distorsión que presenta.

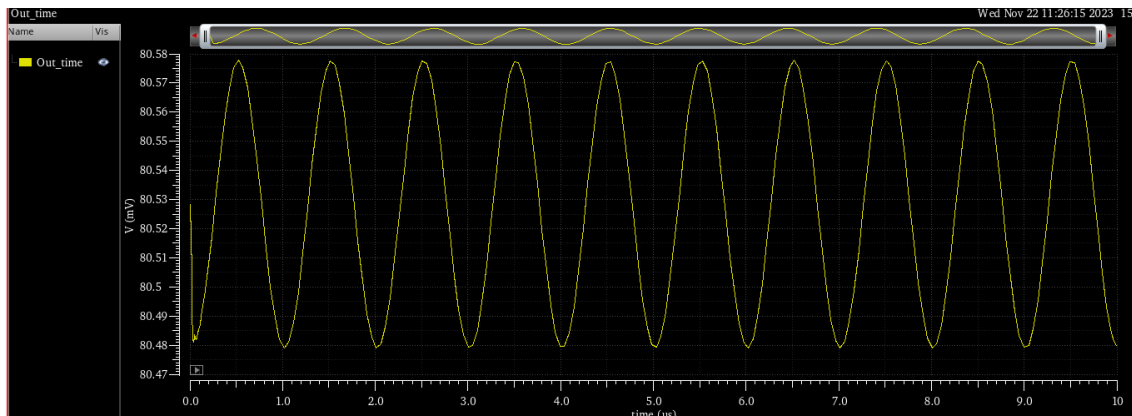


Figura 5.14: Señal de salida en el tiempo

En la figura 5.14 se puede observar la forma que queda a la salida tras inducir la señal en AC en la entrada, la distorsión armónica, sin embargo, no puede verse a simple vista y habrá que ayudarse de la calculadora de cadence para dicha tarea.

Tras realizar los cálculos necesarios, el valor obtenido de thd es:



Figura 5.15: Valor porcentual de distorsión armónica

En otras palabras, se tiene en el diseño un 0.4 % de distorsión armónica total, lo cuál es un valor bastante elevado y que habría que intentar mejorar, o bien tener más en cuenta en futuros diseños.

5.6. AC

Por último, se va a ver la simulación en AC del sistema, con un barrido por todas las tensiones de entradas nuevamente, sabiendo que se tiene un margen de fase que varía entre 65° y 69° , se espera un overshoot <1.5 dB. Fig 5.16.

Con la simulación en AC también se puede analizar el ancho de banda del diseño. En la figura 5.17 se puede ver que en todo el rango de tensiones de entrada el ancho de banda oscila entre 42.42 MHz y 44.75 MHz.

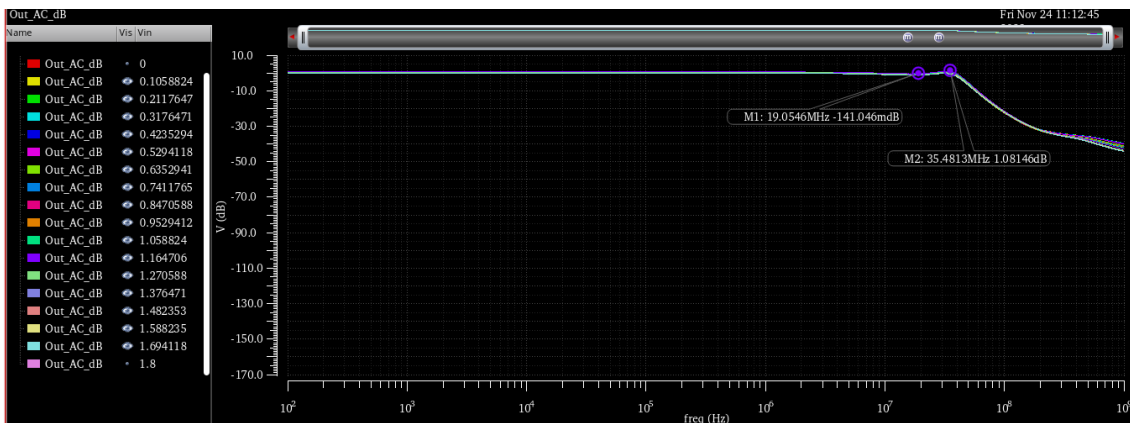


Figura 5.16: Overshoot [0V - 1.8V]

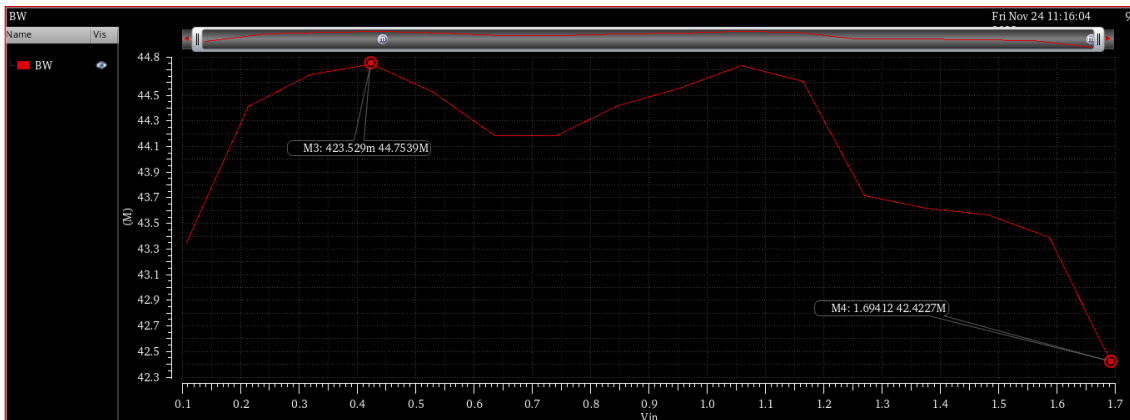


Figura 5.17: Ancho de banda [0V - 1.8V]

5.7. Corners

Por último, para completar el estudio, se van a analizar los corners de fabricación. Esto permitirá ver como se comportaría el circuito en los peores casos que se pueden tener relativos a la fabricación, temperaturas extremas, etc. Esto es posible gracias a un estudio de las fábricas a lo largo de muchos años sobre las desviaciones que sufren puntualmente los componentes de los dispositivos, ya sean resistores, transistores, capacitores...

Estas desviaciones, cubren los casos de que ambos transistores, NMOS y PMOS tengan más ganancia de la cuenta (w_p), que ambos tengan menos ganancia de lo esperado (w_s), y lo mismo por separado (w_o y w_z).

Los resultados obtenidos nominalmente y en los extremos máximos y mínimos son los siguientes:

	Nominal	Min	Max
Margen de fase	65.88	2.277	111.6
GBP (MHz)	18.71	12.29	23.31
THD	0.4 %	0.37 %	3870 %

Tabla 5.1: Desviaciones máximas y mínimas

Distorsión armónica

Si se analiza corner por corner la distorsión armónica, se puede ver que se mantiene estable sobre el 0.37% y el 0.4%, sin embargo, como hemos visto en la tabla 5.1, se tienen casos en los que llega a ser el casi 4000%, este caso concreto se daría cuando a 0°C, todos los transistores NMOS y PMOS tienen menos ganancia de la esperada, además de que los capacitores ofrezcan una mayor capacitancia. La probabilidad de que esto pase, como se puede imaginar, será casi 0, pero podría llegar a pasar.

Margen de fase

En el margen de fase se tiene otro caso, este prueba ser muy inestable con las posibles variaciones en la fabricación.

En las figuras 5.18 y 5.19 se pueden observar las posibles desviaciones antes comentadas, wp, wz, ws y wo en función de la temperatura ambiente. En estas figuras se han colocado unos ciertos markers en las temperaturas de 27°C y 60°C respectivamente.

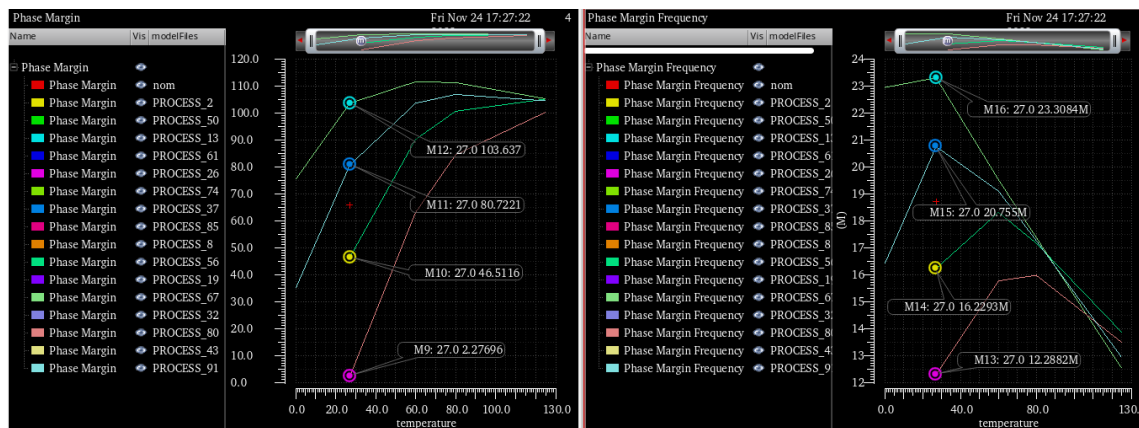


Figura 5.18: Desviación de fase y GBP a los 27°C

En ambas figuras se puede observar como en función de la temperatura aumenta el margen de fase mientras por su parte, el GBP, aumenta hasta la temperatura ambiente nominal de 27 grados centígrados y posteriormente empieza a disminuir drásticamente.

Las rectas situadas más a los extremos son aquellas correspondientes a los corners wp y ws, por el medio, se situán las rectas correspondientes a los corner wo y wz.

A 27°C, por ejemplo 5.18, el caso en el que se tienen corners wo y wz son los que más se asemejan a la margen de fase nominal, lo mismo con el GBP.

Por otro lado, a 60°C, lo que más se asemeja al valor nominal es el caso en el que ambos transistores

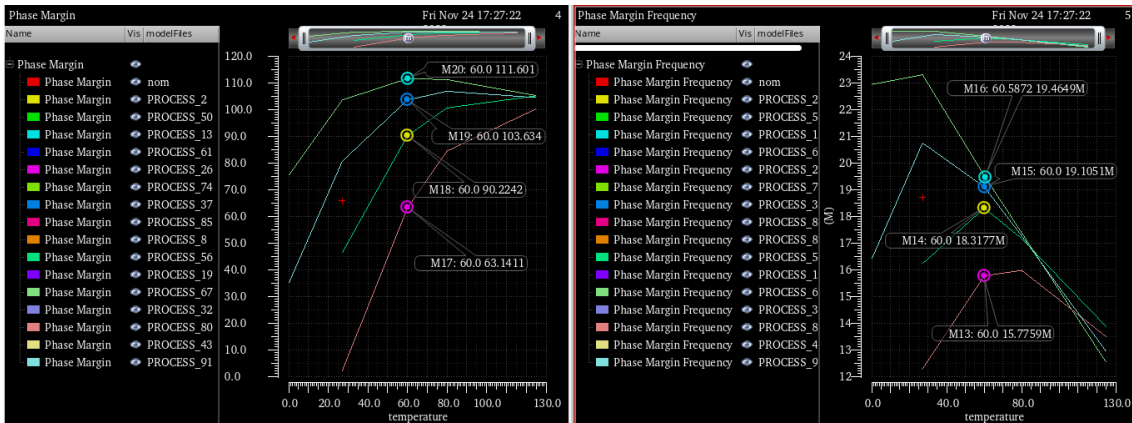


Figura 5.19: Desviación de fase y GBP a los 60°C

ofrecen menos ganancia (ws), mientras en el caso del GBP, a excepción de ws, todos los corners se asemejan al valor nominal.

Podría concluirse, por tanto, que el aumento de la temperatura tiene un efecto muy parecido en el rendimiento del margen de fase del circuito, y por tanto de su estabilidad, a cuando los transistores ofrecen una mayor ganancia de la esperada. Por otro lado, en cuanto al GBP, la temperatura parece ser el motivo por el cual se reduce drásticamente su valor.

	wp	wz	wo	ws
Margen de fase (°C)	75.5	65	65	65
Temperatura (°C)	0	17.99	41.22	62.6

Tabla 5.2: Margen de fase vs temperatura vs corners

	wp	wz	wo	ws
GBP (MHz)	18.5	18.7	18.6	16
Temperatura (°C)	68.98	14.18 - 65.46	65.46	80

Tabla 5.3: GBP vs temperatura vs corners

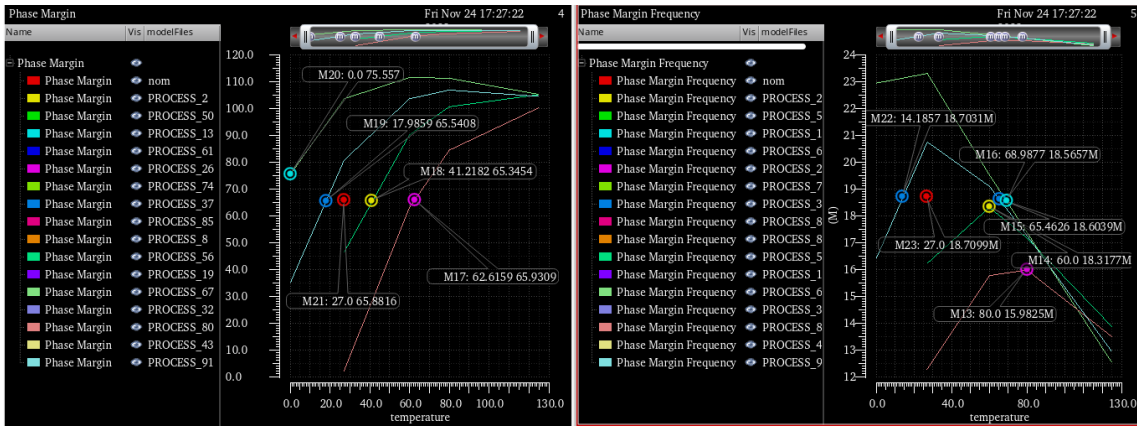


Figura 5.20: Simulación en cadence de valores de 5.3 y 5.2

5.8. Comparativa con otras topologías

Por último, se va a comparar algunas respuestas obtenidas en el diseño con otras soluciones alternativas mediante simulaciones en cadence, en concreto, se tratarán mediante simulación la ganancia de lazo, margen de fase y GBP, es decir, los parámetros objetivo del diseño.

También se realizará una tabla de resultados, donde aparecerán todos comparados más en detalle, a esta tabla se añadirán también componentes de ruido, distorsión armónica, etc.

5.8.1. Loop gain

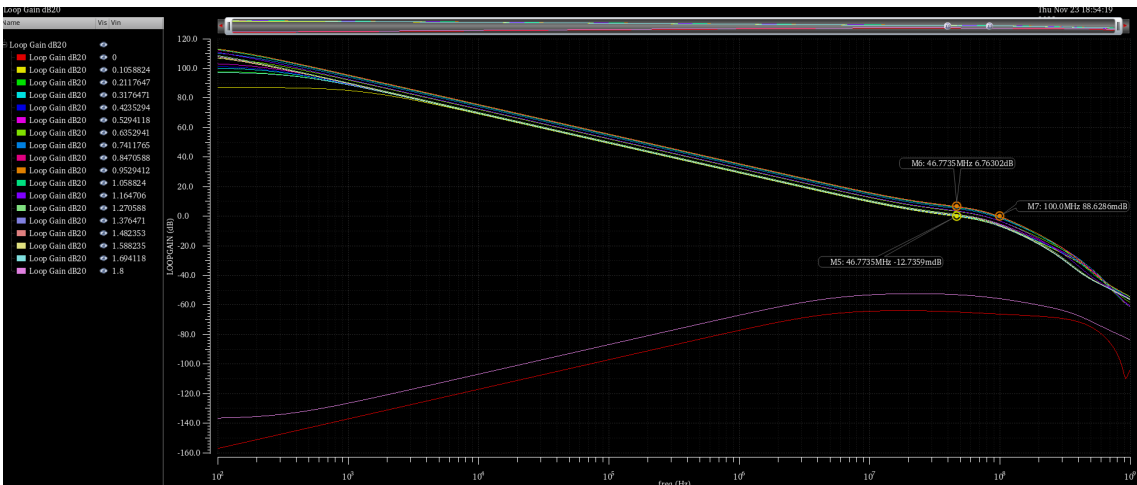


Figura 5.21: Loop gain topología 3.1. [5]

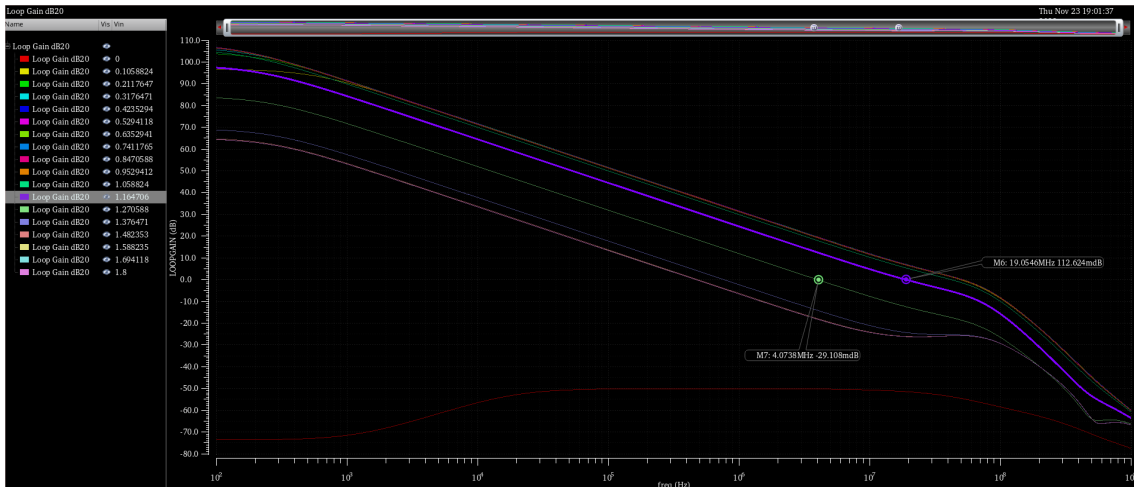


Figura 5.22: Loop gain topología 4.2

En la figura 5.21 se puede apreciar una respuesta parecida a la de nuestro diseño, sin embargo, se puede ver como las rectas están a una mayor distancia unas de otras, esto equivale, como se puede observar gracias a los markers, a valores de GBP totalmente dispares, lo que se traducirá como se verá posteriormente, en una menor estabilidad.

Por otro lado, la figura 5.22 muestra la ganancia de lazo con respecto a la tensión de entrada de un amplificador operacional (Opamp) con solamente el par diferencial tipo P a la entrada, y no es hasta tensiones de entrada inferiores a 1.1 V que el amplificador operacional (Opamp) no empieza a comportarse de forma correcta. Quedando así un margen de tensiones de salida de aproximadamente [0V - 1V], dejando casi la mitad del rango de alimentación sin poder usarse.

Si solamente se tuviese un tipo N, dicha respuesta sería muy parecida a 5.22, pero en el rango de tensiones opuesto.

5.8.2. GBP y Margen de fase

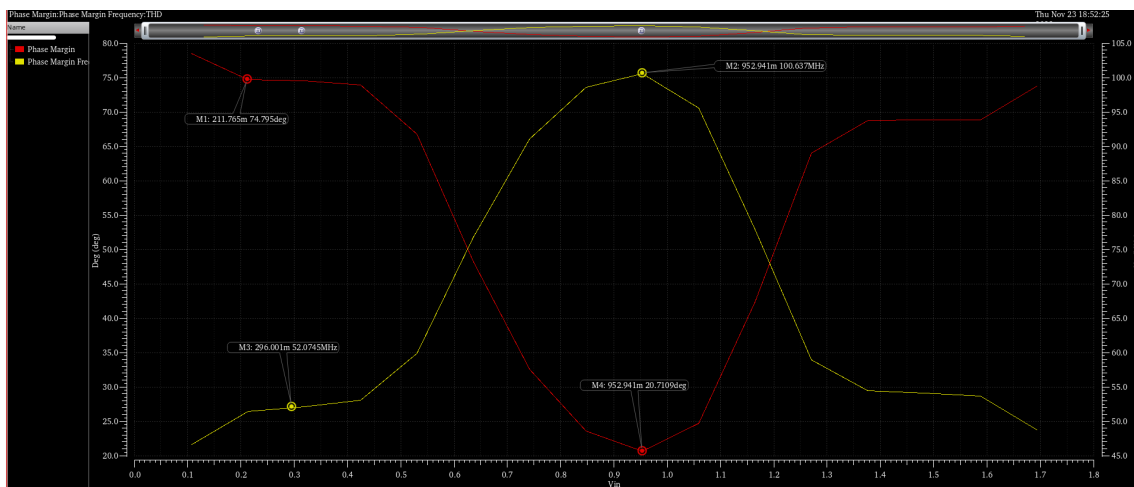


Figura 5.23: Margen de fase y GBP topología 3.1. [5]

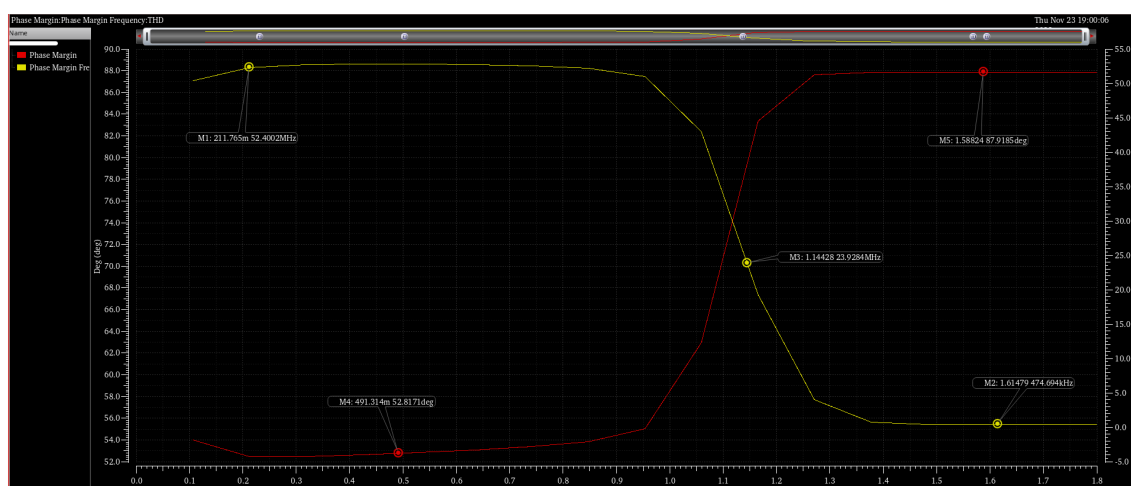


Figura 5.24: Margen de fase y GBP topología 4.2

En lo que al margen de fase y GBP se refiere, en la figura 5.23 se puede observar como ambos caen drásticamente cuando están funcionando ambos pares diferenciales, por no haber control de la transconductancia (G_m).

En la figura 5.24, del mismo modo se produce una variación muy significativa, llegando a ser el GBP en las tensiones de entrada superiores a 1V, de sólo unos pocos kHz.

Tabla de resultados

	ETAPAS DE ENTRADA		
	topología 4.2	topología 3.1	topología 3.7
Δ PM max	39.9 %	73.1 %	5.78 %
Δ GBP max	99 %	53 %	8.81 %
THD [100mV]	0.373 %	0.732 %	0.4 %
THD [1V]	0.37 %	0.37 %	0.39 %
THD [1.7V]	0.24 %	0.372 %	0.396 %
Ruido (RMS)	36.2u	30.74u	184.8u
Margen dinámico de tensiones de entrada	[0.06V - 1V]	[0.06V - 1.74V]	[0.06V - 1.74V]

Tabla 5.4: Comparación entre diferentes topologías

A la vista de los resultados en la tabla 5.4 no será difícil concluir que el opamp diseñado para aumentar el margen dinámico de tensiones de entrada controlando la transconductancia (G_m) presenta infinitamente mejores prestaciones que las otras topologías en este ámbito.

Capítulo 6

Posibles futuras mejoras

Con este proyecto, no se busca obtener una solución definitiva ni mucho menos para el amplificador operacional (Opamp) con margen dinámico de entrada, este cometido puede abordarse mediante diferentes topologías propuestas en multitud de artículos, conferencias y libros.

En cuanto a lo que este diseño se refiere, no me cabe duda de que una diferente configuración de los transistores para conseguir disminuir el área y la potencia consumida puede ser lograda.

También sería interesante intentar disminuir el ruido y sobre todo la distorsión armónica del sistema, aunque como se ha explicado a lo largo de esta memoria, este cometido puede ser un tanto complicado, debido a que intentar mejorar ciertos parámetros puede llevar a empeorar otros. Todo dependerá del uso que se le quiera dar al amplificador operacional (Opamp).

Comentar por último, que la tecnología de 180 nanómetros empleada es ya, un tanto antigua y no está a la vanguardia de los diseños analógicos en el mundo, probablemente, para un diseño de amplificador operacional (Opamp) funcional que se quiera intentar introducir en el mercado, debería estar en una tecnología de entorno a los 30 nanómetros.

Bibliografía

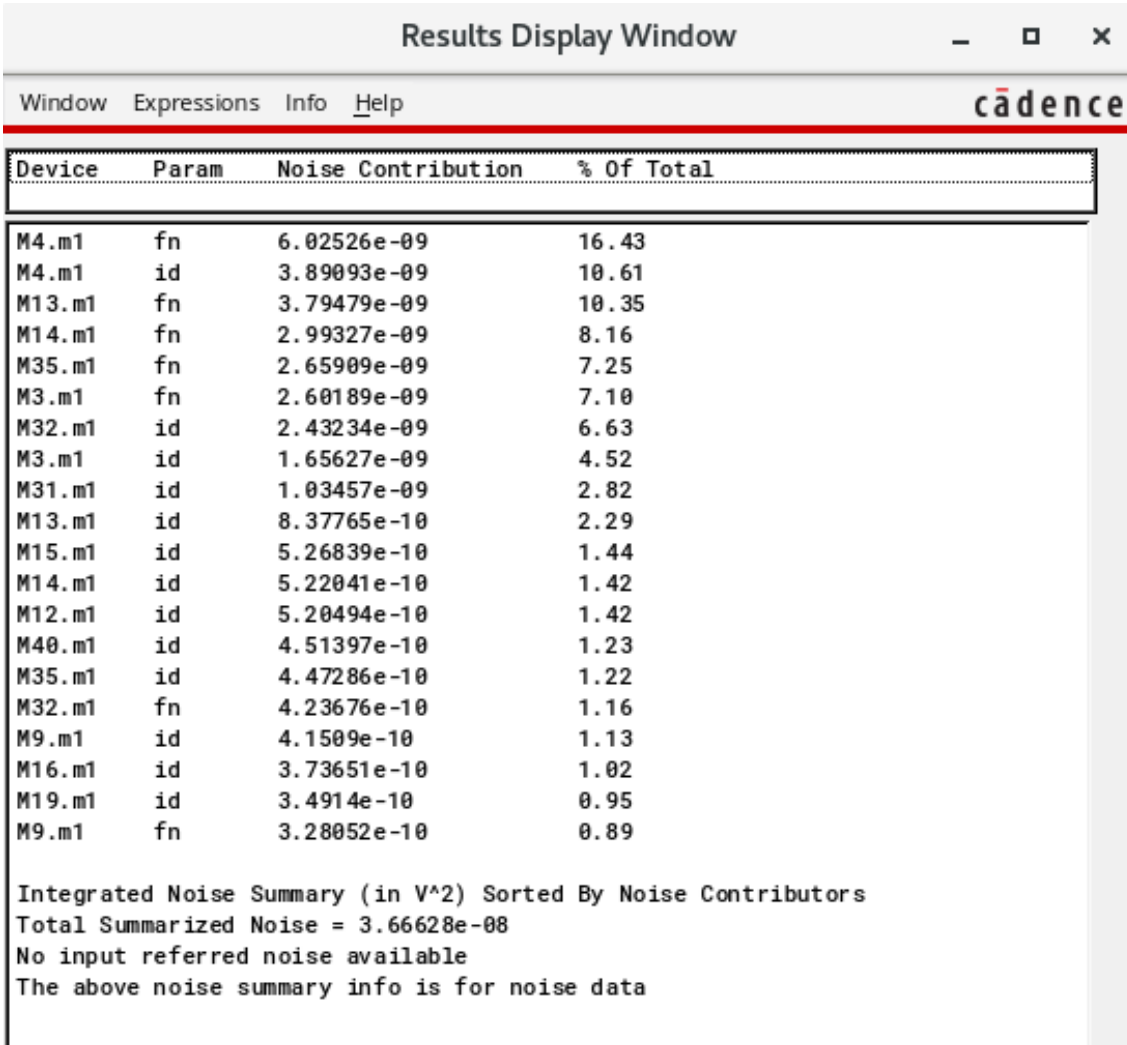
- [1] Wikipedia. *Revolución tecnológica* — *Wikipedia, La enciclopedia libre*. [Internet; descargado 7-noviembre-2023]. 2023. URL: https://es.wikipedia.org/w/index.php?title=Revoluci%C3%B3n_tecnol%C3%B3gica&oldid=155147314.
- [2] Wikipedia. *Revolución digital* — *Wikipedia, La enciclopedia libre*. [Internet; descargado 30-octubre-2023]. 2023. URL: https://es.wikipedia.org/w/index.php?title=Revoluci%C3%B3n_digital&oldid=154961996.
- [3] Wikipedia. *Microelectrónica* — *Wikipedia, La enciclopedia libre*. [Internet; descargado 23-abril-2022]. 2022. URL: <https://es.wikipedia.org/w/index.php?title=Microelectr%C3%B3nica&oldid=143080737>.
- [4] Wikipedia. *Amplificador operacional* — *Wikipedia, La enciclopedia libre*. [Internet; descargado 23-noviembre-2023]. 2023. URL: https://es.wikipedia.org/w/index.php?title=Amplificador_operacional&oldid=155568060.
- [5] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. first. McGraw-Hill, 2001.
- [6] J.F. Duque-Carrillo et al. “A family of bias circuits for high input swing CMOS operational amplifiers”. En: *[Proceedings] 1992 IEEE International Symposium on Circuits and Systems*. Vol. 6. 1992, 3021-3024 vol.6. DOI: 10.1109/ISCAS.1992.230685.
- [7] R. Hogervorst et al. “CMOS low-voltage operational amplifiers with constant-G/sub m/ rail-to-rail input stage”. En: *1992 IEEE International Symposium on Circuits and Systems (ISCAS)*. Vol. 6. 1992, 2876-2879 vol.6. DOI: 10.1109/ISCAS.1992.230650.
- [8] Z. A. Kolodiy et al. “Integral power of flicker-noise in real systems”. En: *2015 International Conference on Noise and Fluctuations (ICNF)*. 2015, págs. 1-3. DOI: 10.1109/ICNF.2015.7288536.
- [9] Kenji Ohmori et al. “Continuous characterization of MOSFET from low-frequency noise to thermal noise using a novel measurement system up to 100 MHz”. En: *2012 Symposium on VLSI Technology (VLSIT)*. 2012, págs. 143-144. DOI: 10.1109/VLSIT.2012.6242502.

Parte II

Anexos

Apéndice A

SUMARIO DE RUIDO



The screenshot shows a window titled "Results Display Window" with a menu bar containing "Window", "Expressions", "Info", and "Help". The Cadence logo is visible in the top right corner. The main content is a table with the following data:

Device	Param	Noise Contribution	% Of Total
M4.m1	fn	6.02526e-09	16.43
M4.m1	id	3.89093e-09	10.61
M13.m1	fn	3.79479e-09	10.35
M14.m1	fn	2.99327e-09	8.16
M35.m1	fn	2.65909e-09	7.25
M3.m1	fn	2.60189e-09	7.10
M32.m1	id	2.43234e-09	6.63
M3.m1	id	1.65627e-09	4.52
M31.m1	id	1.03457e-09	2.82
M13.m1	id	8.37765e-10	2.29
M15.m1	id	5.26839e-10	1.44
M14.m1	id	5.22041e-10	1.42
M12.m1	id	5.20494e-10	1.42
M40.m1	id	4.51397e-10	1.23
M35.m1	id	4.47286e-10	1.22
M32.m1	fn	4.23676e-10	1.16
M9.m1	id	4.1509e-10	1.13
M16.m1	id	3.73651e-10	1.02
M19.m1	id	3.4914e-10	0.95
M9.m1	fn	3.28052e-10	0.89

Integrated Noise Summary (in V²) Sorted By Noise Contributors
Total Summarized Noise = 3.66628e-08
No input referred noise available
The above noise summary info is for noise data

Figura A.1: Sumario de contribuciones de ruido