



UNIVERSITAT  
POLITÈCNICA  
DE VALÈNCIA



DEPARTAMENTO  
DE INGENIERÍA  
ELECTRÓNICA

UNIVERSITAT POLITÈCNICA DE VALÈNCIA

Dpto. de Ingeniería Electrónica

Diseño e implementación de un convertidor de tracción  
para accionar un motor DLIM de 15KW para la  
construcción de un prototipo de Hyperloop

Trabajo Fin de Máster

Máster Universitario en Ingeniería de Sistemas Electrónicos

AUTOR/A: Pérez Guarnaschelli, Marco Gabino

Tutor/a: González Medina, Raúl

CURSO ACADÉMICO: 2023/2024



UNIVERSITAT  
POLITÈCNICA  
DE VALÈNCIA



# **DISEÑO DEL SISTEMA ELECTRÓNICO DE TRACCIÓN PARA PROTOTIPOS DE VEHÍCULOS HYPERLOOP**

**Autor: Marco Pérez Guarnaschelli**

**Tutor: Raúl Gonzalez Medina**

Trabajo Fin de Máster presentado en el Departamento de Ingeniería Electrónica de la Universitat Politècnica de València para la obtención del Título de Máster Universitario en Ingeniería de Sistemas Electrónicos

Curso 2023-24

Valencia, Septiembre de 2023



## Resumen

El presente trabajo de final de máster trata del diseño de un inversor de tracción para un prototipo de vehículo Hyperloop, concretamente para una topología DLIM (*Dual Linear Inductor Motor*, doble motor de inducción lineal).

El diseño de dicho inversor se puede dividir en dos partes, la unidad de control y la de potencia. En la unidad de control se puede encontrar el microcontrolador utilizado para ejecutar el control y leer los sensores dispuestos, las comunicaciones con el exterior que se harán mediante los protocolos Ethernet y CAN por redundancia, una IMU (*Inertial Measurement Unit*, unidad de medida inercial) para conocer la aceleración, velocidad y posición del vehículo y LEDs (*Light Emitting Diodes*, diodos emisores de luz) para comunicar el estado de la tarjeta en todo momento.

Por otra parte, la tarjeta de potencia del inversor constará de tanto los transistores de potencia como sus correspondientes controladores de puerta y su alimentación aislada, en este caso, de tipo *Flyback*. Además de esto se encuentran diversos sensores como los de temperatura de los transistores y la tensión del bus de continua. La lectura de corrientes se hará mediante unos sensores externos de efecto hall, lo que proporciona una lectura analógica aislada, la cual se puede conectar directamente a la tarjeta de control. Para completar el ensamblaje del inversor harán falta dos tarjetas de potencia, una por motor.

Este documento no solo abarca el diseño de estas tarjetas, sino que se complementa con la fabricación de las mismas, así como su validación tanto en vacío como con el motor a modo de carga. En dicha validación se harán pruebas de conexión y lectura de sensores con la tarjeta de control así como el envío de las señales de conmutación a la tarjeta de potencia con el objetivo de comprobar cómo se comporta esta última.

Todo esto, como bien se ha comentado, forma parte de un prototipo de vehículo Hyperloop, el llamado sexto medio de transporte capaz de solucionar los problemas de los actuales medios, muchos de los cuales agravan el calentamiento global que sufre a día de hoy el planeta. Este medio de transporte es capaz de mejorar también los tiempos entre centros económicos debido a la alta velocidad que se espera que alcance, aprovechando el vacío generado en el tubo, eliminando así el rozamiento, principal culpable del estancamiento en este tema de los trenes actuales.

## Resum

Aquest treball final de màster tracta del disseny d'un inversor de tracció per a un prototip de vehicle Hyperloop, concretament per a una topologia DLIM (*Dual Linear Inductor Motor*, doble motor d'inducció lineal).

El disseny del inversor esmentat es pot dividir en dues parts, la unitat de control i la de potència. A la unitat de control es pot trobar el microcontrolador utilitzat per executar el control i llegir els sensors disposats, les comunicacions amb l'exterior que es faran mitjançant els protocols Ethernet i CAN per redundància, una IMU (*Inertial Measurement Unit*, unitat de mesura inercial) per conèixer l'acceleració, la velocitat i la posició del vehicle i LEDs (*Light Emitting Diodes*, díodes emissors de llum) per comunicar l'estat de la targeta en tot moment.

D'altra banda, la targeta de potència de l'inversor constarà de tant els transistors de potència com els controladors de porta corresponents i la seva alimentació aïllada, en aquest cas, de tipus *Flyback*. A més d'això hi ha diversos sensors com els de temperatura dels transistors i la tensió del bus de contínua. La lectura de corrents es farà mitjançant uns sensors externs d'efecte hall, cosa que proporciona una lectura analògica aïllada, la qual es pot connectar directament a la targeta de control. Per completar l'assemblatge de l'inversor caldrà dues targetes de potència, una per motor.

Aquest document no sols abraça el disseny d'aquestes targetes, sinó que es complementa amb la fabricació de les mateixes, així com la seva validació tant en buit com amb el motor com a càrrega. En aquesta validació es faran proves de connexió i lectura de sensors amb la targeta de control així com l'enviament dels senyals de commutació a la targeta de potència amb l'objectiu de comprovar com es comporta aquesta darrera.

Tot això, com s'ha comentat bé, forma part d'un prototip de vehicle Hyperloop, l'anomenat sisè mitjà de transport capaç de solucionar els problemes dels mitjans actuals, molts dels quals agreugen l'escalfament global que pateix avui dia el planeta. Aquest mitjà de transport és capaç de millorar també els temps entre centres econòmics a causa de l'alta velocitat que s'espera que arribi, aprofitant el buit generat al tub, eliminant així el fregament, principal culpable de l'estancament en aquest tema dels trens actuals.

## Abstract

This final master's thesis deals with the design of a traction inverter for a Hyperloop vehicle prototype, specifically for a DLIM (Dual Linear Inductor Motor) topology.

The design of the inverter can be divided into two parts, the control unit and the power unit. In the control unit there is the microcontroller used to execute the control and read the sensors, the communications with the outside that will be done through the Ethernet and CAN protocols for redundancy, an IMU (Inertial Measurement Unit) to know the acceleration, speed and position of the vehicle and LEDs (Light Emitting Diodes) to communicate the status of the card at all times.

On the other hand, the inverter power board will consist of both the power transistors and the corresponding gate drivers and their isolated power supply, in this case, of the "Flyback" type. In addition there are several sensors such as transistor temperature and DC bus voltage. The current reading will be done by means of external hall effect sensors, which provides an isolated analog reading, which can be connected directly to the control board. To complete the assembly of the inverter will require two power boards, one per motor.

This document not only covers the design of these targets, but it is complemented with their manufacture, as well as their validation both in the building and with the motor as a load. In this validation tests of connection and reading of sensors with the control card will be made, as well as the sending of the switching signals to the power card in order to check the behavior of the latter.

All this, as has been well commented, is part of a prototype of the Hyperloop vehicle, the so-called sixth means of transport capable of solving the problems of the current means of transport, many of which add to the global scarcity that the planet suffers today. This means of transport is also capable of improving the time between economic centers due to the high speed that is expected to arrive, taking advantage of the traffic generated in the tube, thus eliminating the waste, the main culprit of the stagnation in this area of the current trains.

Ante todo dar las gracias al equipo Hyperloop UPV, por hacer posible esta experiencia y lo que me ha aportado personalmente. A mi familia por pese a la distancia apoyarme en todo este proceso, a mi pareja por compartir el estrés de esta última etapa, a mis amigos por hacer más ameno el camino y a mi tutor Raúl por aportar constantemente conocimientos y nuevos consejos en cada interacción.

# Índice general

## I Memoria

<b>1. Introducción</b>	<b>1</b>
1.1. Hyperloop UPV . . . . .	1
1.2. <i>Linear Induction Motors (LIMs)</i> . . . . .	1
1.3. Estado del arte . . . . .	3
1.4. Especificaciones de diseño . . . . .	4
<b>2. Diseño de la Unidad de Control</b>	<b>7</b>
2.1. Selección de los buses de comunicación . . . . .	8
2.2. Diseño de la instrumentación para los sensores . . . . .	10
2.3. Microcontrolador y periféricos . . . . .	15
2.4. Diseño de los reguladores de tensión . . . . .	20
2.5. Enrutado . . . . .	23
<b>3. Diseño de la Unidad de Potencia</b>	<b>29</b>
3.1. Selección de los transistores y controladores de puerta . . . . .	30
3.2. Diseño de los reguladores <i>flybacks</i> . . . . .	37
3.3. Diseño de la instrumentación para los sensores . . . . .	43
3.4. Enrutado . . . . .	45
<b>4. Resultados Experimentales</b>	<b>53</b>
4.1. Validación de los reguladores . . . . .	53
4.2. Validación de los semipuentes . . . . .	59
4.3. Resultados del funcionamiento completo del sistema de tracción . . . . .	63
<b>5. Mejoras Futuras y Conclusiones</b>	<b>69</b>
<b>Bibliografía</b>	<b>71</b>

## II Anexos

<b>A. Esquemático PCU</b>	<b>75</b>
<b>B. Archivos de fabricación PCU</b>	<b>87</b>
<b>C. Plano de ensamblaje PCU</b>	<b>103</b>

<b>D. Esquemático PPU</b>	<b>107</b>
<b>E. Archivos de fabricación PPU</b>	<b>121</b>
<b>F. Plano de ensamblaje PPU</b>	<b>137</b>

# Índice de figuras

1.1.	Ejemplo de funcionamiento de un motor lineal . . . . .	2
1.2.	Sección transversal de la configuración DLIM con raíl . . . . .	2
1.3.	Ejemplo de distribución de las orientaciones magnéticas . . . . .	3
1.4.	Diagrama simplificado de la solución adoptada . . . . .	5
2.1.	Diagrama simplificado de la PCU . . . . .	7
2.2.	Esquemático utilizado para la comunicación Ethernet . . . . .	8
2.3.	Esquemático utilizado para la comunicación CAN . . . . .	9
2.4.	Esquemático utilizado para el sensor de aceleración (IMU) . . . . .	11
2.5.	Esquemático utilizado para el sensor de temperatura (PT100) . . . . .	12
2.6.	Función de transferencia obtenida de la hoja de características del sensor de corriente para el modelo de 600 A . . . . .	13
2.7.	Esquemático utilizado para el sensor de corriente . . . . .	14
2.8.	Esquemático utilizado para la simulación del sensor de corriente . . . . .	15
2.9.	Resultado de la simulación del sensor de corriente . . . . .	15
2.10.	Valores introducidos en el <i>PDN Tool</i> . . . . .	18
2.11.	Red de desacoplo propuesta para la red de 3,3 V . . . . .	18
2.12.	Respuesta en frecuencia de la red de desacoplo . . . . .	18
2.13.	Esquemático utilizado para el microcontrolador . . . . .	19
2.14.	Esquemático utilizado para los LEDs informativos . . . . .	20
2.15.	Esquemático utilizado para el regulador de 16 V . . . . .	22
2.16.	Esquemático utilizado para el regulador de 5 V . . . . .	23
2.17.	<i>Stack-Up</i> de la tarjeta de control PCU . . . . .	23
2.18.	<i>Stack-Up</i> de la tarjeta de control PCU visualizado en 3D . . . . .	24
2.19.	Perfil de impedancia de 100 $\Omega$ diferenciales . . . . .	24
2.20.	Perfil de impedancia de 120 $\Omega$ diferenciales . . . . .	25
2.21.	Emplazado de los componentes del PHY . . . . .	26
2.22.	Emplazado de los componentes del CAN . . . . .	26
2.23.	Emplazado de los componentes de los reguladores de tensión . . . . .	27
2.24.	Resultado final del emplazamiento de la tarjeta de control PCU . . . . .	27
3.1.	Diagrama simplificado de la PPU . . . . .	29
3.2.	Evolución de la energía de conmutación a <i>on</i> y a <i>off</i> en función de la resistencia de puerta . . . . .	31
3.3.	Distribución de corrientes cuando el transistor inferior de la rama conmuta a <i>off</i> . . . . .	32
3.4.	Evolución de las capacitancias parásitas con respecto a la tensión de drenador-surtidor . . . . .	33
3.5.	Esquemático utilizado para los semipuentes . . . . .	35
3.6.	Esquemático utilizado para los controladores de puerta . . . . .	36

3.7.	Disipación de potencia máxima en función de la temperatura del encapsulado del transistor . . . . .	37
3.8.	Esquemático utilizado para el regulador <i>Flyback</i> . . . . .	40
3.9.	Esquemático utilizado para la simulación del regulador <i>Flyback</i> . . . . .	41
3.10.	Esquemático utilizado para la simulación del regulador <i>Flyback</i> . . . . .	42
3.11.	Resultado de la tensión de salida de cada secundario del regulador <i>Flyback</i> . . . . .	42
3.12.	Resultado del rizado de la tensión de salida de cada secundario del regulador <i>Flyback</i> . . . . .	43
3.13.	Esquemático utilizado para el sensado de temperatura (NTC) . . . . .	44
3.14.	Esquemático utilizado para el sensado de la tensión del bus de continua . . . . .	45
3.15.	Esquemático utilizado para el regulador de 5 V aislados . . . . .	45
3.16.	<i>Stack-Up</i> de la tarjeta de potencia PPU visualizado en 3D . . . . .	46
3.17.	Colocación general de los componentes de la tarjeta de potencia (PPU) . . . . .	47
3.18.	Caja del inversor con las tarjetas ensambladas . . . . .	48
3.19.	Emplazado de los transistores en la tarjeta de potencia . . . . .	49
3.20.	Emplazado de los componente de puerta de los transistores . . . . .	50
3.21.	División de las conexiones de potencia en la tarjeta . . . . .	50
3.22.	Diseño del panel de fabricación para 3 unidades de la tarjeta de potencia . . . . .	51
3.23.	Ejemplo de <i>tabs</i> con <i>mouse bites</i> usados en el panel . . . . .	51
3.24.	Ejemplo de V-Scoring usados en el panel . . . . .	52
3.25.	Resultado final del emplazamiento de la tarjeta de potencia PPU . . . . .	52
4.1.	Tensión de salida del regulador de 5 V de la tarjeta de control . . . . .	54
4.2.	Rizado de la tensión de salida del regulador de 5 V de la tarjeta de control . . . . .	54
4.3.	Tensión de salida del regulador de 16 V de la tarjeta de control . . . . .	55
4.4.	Rizado de la tensión de salida del regulador de 16 V de la tarjeta de control . . . . .	55
4.5.	Tensión de salida del regulador <i>Flyback</i> de la tarjeta de potencia . . . . .	56
4.6.	Tensión de salida del regulador <i>Flyback</i> de la tarjeta de potencia ajustada . . . . .	57
4.7.	Rizado de la tensión de salida del regulador <i>Flyback</i> de la tarjeta de potencia . . . . .	57
4.8.	Nodo de conmutación del regulador <i>Flyback</i> . . . . .	58
4.9.	Detalle del nodo de conmutación del regulador <i>Flyback</i> . . . . .	58
4.10.	Señal proveniente del microcontrolador y salida del controlador de puerta . . . . .	59
4.11.	Señal de salida del controlador de puerta y tensión de salida del <i>Flyback</i> . . . . .	60
4.12.	Ampliación de la señal de salida del controlador de puerta . . . . .	60
4.13.	Tiempo muerto entre transistores de la misma rama . . . . .	61
4.14.	Tensión drenador-surtidor de un transistor en la parte baja de la rama . . . . .	61
4.15.	Señales de conmutación de las tres fases del motor generadas por la modulación <i>Space Vector</i> . . . . .	62
4.16.	Medida de la corriente de fase hasta los 120 A . . . . .	63
4.17.	Volante utilizado para las pruebas del sistema de tracción . . . . .	64
4.18.	Corrientes obtenidas en las pruebas con los motores y el volante . . . . .	65
4.19.	Simulación con el bobinado de la fase V invertido . . . . .	65
4.20.	Esquema de bobinado generado para el fabricante del motor . . . . .	66
4.21.	Velocidad alcanzada por el vehículo en las pruebas . . . . .	66
5.1.	Nuevo diagrama simplificado de la solución adoptada . . . . .	70



**Parte I**

**Memoria**



# Capítulo 1

## Introducción

### 1.1. Hyperloop UPV

Hyperloop UPV es un equipo universitario donde cada año se diseña un prototipo funcional de vehículos Hyperloop. Este año, el objetivo del equipo ha sido presentar un prototipo completo y robusto, capaz de levitar y desplazarse al mismo tiempo en un entorno de vacío, en un tubo diseñado también por los miembros.

La tecnología Hyperloop es considerada el sexto medio de transporte, capaz de vencer las principales barreras que actualmente impiden mejorar la manera en la que la sociedad se mueve. Uno de los claros ejemplos es el rozamiento con el aire y la fricción de las ruedas de los actuales trenes, principal razón por la que no se han podido llegar a diseñar trenes más veloces. Hyperloop soluciona esto a través de la levitación y el transporte de sus coches en un tubo al vacío, eliminando las dos variables anteriormente mencionadas.

Por otro lado, el consumo de combustibles fósiles que supone transportar a personas y mercancías mediante medios aéreos los trenes Hyperloop son capaces de solventarlos al ser 100% eléctricos, por lo que alimentándolos con energías renovables se estaría contribuyendo a la reducción de emisiones al medioambiente.

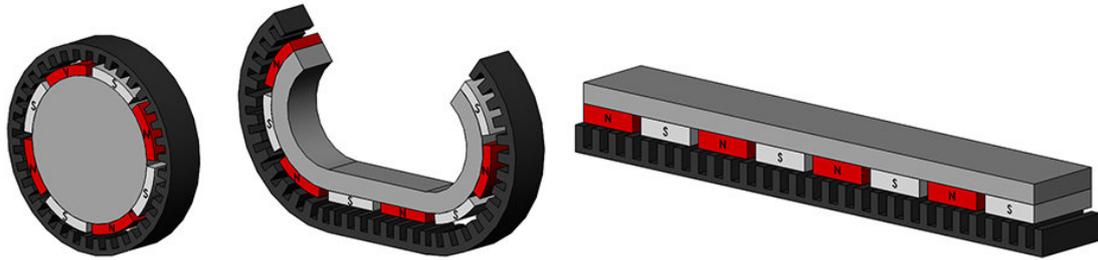
No todos son ventajas con esta tecnología, ya que para poder aplicar las soluciones mencionadas, primero se han de resolver ciertos problemas que plantean ellas mismas. Por ejemplo, en caso de emergencia y estando el tubo al vacío, ¿cómo se procedería a la evacuación?, o también, al no haber aire, ¿cómo se refrigerará la electrónica del vehículo si no es por conducción, calentando en sí el coche? Preguntas como estas son las que, junto a la instituciones reguladoras, se están intentado resolver, para incluirlas lo antes posible en la fase de diseño de los vehículos.

### 1.2. *Linear Induction Motors (LIMs)*

Este año, en Hyperloop UPV, la propuesta de tracción ha sido utilizar dos motores lineales de inducción, en una configuración llamada DLIM (*Dual Linear Induction Motor*).

Una manera sencilla de imaginar cómo obtener un motor lineal es a partir de motor rotativo. Si se es capaz de “cortar” el motor rotativo y estirarlo, como se muestra en la Figura 1.1, se obtiene

su contraparte lineal.

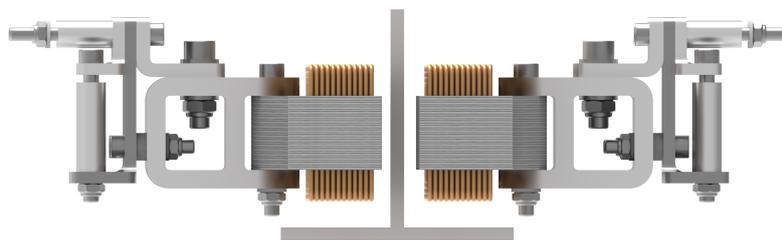


**Figura 1.1:** Ejemplo de funcionamiento de un motor lineal

En un motor de inducción rotativo en configuración de jaula de ardilla, se crea un campo magnético en las barras del estator al generar un campo magnético variable en el estator. Al ser opuestos entre ellos, se obtiene un efecto de “persecución”, lo que genera el movimiento rotativo.

El mismo principio es aplicable al motor lineal. Generando un campo magnético variable en el estator (motor lineal), se generan unas corrientes en el raíl que crean un campo magnético opuesto al generado, obteniendo el mismo efecto de atracción.

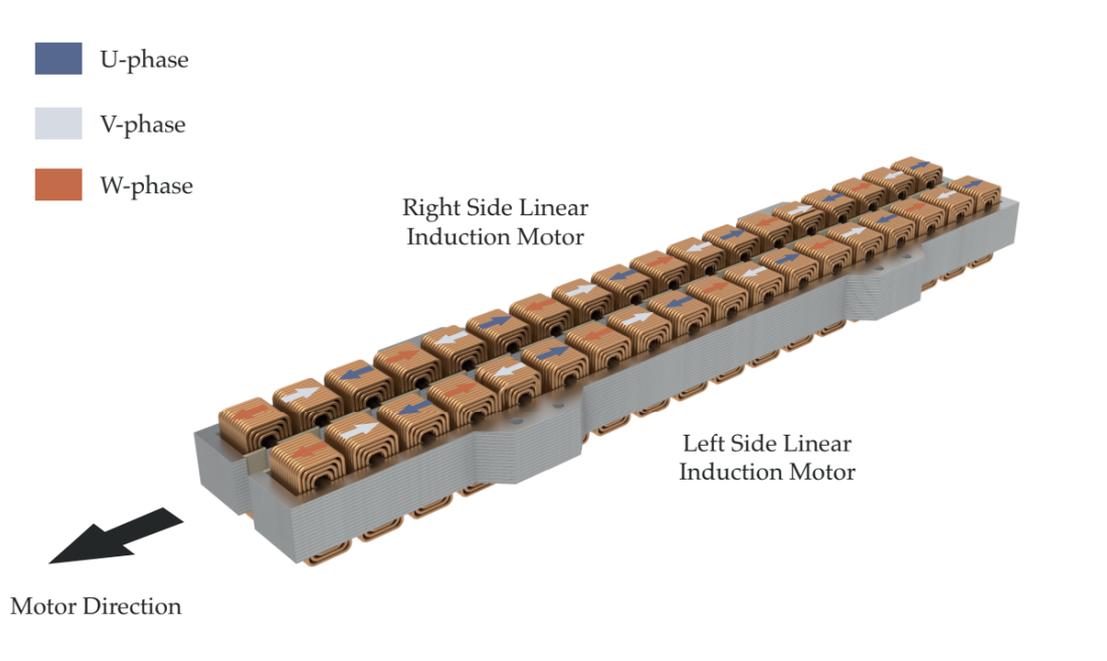
Volviendo al motor rotativo, dicho instrumento giraba en la misma dirección en la que se movía el campo magnético variable por el efecto de atracción sobre el rotor. La peculiaridad de esta aplicación es que el rotor está fijo, por lo que no se puede desplazar. Esto hace que en lugar de moverse la plancha de aluminio del raíl, el motor sea capaz de propulsarse en el sentido del campo magnético, generando el movimiento del vehículo. Una vista del sistema dual de motores se puede observar en la Figura 1.2.



**Figura 1.2:** Sección transversal de la configuración DLIM con raíl

En dicha configuración dual, ambos motores están sincronizados pero bobinados en sentido

contrario, generando la misma polaridad hacia el raíl en ambos lados, creando así el doble de corriente inducida y por tanto el doble de fuerza de propulsión. Las orientaciones magnéticas de dichas unidades se muestran en la Figura 1.3.



**Figura 1.3:** Ejemplo de distribución de las orientaciones magnéticas

### 1.3. Estado del arte

Una vez explicado como funciona el motor de este año, se procederá a estudiar las diferentes aplicaciones en las cuales son utilizados. Principalmente son dos campos los que se nutren de este tipo de motor, el transporte y las industrias.

Existen muchos tipos de motores lineales en la industria de transporte, como lo es el MAGLEV (*MAGnetic LEVitation*, levitación magnética), el usado en el llamado “tren bala”. A partir de bobinas y semiconductores es capaz de levitar y propulsarse en línea recta, lo que elimina el rozamiento con el suelo.

En cuanto al sector industrial, el uso del motor lineal se reduce al posicionamiento de precisión como en prensas, sistemas de manipulación y embalaje, lo que permite mejorar la calidad de los productos y la eficiencia en las fábricas.

Por último, otro ejemplo de utilización para los motores lineales son las montañas rusas. Aprovechando una de las principales características de los motores eléctricos, su rápida aceleración, parques de atracciones como *PortAventura* en Cataluña o *DisneyLand* en California permiten una sensación de velocidad difícilmente igualable por los sistemas hidráulicos o simplemente por los que utilizan la propia gravedad. Otros ejemplos de aplicaciones de los motores lineales, así como información en la historia de los mismos, se pueden consultar en [1].

En cuanto a los inversores de tracción, en [2] se pueden observar las diferentes propuestas que

los diversos fabricantes de automóviles han introducido al mercado para sus vehículos eléctricos. Pese a que estos inversores de tracción son utilizados para motores rotativos, ya se ha demostrado que el funcionamiento de ambos es bastante similar.

El mercado actualmente utiliza inversores de dos niveles para suplir sus necesidades, ya sea utilizando o no un convertidor elevador en caso de que sea necesario, aunque se comienza a mostrar cierto interés por los inversores de tres niveles, ya que pese a necesitar más componentes y tener una mayor complejidad en el control, es capaz de utilizar semiconductores de peores prestaciones para cumplir los requerimientos.

En cuanto a la tecnología de transistores, las más utilizadas son los MOSFETs (*Metal-Oxide Semiconductor Fiel-Effect Transistor*, transistor de efecto de campo con semiconductor de metal-óxido) o IGBTs (*Insulated-Gate Bipolar Transistors*, transistores bipolares de puerta aislada).

Los materiales utilizados comúnmente para crear estos transistores son Si (silicio) o SiC (carburo de silicio), aunque se está abriendo en el mercado una nueva tecnología, que permite una mayor frecuencia de conmutación y una menor resistencia de conducción, reduciendo ambas parte de las pérdidas de un transistor, las de conmutación y conducción respectivamente. Esta nueva tecnología está basada en el GaN (nitruro de galio).

Los inversores de tracción están cobrando cada vez más importancia debido a la rápida tendencia de electrificar el mundo automóvil para afrontar los problemas climáticos que generan. Muchas veces son utilizados en conjunto con un ICE (*Internal Combustion Engine*, motor de combustión interna), utilizando un modelo híbrido de propulsión o directamente sustituyendo al motor de combustión. Esto se puede plasmar en los ODSs (Objetivos de Desarrollo Sostenible) 7, 9 y 11, los cuales están relacionados con la energía sostenible, la innovación y la sostenibilidad de las ciudades.

El objetivo de desarrollo de estos sistemas de conversión de energía es, con el futuro, mejorar la eficiencia y reducir costes, lo que permitirá que los vehículos tengan mejores prestaciones y sean más económicos, convirtiéndolos en más llamativos para el público general, aumentando el porcentaje de electrificación del parque automovilístico mundial. No solo eso, sino que en un futuro no solo el sector automovilístico será eléctrico, sino también el aeroespacial o el ferroviario, eliminando los combustibles fósiles de cualquier medio de transporte.

El principal problema de la electrificación masiva es la sobrecarga que se le presentará a la actual red eléctrica mundial. Por eso los esfuerzos de mejora se tienen que presentar en ambos lados, tanto en el de transporte como en las instalaciones eléctricas para la carga y descarga de los mismos.

Como se sugiere en [3], Estados Unidos puede estar al borde de un colapso de su sistema gestión eléctrica debido al aumento de la carga en el mismo, problema que se debe de ir gestionando a la par que aumentan las demandas de los medios de transporte eléctricos.

### 1.4. Especificaciones de diseño

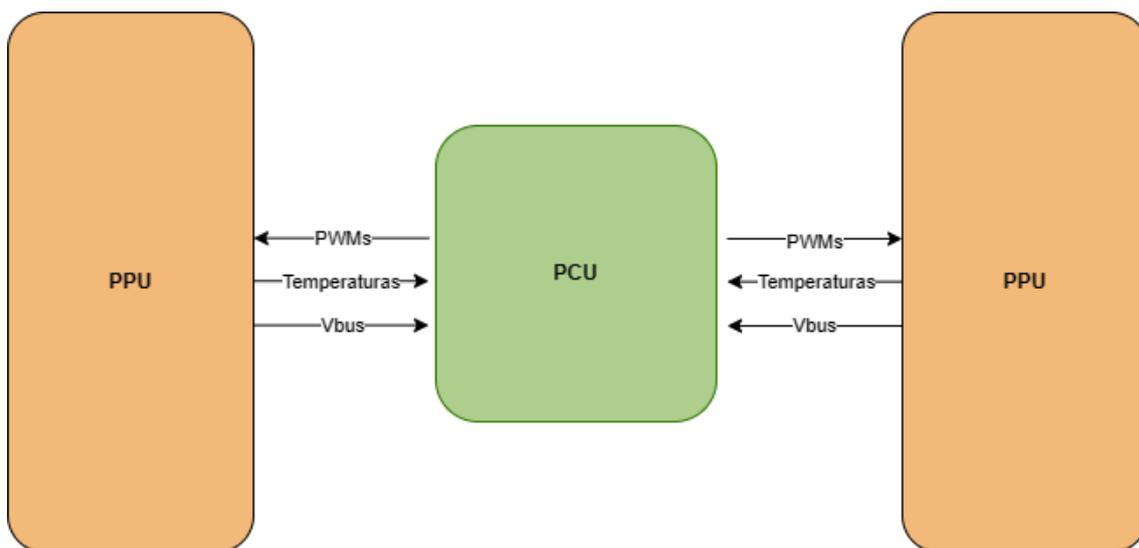
Las especificaciones en cuanto al sistema de tracción se resumen en la siguiente lista:

- Tensión: el inversor deberá soportar y conmutar tensiones de hasta 220 V

- Corriente: para generar la aceleración requerida se estima que por el motor deberían pasar 100 A de pico por cada fase, siendo alimentada esta por el inversor
- Temperatura: durante el periodo de operación ninguna componente o zona de la tarjeta deberá superar los 125°C

Como requerimiento, también se fijan ciertos componentes de uso obligatorio, principalmente debido a los patrocinios de los que dispone el equipo. De esta manera, en la tarjeta de control se deberá utilizar el componente LAN8700IC-AEZG-TR de Microchip como PHY para el Ethernet, mientras que en la placa de potencia los componentes de obligatorios son el controlador de puerta ADUM4221ARIZ de Analog Devices y el transistor UF3C065080B7S de la empresa Qorvo.

En la Figura 1.4 se muestra un diagrama sencillo de la solución adoptada, donde se irá indagando en los diferentes bloques que componen cada tarjeta a su debido tiempo. En resumidas cuentas, el sistema se divide en una tarjeta de control, denominada PPU (*Propulsion Control Unit*, Unidad de Control de Propulsión), la cual se encarga de gobernar dos tarjetas de potencia, llamadas PPU (*Propulsion Power Unit*, Unidad de Potencia de Propulsión).



**Figura 1.4:** Diagrama simplificado de la solución adoptada

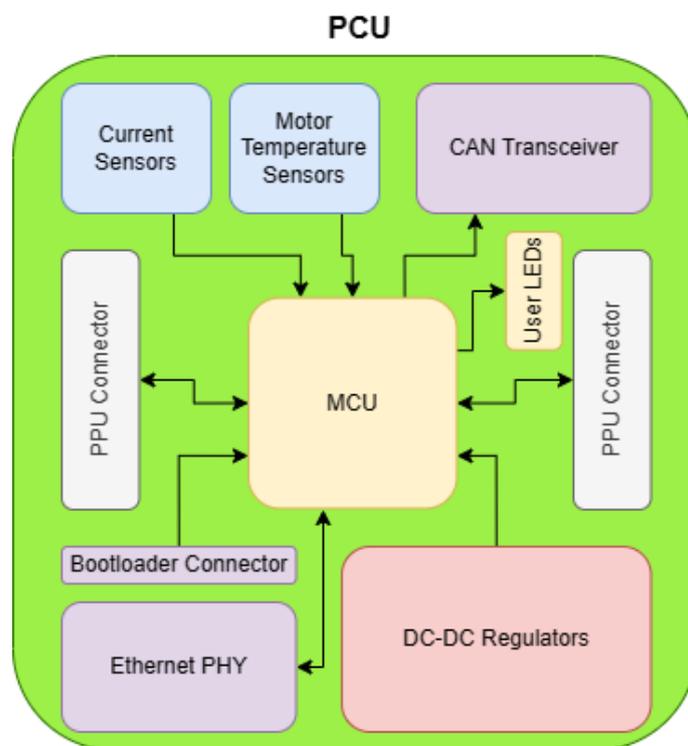
Estas especificaciones aplican al concepto del trabajo, el cual abarca tanto el diseño de la tarjeta de control como las dos de potencia y a su posterior verificación.



## Capítulo 2

# Diseño de la Unidad de Control

En esta sección se describirán los módulos y características que forman la tarjeta de control del inversor, llamada PCU. Se detallarán también los motivos y requerimientos que han llevado a tomar las decisiones necesarias para completar la tarjeta, para así acabar con la colocación y enrutado de dichos módulos, mostrados en el diagrama de la Figura 2.1.



**Figura 2.1:** Diagrama simplificado de la PCU

## 2.1. Selección de los buses de comunicación

En Hyperloop UPV, todos los años se diseña el sistema electrónico completamente desde cero, con lo que tras cada competición se evalúan aciertos y errores que corregir en el siguiente año. En cuanto a los buses de comunicación, el equipo encargado de la programación de las tarjetas comentó que tenía poco ancho de banda para enviar datos entre ellas cuando se utilizaba el protocolo CAN (*Controlled Area Network*), ampliamente usado en el sector de la automoción por su robustez.

Es por eso que este año, el principal protocolo de comunicación entre tarjetas pasaría a ser Ethernet, con una frecuencia de envío de 100 Mbps, lo que servirá para aumentar la cadencia de mensajes entre las tarjetas, permitiendo además de mayor tasa de envío un aumento en la capacidad del bus con respecto al CAN.

Para implementar esta aplicación, se ha usado un circuito integrado específicamente encargado de gestionar este bus, llamado PHY. La función principal de este componente es traducir mensajes de interfaces MII (*Media-Independent interface*) o RMI (*Reduced Media-Independent interface*) a protocolo Ethernet, este integrado se encarga de la capa física del propio protocolo. Las interfaces MII y RMI fueron diseñadas principalmente para poder comunicarse con los PHYs, siendo la única diferencias entre ellas el número de señales en el protocolo.

Debido a que el tamaño de la tarjeta es restrictivo y con el fin de reducir el número de señales a enrutar, se ha decidido optar por el protocolo RMII, ya que eso conlleva una reducción a la mitad en cuanto al número de señales necesarias. El PHY utilizado en la PCU ha sido proporcionado por uno de los patrocinadores del equipo, Microchip, siendo el nombre del integrado el LAN8700IC-AEZG-TR.

Utilizando como referencia las indicaciones dadas en [4] y siguiendo los pasos del diseño de referencia proporcionado por el fabricante, se ha diseñado el circuito mostrado en la Figura 2.2.

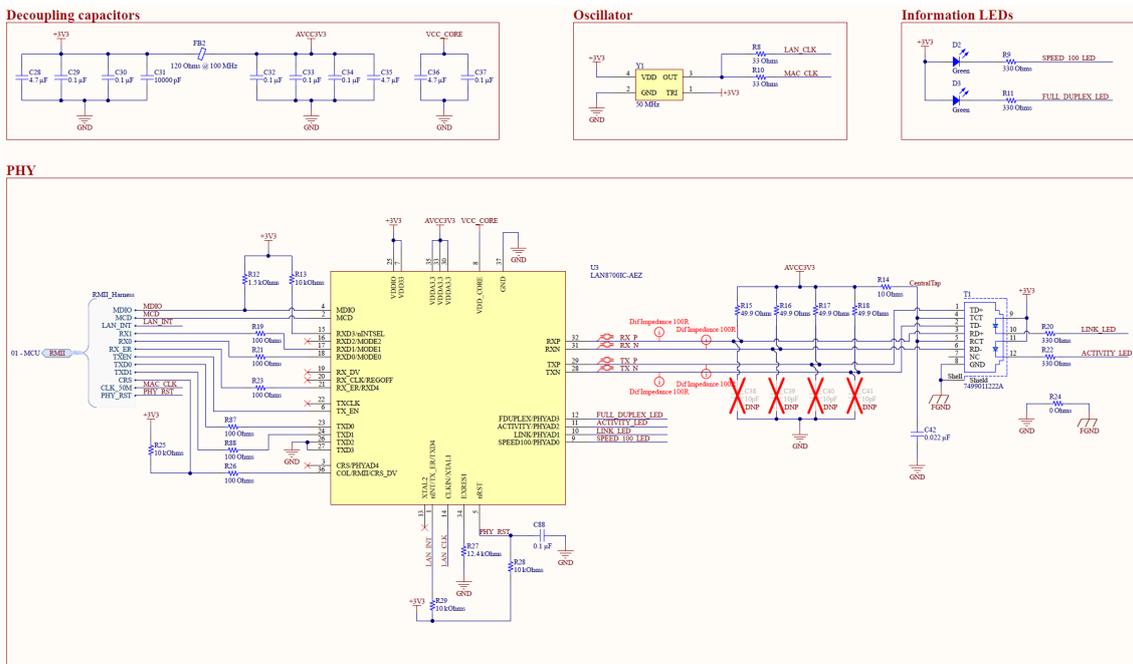


Figura 2.2: Esquemático utilizado para la comunicación Ethernet



que el condensador que conecta el punto medio a masa para eliminar problemas debidos al modo común del par. Por otro lado, con el objetivo de mejorar aún más el comportamiento ante el modo común, se dispone un filtro de modo común, así como condensadores a masa que también ayudan contra ese efecto.

Lo último que se aprecia en la línea son unos diodos TVSs (*Transient Voltage Supresors*, supresores de transitorios de tensión) para evitar problemas con las ESDs (*ElectroStatic Discharge*, descarga electrostática), producidas al tocar la tarjeta sin las protecciones adecuadas.

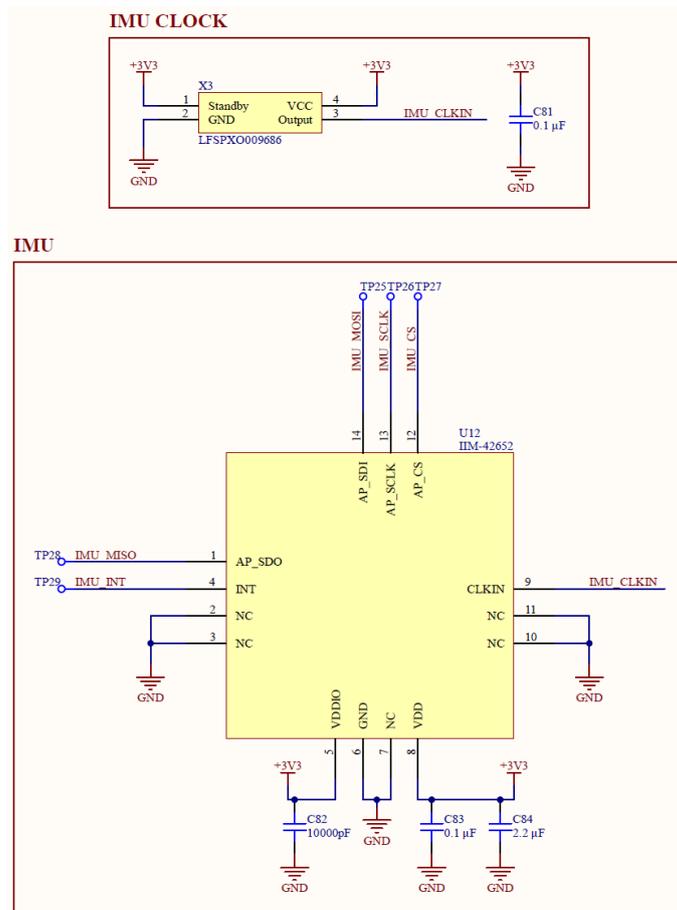
En esta misma página podemos comprobar como los mismos conectores de salida del CAN, son utilizados para alimentar la tarjeta. Esto ahorra espacio en la placa y simplifica el diseño. Se utilizan dos conectores ya que las tarjetas se conectarán en serie unas con otras, compartiendo el mismo bus CAN. De esta manera también la tarjeta encargada de generar la alimentación no será necesario que tenga un conector para cada tarjeta, con uno solo será suficiente.

## 2.2. Diseño de la instrumentación para los sensores

La tarjeta de control cuenta con sensores de aceleración, temperatura y corriente.

El sensor de aceleración es un dispositivo llamado IMU (*Inertial Measurement Unit*, unidad de movimiento inercial), el cual es capaz de medir la aceleración a la que es sometido. De esta manera, se puede conseguir el valor de aceleración en cada instante, por lo que integrándolo en el tiempo se puede obtener el valor de velocidad. Con el mismo procedimiento se puede obtener el valor de la posición, integrando la velocidad.

En la Figura 2.4, se muestra el esquemático utilizado para la IMU. Dicho integrado, cuyo modelo es el IIM-42652 del fabricante TDK, necesita una conexión mediante un bus SPI (*Serial Peripheral Interface*) con un dispositivo maestro para su configuración y al cual enviarle los datos de aceleración.



**Figura 2.4:** Esquemático utilizado para el sensor de aceleración (IMU)

El único elemento externo que necesita, al igual que el PHY para el protocolo Ethernet, es un reloj externo para mejorar la precisión temporal de las medidas, así como reducir el error del sistema y mejorar la sincronización entre el giroscopio y acelerómetro incluidos en el mismo encapsulado.

Con eso y las cuatro señales del SPI, el sensor estaría listo para funcionar. Se ha decidido llevar también la señal de interrupción al microcontrolador también, con el objetivo de utilizarlo en el código de la adquisición. Este pin cambia de nivel cuando la medida está lista para ser adquirida, pudiendo maximizar el rendimiento del dispositivo utilizando esta línea.

Por su parte, la medida de temperatura se realizará mediante sensores PT100s, los cuales irán introducidos dentro de las bobinas del motor durante su ensamblaje para monitorizar como varía la temperatura del propio motor durante su uso. Cada motor contará con dos sensores de temperatura, uno en cada extremo.

El esquemático utilizado para la lectura de temperatura se muestra en la Figura 2.5, donde se puede apreciar que dicha lectura se realiza mediante un divisor resistivo y un buffer, seguidos después de un filtro RC para mejorar la lectura.

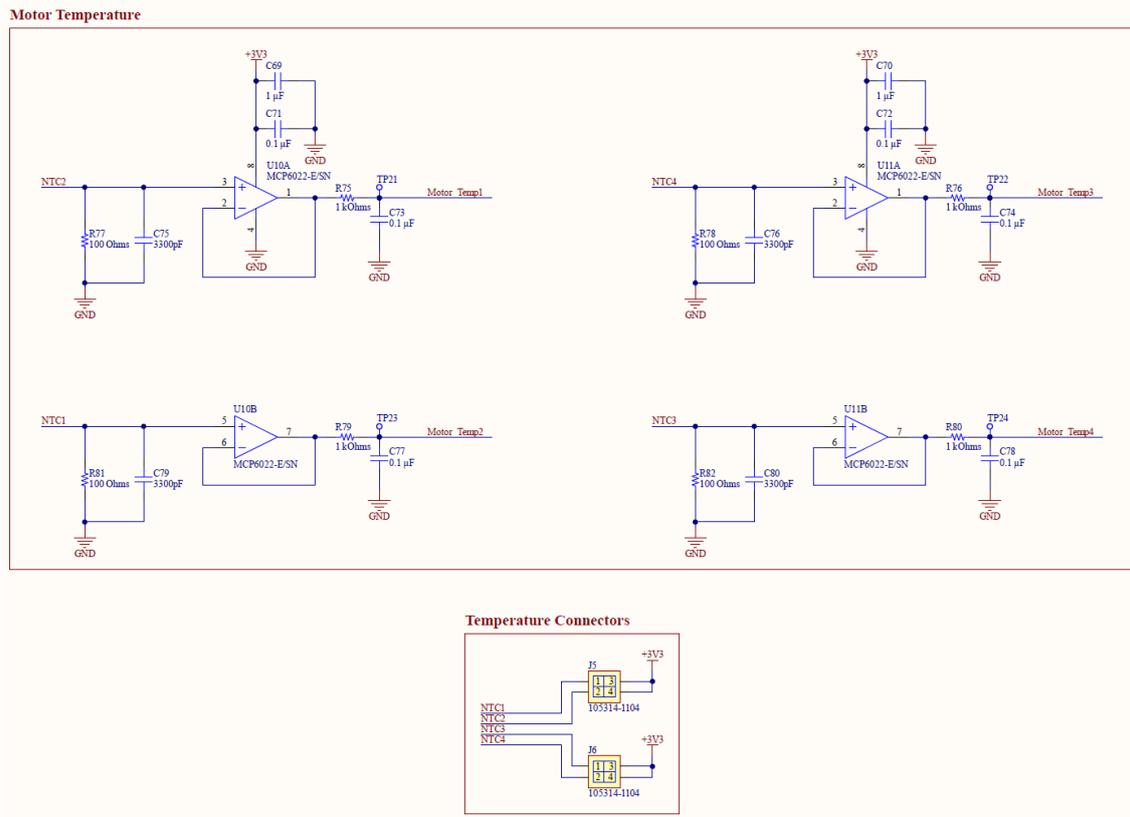
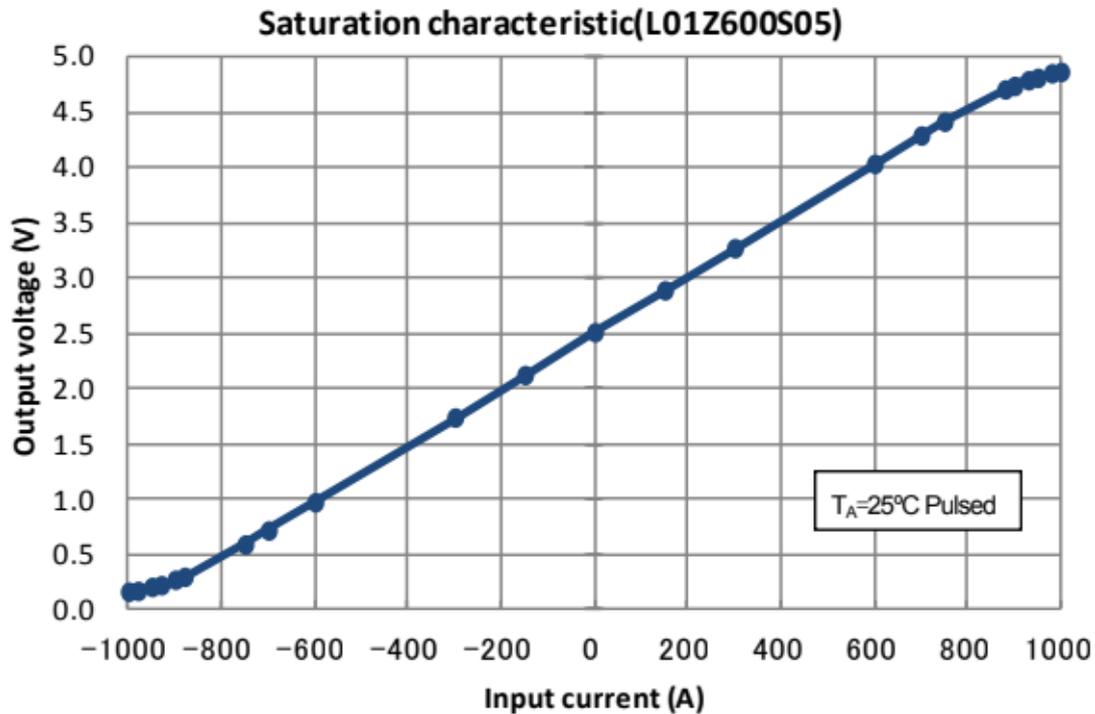


Figura 2.5: Esquemático utilizado para el sensor de temperatura (PT100)

Las dos PT100s de cada motor se cablearán a un mismo conector, para reducir el número de componentes utilizados. De esta misma manera, el amplificador operacional escogido es dual, presentando dos en el mismo encapsulado, por lo que se consigue también reducir los componentes utilizados en el circuito, ya que ambos amplificadores comparten alimentación.

Por último, los sensores de corriente seleccionados son los usados anteriormente en otros años, el L01Z300S05 del fabricante Tamura. Estos sensores presentan una ventaja al ser de efecto hall, y es que la salida del sensor está totalmente aislada de la parte de potencia, de donde proviene la corriente medida. De esta manera, la adaptación del sensor puede estar en la tarjeta de control, pese a estar midiendo magnitudes del dominio de potencia.

El sensor seleccionado es capaz de medir hasta 300 A, tanto positivos como negativos, con una función de transferencia lineal, como se puede comprobar en la Figura 2.6. Esta curva pertenece al modelo del sensor capaz de medir hasta 600 A, pudiendo extrapolar los valores para el de 300 A.



**Figura 2.6:** Función de transferencia obtenida de la hoja de características del sensor de corriente para el modelo de 600 A

Para tener margen de medida, pese a tener como requerimiento de diseño una corriente por fase máxima de 100 A, se ha decidido dejar un margen del doble, pudiendo llegar a medir hasta 200 A. Utilizando la función de transferencia anterior, se puede deducir que la señal generada por el sensor para una corriente entre  $\pm 200$  A tendrá un rango de entre 1,5 V y 3,5V.

La etapa de adaptación mostrada en la Figura 2.7 tiene como objetivo eliminar el valor de continua del rango de salida del sensor y añadir una ganancia para aprovechar más el rango del módulo ADC (*Analog to Discrete Converter*, convertidor analógico-digital) del microcontrolador seleccionado, ya que de lo contrario la señal resultante variará entre 0 V y 2 V.

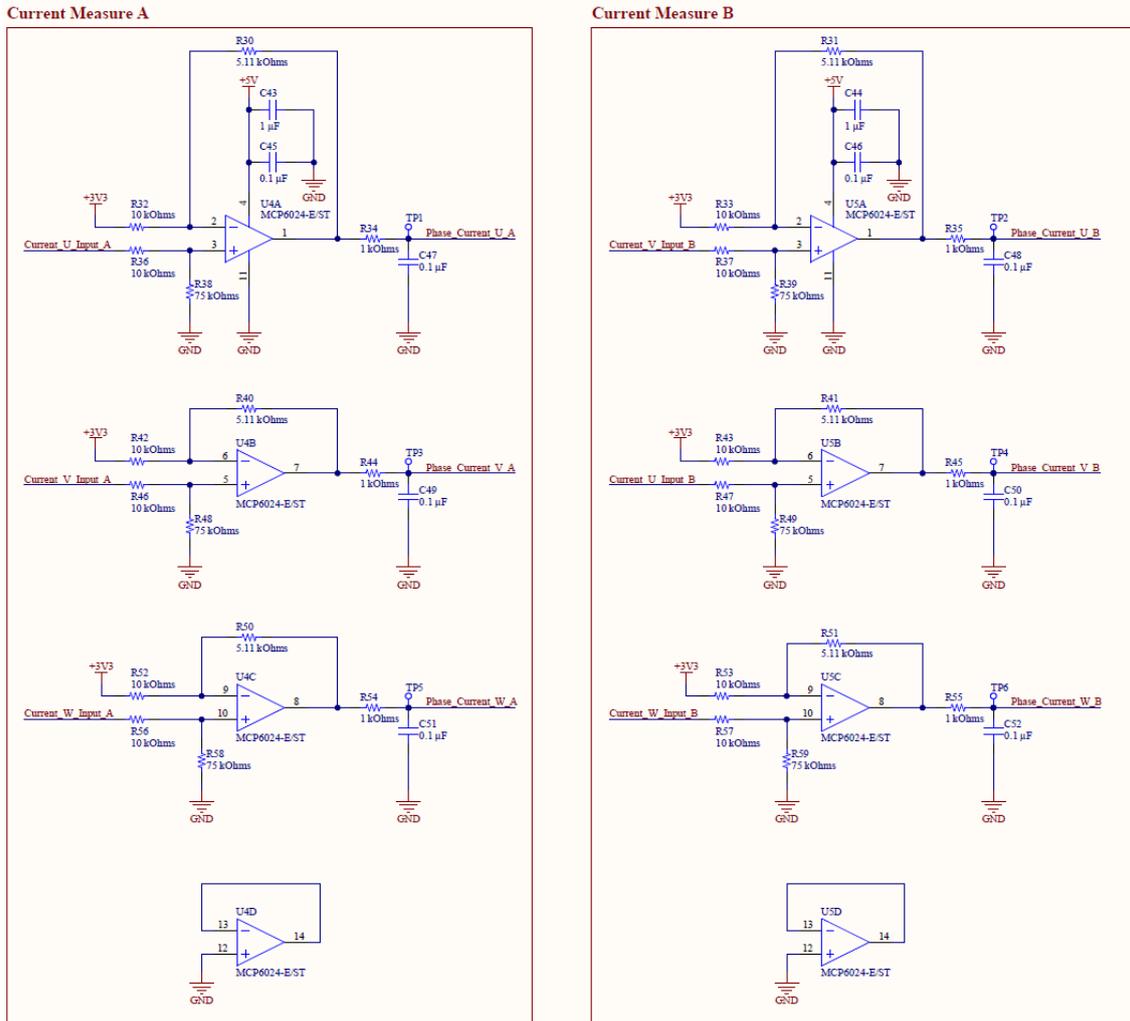
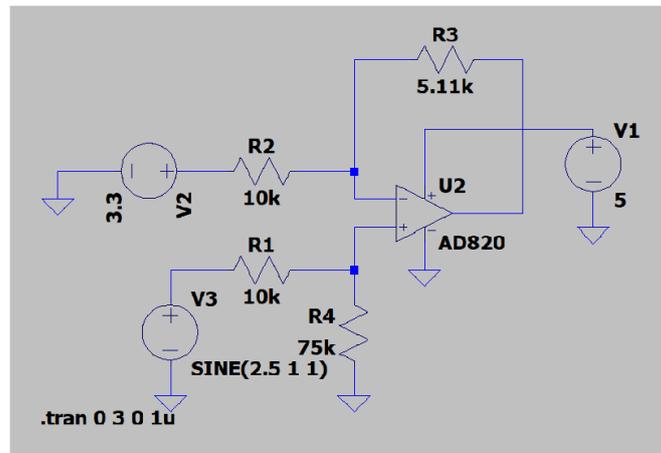


Figura 2.7: Esquemático utilizado para el sensor de corriente

Al igual que en el caso del sensor de temperatura, se ha utilizado un encapsulado con varios amplificadores operacionales en su interior que comparten alimentación para ahorrar espacio y reducir el número de componentes. El amplificador no utilizado se ha conectado como recomienda la hoja de características del componente.

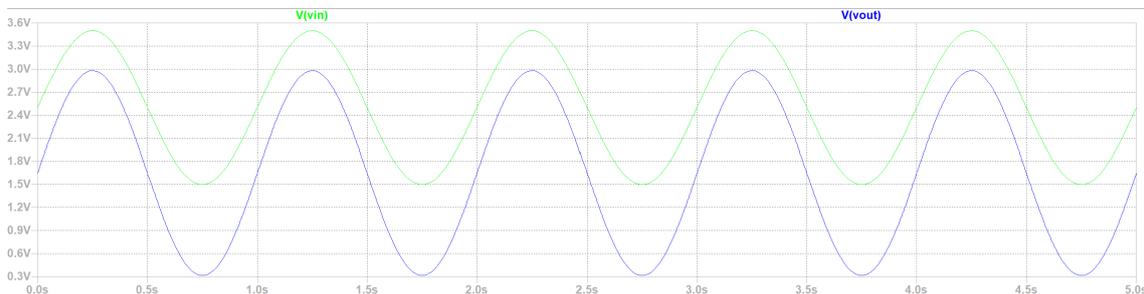
El circuito mostrado como bien se ha comentado, se encarga de eliminar el valor de continua presente de 1,5 V en el rango de salida del sensor, y posteriormente de multiplicar la señal por una ganancia de 1,5, para aumentar el rango de entrada del ADC hasta 3 V. Se han dejado unas décimas de voltio como seguridad para no superar el límite de entrada del pin y romper dicho canal.

Para comprobar su correcto funcionamiento se ha montado una simulación en el programa LTSpice con un amplificador similar al utilizado. El esquemático de la simulación se muestra en la Figura 2.8.



**Figura 2.8:** Esquemático utilizado para la simulación del sensor de corriente

La entrada a la etapa ha sido modelada como una señal sinusoidal con un valor de continua de 2,5 V y una amplitud de 1 V. Como se puede comprobar en la Figura 2.9, la señal de salida varía entre 0 V y 3 V, tal y como se esperaba, por lo que se puede confirmar el correcto diseño de la etapa. En el momento de la prueba, habrá que caracterizar el sensor y ajustar levemente los valores del circuito en caso de ser necesario.



**Figura 2.9:** Resultado de la simulación del sensor de corriente

## 2.3. Microcontrolador y periféricos

Una vez se han descrito de los bloques más importantes de la tarjeta, se deberá elegir un microcontrolador capaz de gestionar todas las entradas y salidas necesarias en el inversor. A continuación se muestra una lista a modo de resumen de todas las entradas y salidas que deberá incluir el microcontrolador:

- Comunicación RMII
- Comunicación CAN
- Comunicación SPI
- Comunicación Serial

- 20 entradas analógicas (10 para los sensores conectados a la tarjeta de control y otras 10 para las dos tarjetas de potencia)
- 6 canales PWM (Pulse Width Modulation, modulación de ancho de pulso)
- 10 pines GPIOs (General Purpose Input/Output, entradas/salidas de uso general)

Teniendo en cuenta esto y que el equipo de programadores está familiarizado con el entorno de programación de la marca ST, se ha decidido utilizar un procesador de altas prestaciones de esta empresa, concretamente de la familia H7, la más potente que presenta.

Otra de las razones de utilizar la gama más potente que presenta es el alto nivel de computación y carga que va a deber ejecutar, sabiendo todos los buses de comunicación y complejo control que se espera implementar. En concreto, el componente elegido es el STM32H723ZG de 144 pines.

Siendo un microcontrolador con una frecuencia máxima de 550 MHz, 1 MB de memoria tipo Flash y 564 KB de memoria RAM (*Random Access Memory*, memoria de acceso aleatorio), será suficiente para ejecutar todo el código necesario además de proporcionar todas las buses de comunicaciones requeridos para el sistema.

Se le ha decidido incluir al microcontrolador una referencia de frecuencia tanto de baja como de alta, para obtener mayor precisión en ambas en caso de que se quieran tener referencias temporales fiables. Mediante dos cristales, uno de 32,768 kHz y otro de 25 MHz, se podrá configurar el árbol de frecuencias de manera más sencilla.

El reloj de mayor frecuencia será utilizado principalmente para la generación de la referencia de frecuencia para el propio funcionamiento del microcontrolador, mientras que el de menor frecuencia se encargará de generar la referencia para las marcas de tiempo del guardado de datos o para el calendario si se utiliza.

La programación del microcontrolador se realizará mediante la interfaz JTAG de 4 cables, la cual mediante un programador de la misma marca que el integrado, permitirá no solo la configuración del microcontrolador sino permitir entrar en el modo depuración para comprobar el correcto funcionamiento del código.

Para comprobar que el microcontrolador es capaz de mandar mensajes de manera sencilla se ha añadido un conector para depuración con el que tener la comunicación Serial de manera accesible para posibles pruebas sin tener el programador conectado. Del mismo modo, para medir de manera más sencilla la alimentación, se dispone un conector donde acceder a la propia alimentación del microcontrolador.

Este año además, se ha decidido añadir también un conector para poder programar el microcontrolador a distancia, mediante una tarjeta exclusivamente dedicada a ello. Esta tarjeta externa presenta un conector por cada placa del vehículo, permitiendo la programación de cualquiera de ellas de manera remota.

Para asegurar que la alimentación del microcontrolador se encuentra en todo momento dentro de los límites que especifican en la hoja de características, se procederá a diseñar la red de desacoplo de la tensión de alimentación utilizada por el integrado.

El primer paso es obtener la corriente máxima consumida por todos los componentes conectados a esa alimentación. Para ello se muestra en la siguiente lista los dispositivos conectados y su consumo máximo obtenido de sus respectivas hojas de características:

- Microcontrolador: 1,5 A (100 mA por pin de alimentación)
- Transceiver CAN: 0,5 mA
- PHY: 81,6 mA
- LEDs: 15 mA
- Amplificadores operacionales para el sensado de temperatura: 3 mA
- IMU: 0,67 mA

Teniendo en cuenta la anterior lista, se puede obtener que el máximo de corriente que demandarán los integrados conectados a la alimentación de 3,3 V será de 1,6 A aproximadamente. De este valor de corriente se considera que, en el peor de los casos, el 50 % de la misma será dinámica.

Según lo especificado en la hoja de características, la tensión de alimentación típicamente no puede superar los 3,6 V, por lo que el límite impuesto en la variación de tensión será del 10 %. Con estos datos se puede calcular la impedancia objetivo a no superar por la red de desacoplo mediante la Ecuación 2.1.

$$Z_{target} = \frac{\Delta V}{\Delta I} \quad (2.1)$$

Siendo  $Z_{target}$  la impedancia objetivo,  $\Delta V$  la variación máxima de tensión y  $\Delta I$  la variación máxima de corriente. Sustituyendo los datos anteriormente mostrados, se obtiene que la impedancia objetivo de la red de desacoplo no debe superar los 375 mΩ.

El siguiente paso será obtener la frecuencia límite a la que la red de desacoplo dejará de aportar beneficios debido a que la propia impedancia del pin ya va a ser superior al límite calculado. Para ello, según se ha podido extrapolar con los datos obtenidos en [5], la inductancia del pin del microcontrolador es de cerca de 5 nH. Con este nuevo dato y la Ecuación 2.2, se podrá calcular la frecuencia máxima de efecto de la red de desacoplo.

$$Z_{target} = 2 \cdot \pi \cdot f_{target} \cdot L_{pin} \quad (2.2)$$

Siendo  $f_{target}$  la frecuencia a la cual la impedancia presentada por la red de desacoplo es superada por la del encapsulado del microcontrolador y  $L_{pin}$  la inductancia presentada por el propio pin. Introduciendo los valores se obtiene que la frecuencia límite se encuentra en torno a los 12 MHz.

Una vez obtenidos todos los valores necesarios, serán introducidos en la hoja de cálculo *PDN Tool* de Altera, donde introduciendo los parámetros de los condensadores deseados se podrá observar si cumplen los requisitos de la red de desacoplo. En la Figura 2.10 se muestran introducidos los valores calculados anteriormente.

Target Impedance	Units	Value	Legend
Supply Voltage (Min)	V	3,3	N/A
I max	A	1,6	N/A
Transient Current	%	50	N/A
Vripple (+/-)	%	10	N/A
Frequency target	MHz	20	Ftarget
Ztarget = $\Delta V / \Delta I$	$\Omega$	0,4125	Ztarget

Figura 2.10: Valores introducidos en el *PDN Tool*

Por último, se ha diseñado la red de desacoplo mostrado en la Figura 2.11, donde se colocará un condensador de  $0,1 \mu\text{F}$  por cada pin de alimentación de los integrados además de añadir algún condensador extra de  $0,47 \mu\text{F}$ ,  $1 \mu\text{F}$ ,  $2,2 \mu\text{F}$ ,  $4,7 \mu\text{F}$  o  $10 \mu\text{F}$ .

CAP	Value ( $\mu\text{F}$ )	Footprint	Layer	Orientation	QTY	Eqv. Cap ( $\mu\text{F}$ )	Eqv. ESR ( $\Omega$ )	Eqv. ESL (nH)	Eqv. Lmnt (nH)	Legend
From Library	0,1	0603	TOP	VOS	24	2,4000	0,0015	0,0208	0,0774	Zc1
	0,47	0603	TOP	VOS	1	0,4700	0,0230	0,5000	1,8588	Zc2
	1	1206	TOP	VOS	4	4,0000	0,0023	0,2500	0,5248	Zc3
	2,2	1206	TOP	VOS	3	6,6000	0,0020	0,3333	0,6998	Zc4
	4,7	1206	TOP	VOS	4	18,8000	0,0013	0,2500	0,5248	Zc5
										Zc6
										Zc7
										Zc8
										Zc9
										Zc10
User1	10	1206	TOP	VOS	2	20,0000	0,0025	0,5000	1,0496	Zc13
User2										Zc14
User3										Zc15
User4										Zc16

Figura 2.11: Red de desacoplo propuesta para la red de 3,3 V

La respuesta en frecuencia de la red de desacoplo se muestra en la Figura 2.12, donde se puede comprobar que siempre se encuentra por debajo del valor de impedancia objetivo calculado al inicio del diseño de la propia red.

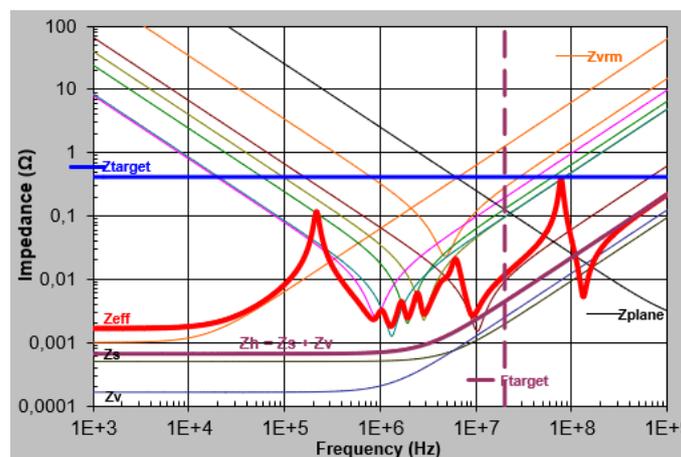


Figura 2.12: Respuesta en frecuencia de la red de desacoplo

Tras haber diseñado la red de desacoplo del microcontrolador, la página del esquemático donde se encuentra el integrado se muestra en la Figura 2.13. En ella se pueden ver todas las conexiones que salen de él, entre ellas las del RMII, CAN, las tarjetas de potencia y las PWMs entre otras.

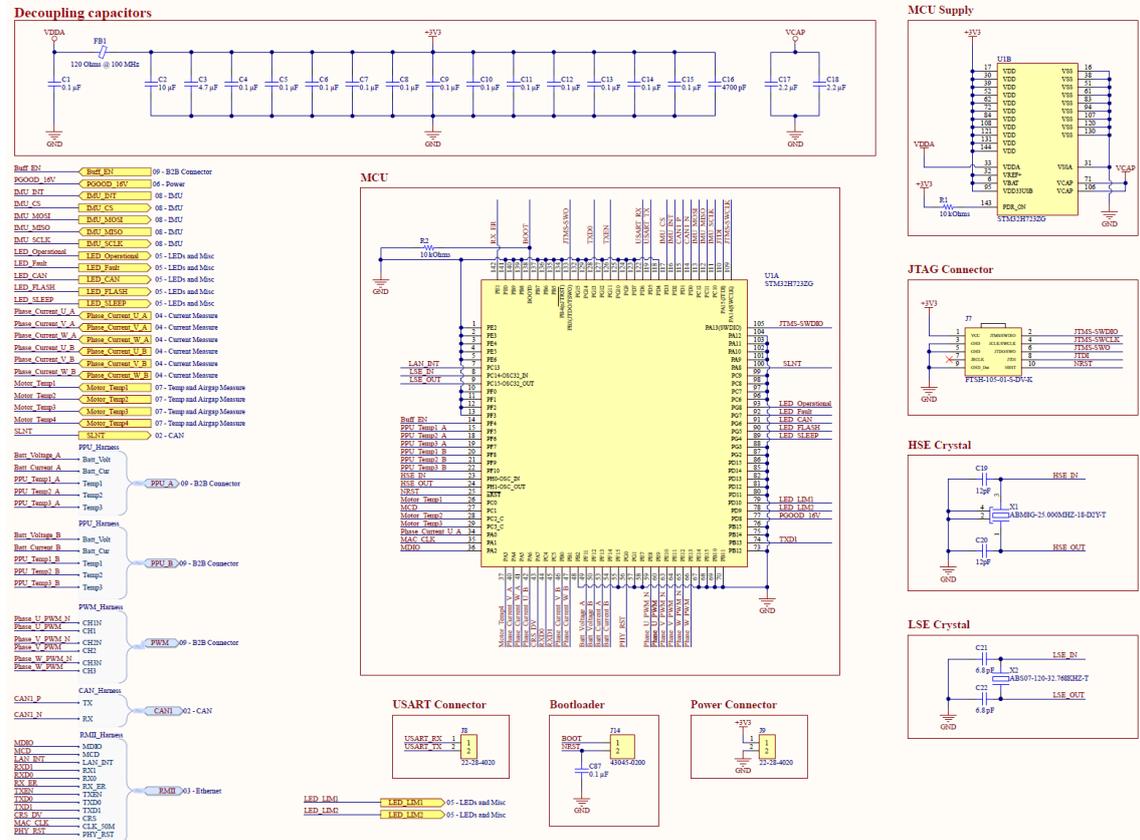


Figura 2.13: Esquemático utilizado para el microcontrolador

Los LEDs mencionados son diodos externos que serán usados por el equipo de programación para codificar el estado de funcionamiento de la propia tarjeta y sus módulos. Para proporcionar la suficiente corriente se presenta un integrado con diferentes transistores de tipo Darlington en paralelo, capaz de controlar cada una de sus entradas un LED diferente. El esquemático de esta sección se muestra en la Figura 2.14.

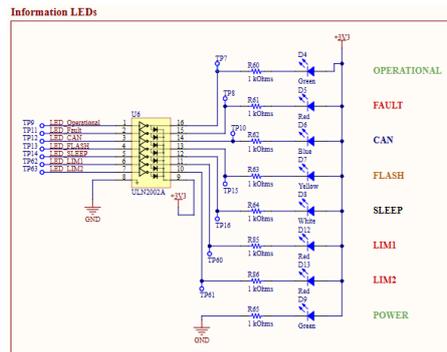


Figura 2.14: Esquemático utilizado para los LEDs informativos

## 2.4. Diseño de los reguladores de tensión

Todo el sistema del vehículo va alimentado por baterías, las cuales son usadas tanto para la alimentación de la parte de potencia como para la de control. Una de las tarjetas situada dentro del prototipo, la cual alberga un convertidor DC-DC, será la encargada de pasar la tensión variable de las baterías de 220 V a 24 V. Esta última tensión será la de alimentación de todas las tarjetas.

Partiendo de la tensión de alimentación, se dispondrán dos reguladores DC-DC, uno que pase de los 24 V a 16 V para alimentar los reguladores de las tarjetas de potencia y otro baje de 24 V a 5 V, para toda la parte de control. Por último, para alimentar al microcontrolador y otros dispositivos conectados con una tensión de 3,3 V, se dispondrá un LDO (*Low Dropout*, regulador de baja caída de tensión) con entrada de 5 V y una salida de 1,5 A de máxima, cubriendo la consumición típica. El nombre del LDO seleccionado es el LT1963AEST-3.3 de Analog Devices.

De los dos reguladores restantes, el encargado de generar los 16 V es el más restrictivo ya que es el que más corriente deberá generar para alimentar correctamente a los circuitos de la etapa de potencia. Se estima en un principio que la demanda de corriente de cada placa de potencia es de 1 A de continuo, lo que haría un consumo total de 2 A para este bus.

Para suplir la corriente necesaria se ha diseñado el regulador entorno al controlador LM5013-Q1 de Texas Instruments. El cual es capaz de suplir hasta 3,5 A a su salida, suficiente para alimentar ambas tarjetas. El primer requerimiento será fijar la frecuencia de conmutación del integrado, la cual afectará al tamaño de la bobina y a las pérdidas del integrado.

Se ha elegido un DC-DC con topología Buck debido a su sencillez y al poco número de componentes necesarios para su montaje, facilitando así el ensamblaje, la verificación y el ajuste del mismo.

Para llegar a un compromiso entre menor tamaño de los componentes pero menores pérdidas en el transistor, se ha decidido utilizar como frecuencia de conmutación 300 kHz, recomendada también por el fabricante en la hoja de características del componente. Para ello, se ha utilizado la Ecuación 2.3 para calcular el valor de la resistencia que fija dicha frecuencia.

$$R_{Ron}(k\Omega) = \frac{V_{out} \cdot 2500}{f_{sw}} \quad (2.3)$$

Siendo  $R_{Ron}$  el valor en  $k\Omega$  de la resistencia a calcular,  $V_{out}$  el valor deseado de tensión de salida y  $f_{sw}$  la frecuencia de conmutación requerida. Sustituyendo los valores se obtiene que el valor de resistencia necesario es de 133  $k\Omega$ . El siguiente paso es ya calcular el valor de la inductancia de la bobina del regulador, lo cual se realizará mediante la Ecuación 2.4.

$$L_o = \frac{V_{out}}{f_{sw} \cdot \Delta I_l} \cdot \left(1 - \frac{V_{out}}{V_{in}}\right) \quad (2.4)$$

Donde  $L_o$  es el valor de inductancia a calcular,  $\Delta I_l$  el rizado máximo de corriente deseado y  $V_{in}$  el valor de entrada nominal de la tensión de entrada. El rizado de corriente máximo suele fijarse entre un 30 % y un 50 % de la corriente de salida, siendo el primero de ellos el utilizado en el diseño. Utilizando los valores dados y sabiendo que la tensión de entrada nominal son 24 V, se obtiene una inductancia de 33  $\mu H$  aproximadamente, concretamente el modelo 7447709330 de Würth Elektronik, lo que significa un rizado de corriente de pico a pico de 500mA.

Lo siguiente será calcular el valor de los condensadores de salida del regulador, encargados de suavizar el rizado de salida del regulador y de suplir los picos de demanda del bus de salida. Para calcular el valor mínimo de capacitancia se ha utilizado la Ecuación 2.5, teniendo como requisito que el rizado sea menor del 0,5 % de la tensión de salida.

$$C_{out} \geq \frac{\Delta I_l}{8 \cdot f_{sw} \cdot V_{out\_ripple}} \quad (2.5)$$

Siendo  $C_{out}$  el valor de capacitancia de salida a calcular y  $V_{out\_ripple}$  el valor de rizado máximo deseado. Tras introducir los valores en la fórmula, se obtiene que la capacitancia mínima es de 3  $\mu F$ . Para sobredimensionar el sistema, se han dispuesto de dos condensadores de 22  $\mu F$  cada uno a la salida del regulador. Para la selección de los condensadores de entrada se seguirá la recomendación del fabricante de utilizar como mínima capacitancia 4,4  $\mu F$ , por lo que se utilizarán dos condensadores de 2,2  $\mu F$  en paralelo.

Para calcular el valor de las resistencias del lazo de tensión se utilizará la Ecuación 2.6, proporcionada por el fabricante. Asumiendo un valor de la resistencia  $R_{FB1}$  de 100  $k\Omega$ , se procederá a obtener el valor de la resistencia restante.

$$R_{FB2} = \frac{1,2}{V_{out} - 1,2} \cdot R_{FB1} \quad (2.6)$$

Donde  $R_{FB2}$  es el valor de la segunda resistencia del lazo y  $R_{FB1}$  el valor de la primera resistencia. Sustituyendo valores, el valor de la segunda resistencia es aproximadamente de 8,06  $k\Omega$ . Por último, se procederá a calcular el valor de los componentes de la compensación de la realimentación, en este caso una red de Tipo 3, formada por un filtro RC cuya salida es acoplada en AC mediante otro condensador y sumada al valor del punto medio del feedback. Esto produce una rampa en fase con la corriente de la bobina que reduce el rizado de tensión a la salida al mínimo.

Para ello, el primer paso es calcular el valor del condensador del filtro RC, cuyo mínimo se calcula con la Ecuación 2.7 proporcionada por el fabricante.

$$C_a \geq \frac{10}{f_{sw} \cdot (R_{FB1} \parallel R_{FB2})} \quad (2.7)$$

Sustituyendo valores se obtiene que el valor mínimo de  $C_a$  es de 4,4 nF, por lo que se ha seleccionado un condensador de 6,8 nF. Siguiendo con el filtro RC, mediante la Ecuaciones 2.8 y 2.9 se podrá calcular el valor de la resistencia.

$$t_{on}(\mu s) = \frac{R_{Ron}(k\Omega)}{V_{in} \cdot 2,5} \quad (2.8)$$

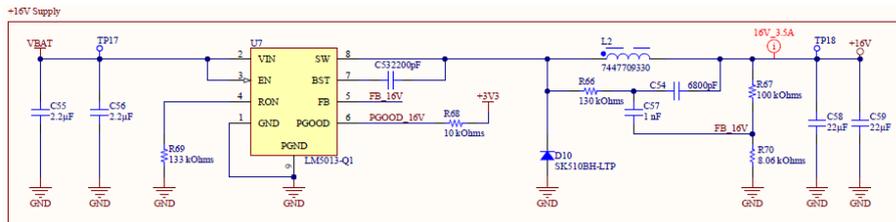
$$R_a \cdot C_a \geq \frac{(V_{in} - V_{out}) \cdot t_{on}}{20 \cdot 10^{-3}} \quad (2.9)$$

Siendo  $R_a$  el valor de la resistencia a calcular y  $t_{on}$  el valor del tiempo de encendido del transistor. Sustituyendo valores, se obtiene un valor de la resistencia del filtro mínima de 130 k $\Omega$ , valor utilizado finalmente. El último componente restante es el condensador de acople en AC, cuyo valor se calcula mediante la Ecuación 2.10.

$$C_b \geq \frac{t_{tr\_settling}}{3 \cdot R_{FB1}} \quad (2.10)$$

Siendo  $C_b$  el valor del condensador buscado y  $t_{tr\_settling}$  el valor del tiempo deseado que dure el transitorio en la carga. Para esta última variable se ha utilizado el valor que recomienda el fabricante de 75  $\mu s$ , por lo que el valor mínimo de capacitancia queda en 0,25 nF. El valor final de condensador seleccionado es de 1 nF. La red de compensación calculada deberá ser ajustada posteriormente con la tarjeta ensamblada, pudiendo afectar tanto las tolerancias de los componentes como los parásitos presentes en el circuito diseñado.

Tras todos los cálculos, en la Figura 2.15 se muestra el esquemático del regulador DC-DC de 16 V, con todos los componentes obtenidos.



**Figura 2.15:** Esquemático utilizado para el regulador de 16 V

Con respecto al regulador de 5 V, para simplificar la lista de componentes necesarios para ensamblar la tarjeta, se ha decidido utilizar el mismo controlador que en el regulador de 16 V. De esta manera, realizando un proceso similar al descrito anteriormente, se obtiene el circuito mostrado en la Figura 2.16, donde se puede ver el nuevo convertidor junto al LDO mencionado al principio del apartado.

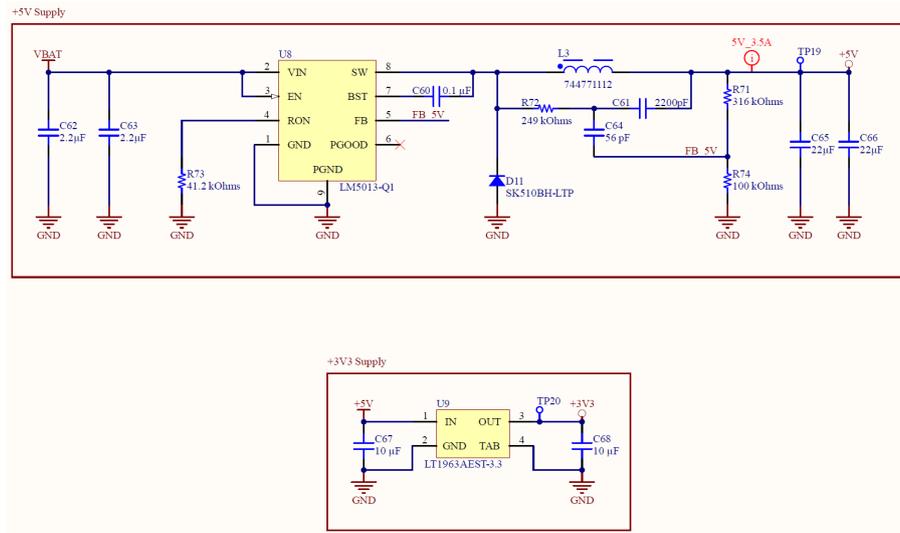


Figura 2.16: Esquemático utilizado para el regulador de 5 V

## 2.5. Enrutado

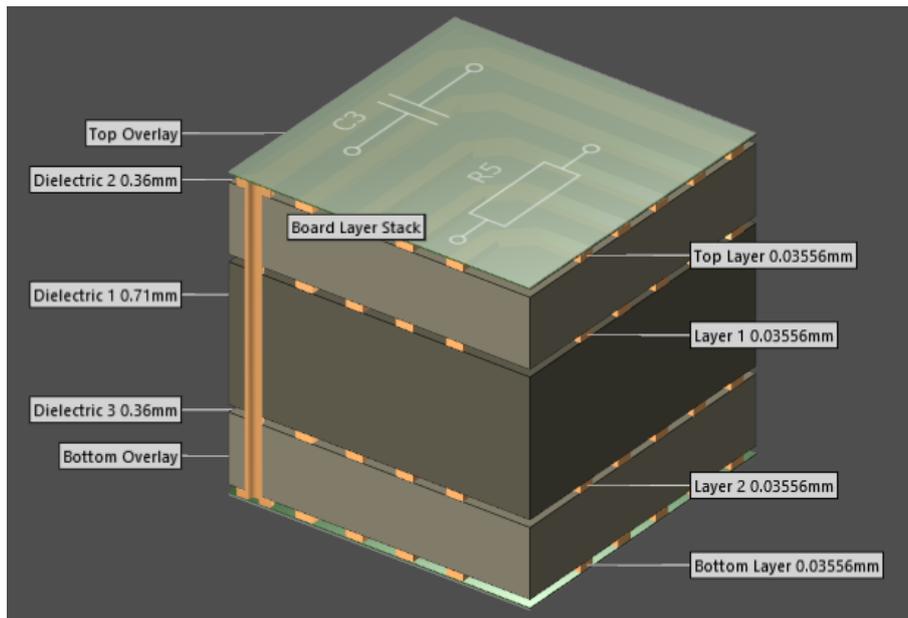
El emplazamiento de los componentes y bloques se ha realizado teniendo en mente la fácil conexión de los conectores, así como el hecho de que será soldada a mano, por lo que una buena colocación facilitará su ensamblaje y su posterior depuración.

El primer paso antes de comenzar con el enrutado es definir el *stack-up* de la tarjeta. Sabiendo que se iba a ser fabricada por la empresa Eurocircuits, se escogió uno de los recomendados por el propio fabricante, concretamente el mostrado en la Figura 2.17.

#	Name	Material	Type	Weight	Thickness	Dk
	Top Overlay		Overlay			
	Top Solder	Solder Resist	Solder Mask		0.01016mm	3.5
1	Top Layer		Signal	1oz	0.03556mm	
	Dielectric 2	PR7628	Prepreg		0.36mm	4.42
2	Layer 1	CF-004	Signal	1oz	0.03556mm	
	Dielectric 1	FR-4	Core		0.71mm	3.9
3	Layer 2	CF-004	Signal	1oz	0.03556mm	
	Dielectric 3	PR7628	Prepreg		0.36mm	4.42
4	Bottom Layer		Signal	1oz	0.03556mm	
	Bottom Solder	Solder Resist	Solder Mask		0.01016mm	3.5
	Bottom Overlay		Overlay			

Figura 2.17: *Stack-Up* de la tarjeta de control PCU

Para una mayor claridad en la visualización, en la Figura 2.18 se muestra el *stack-up* en 3D, generada mediante la herramienta de diseño Altium.



**Figura 2.18:** *Stack-Up* de la tarjeta de control PCU visualizado en 3D

Con esto definido, se procederá a definir los diferentes perfiles de impedancia, de  $100\ \Omega$  diferenciales para las señales del Ethernet y de  $120\ \Omega$  diferenciales para el protocolo CAN. Sabiendo que las señales solo serán enrutadas por capas externas, se puede definir el perfil de  $100\ \Omega$  diferenciales como se muestra en la Figura 2.19.

	Top Ref	Bottom Ref	Width (W1)	Trace Gap...	Impe...
<input checked="" type="checkbox"/>		2 - Layer 1	0.381mm	0.24205mm	99.98
<input type="checkbox"/>	1 - Top Layer	3 - Layer 2	0.08762mm	0.127mm	
<input type="checkbox"/>	2 - Layer 1	4 - Bottom L...	0.08762mm	0.127mm	
<input checked="" type="checkbox"/>	3 - Layer 2		0.381mm	0.24205mm	99.98

**Figura 2.19:** Perfil de impedancia de  $100\ \Omega$  diferenciales

En ella se puede observar como la referencia de las capas externas se encuentra en las adyacentes, ya que en las internas solo se encontrarán planos de alimentación y masa. De la misma manera, el perfil de  $120\ \Omega$  se puede definir como se muestra en la Figura 2.20.

	Top Ref	Bottom Ref	Width (W1)	Trace Gap...	Impe...	Devia...
<input checked="" type="checkbox"/>		2 - Layer 1	0.254mm	0.27253mm	120.04	0.03%
<input type="checkbox"/>	1 - Top Layer	3 - Layer 2	0.03316mm	0.127mm		0%
<input type="checkbox"/>	2 - Layer 1	4 - Bottom L...	0.03316mm	0.127mm		0%
<input checked="" type="checkbox"/>	3 - Layer 2		0.254mm	0.27253mm	120.04	0.03%

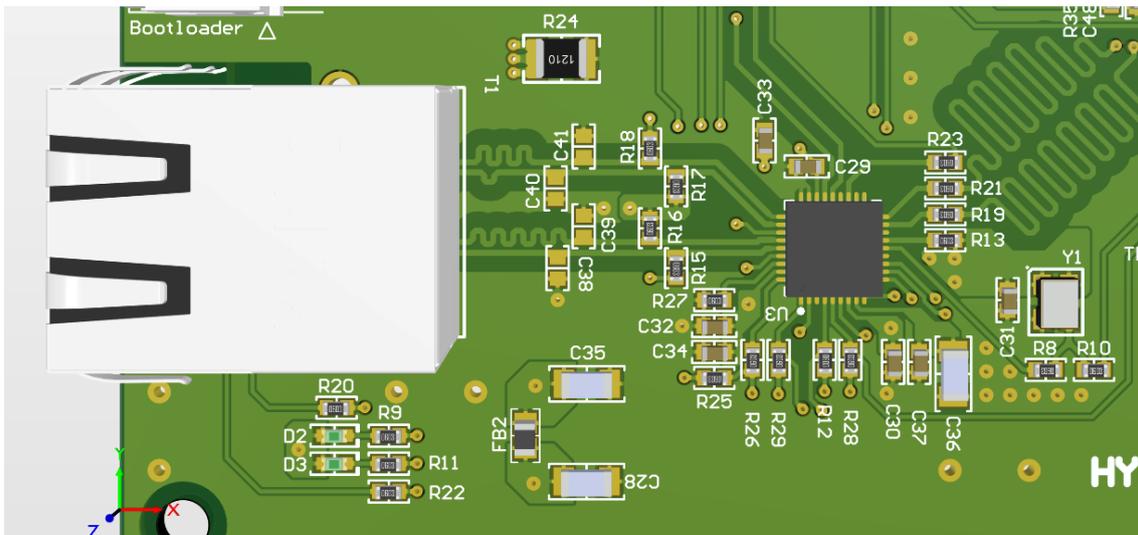
**Figura 2.20:** Perfil de impedancia de 120  $\Omega$  diferenciales

Con esto y las recomendaciones del fabricante, se procederá a conectar el PHY al conector de Ethernet. Las líneas diferenciales deberán tener la misma longitud entre señales del mismo par, con una tolerancia de 0,254 mm, como recomienda el fabricante. Es por eso que en esas señales se aprecian ondulaciones en solo una de las señales de cada para, compensando esa diferencia donde se produzca el desacoplo. Debido a la disposición de los propios pines del conector, se produce una pequeña diferencia de longitud a ser compensada.

Los condensadores de modo común y las resistencias terminadoras se han colocado lo más cerca del conector posible, una vez se termine de compensar esa diferencia de longitud. Otra recomendación del fabricante es eliminar todo cobre debajo del magnético incluido en el conector. El resto de componentes pasivos del PHY se han colocado lo más cerca posible del propio integrado.

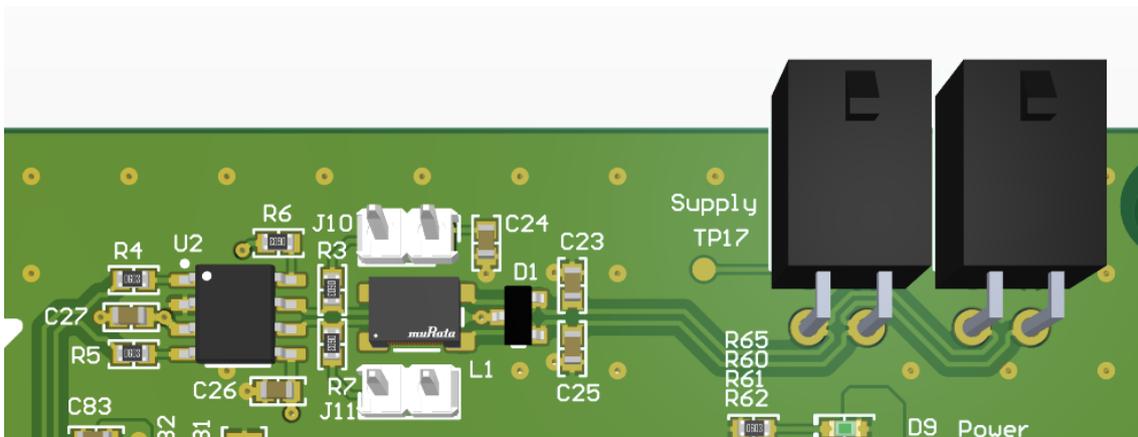
Para que las señales no se acoplen con el propio plano de masa generando interferencias con él, se separarán estas señales de cualquier otra lo suficiente como para desacoplarlas. Se ha asumido que con separarlas tres veces el ancho de la propia puesta será suficiente, aproximadamente 1,2 mm.

El resultado de la colocación y el enrutado de este módulo se puede observar en la Figura 2.21, donde se aprecian todos los comentarios mencionados anteriormente.



**Figura 2.21:** Emplazado de los componentes del PHY

Lo mismo se ha aplicado en la parte del CAN, donde todos los componentes se han dispuesto en línea con el objetivo de no interrumpir el paso de la señal, como se puede observar en la Figura 2.22.



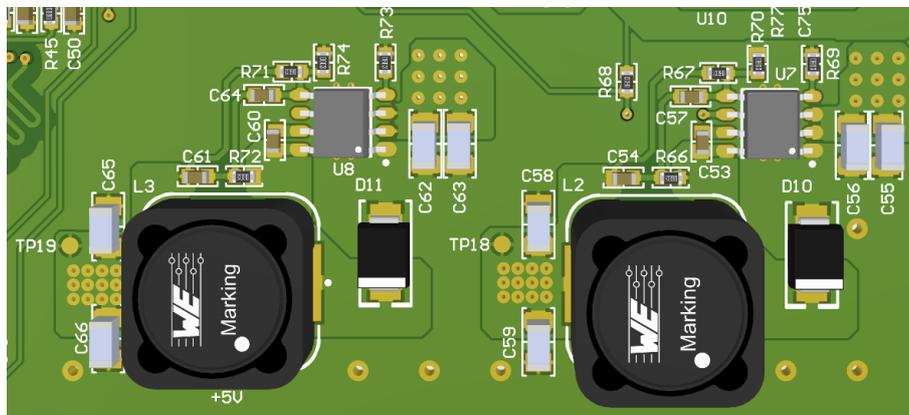
**Figura 2.22:** Emplazado de los componentes del CAN

Tanto el transceiver CAN como el PHY se han colocado en la tarjeta teniendo en cuenta de qué pin del microcontrolador provienen sus respectivas señales, reduciendo así la longitud de las señales. Los condensadores de desacoplo se han colocado cerca de su respectivo pin de alimentación, como se puede comprobar en las imágenes.

El microcontrolador se ha colocado en el centro de la tarjeta para facilitar las conexiones a su alrededor, pudiendo conectar los diferentes módulos de manera más sencilla, así como sus componentes pasivos, colocados cerca de sus respectivos pines. Sus relojes se han colocado lo más cerca posible, conectándolas de manera lo más similar a pares diferenciales.

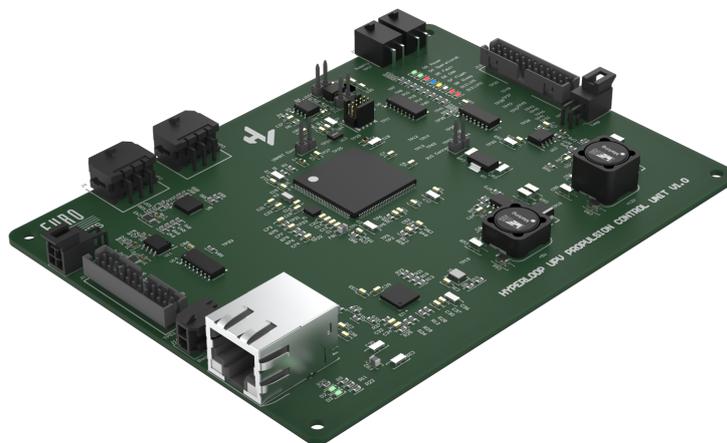
Por último, los reguladores han sido colocados y conectados como recomienda el propio fabricante, reduciendo el lazo de corriente más peligroso, formado por el transistor, la bobina y el diodo.

Para reducir sobretensiones y otros efectos parásitos, estos tres componentes deberán colocarse los más cerca posible los unos de los otros, como al final se ha conseguido realizar en la Figura 2.23.



**Figura 2.23:** Emplazado de los componentes de los reguladores de tensión

El resultado final de la tarjeta se muestra en la Figura 2.24, donde se puede observar el emplazamiento de todos los componentes de la tarjeta.



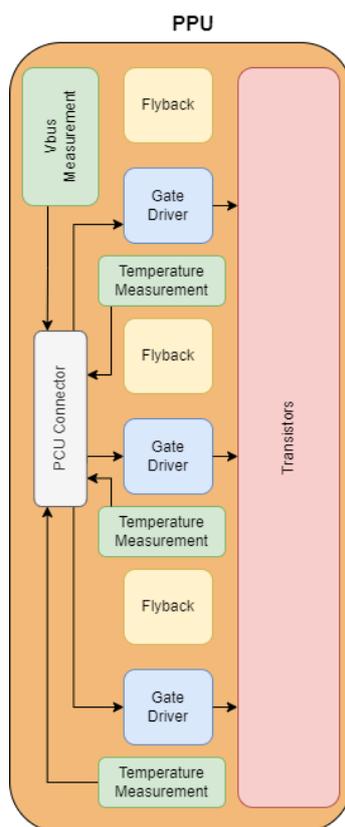
**Figura 2.24:** Resultado final del emplazamiento de la tarjeta de control PCU



## Capítulo 3

# Diseño de la Unidad de Potencia

A lo largo de esta sección, se comentarán las decisiones llevadas a cabo para el diseño de la tarjeta de potencia del inversor, llamada PPU. También se comentarán los motivos de la selección de componentes realizada y del emplazado de los mismos en la propia tarjeta. El diagrama simplificado de la misma se muestra en la Figura 3.1, representando los bloques mencionados.



**Figura 3.1:** Diagrama simplificado de la PPU

### 3.1. Selección de los transistores y controladores de puerta

Los transistores utilizados en la tarjeta vienen fijados por un patrocinador del equipo, Qorvo. Con la condición de utilizar el transistor que ellos nos proporcionaban, estaban dispuestos a ofrecérselos al equipo de manera gratuita.

Es por esto que el transistor utilizado, y sobre el cual se basarán los diseños a continuación, es el modelo UF3C065080B7S del mencionado fabricante. Este transistor está basado en la tecnología de carburo de silicio (*SiC*), lo que permite mayores frecuencias de conmutación debido a un menor número de parásitos, menor resistencia en conducción y una menor corriente de fugas en bloqueo comparado con otras tecnologías de transistor.

Estos transistores satisfacen el requerimiento de tensión, ya que son capaces de soportar tensiones entre sus terminales de hasta 650 V, lo cual deja bastante margen para sobretensiones que se puedan generar por los parásitos del componente y la tarjeta diseñada. Sin embargo, uno solo de estos transistores no será capaz de soportar la corriente que deberá fluir por el transistor.

Según la hoja de características del componente, la máxima corriente continua capaz de soportar es 27 A, lo cual es bastante inferior a los 70,7 A eficaces, equivalentes a los 100 A de pico sinusoidales requeridos. Es por esto que se toma la decisión de poner hasta cuatro transistores en paralelo, siendo la limitación a la hora de añadir más el tamaño de la tarjeta.

De esta manera, gracias al comportamiento de los transistores, capaces de distribuir equitativamente la corriente entre ellos mismos debido a la manera de evolucionar la resistencia de conducción con respecto a la temperatura, no harán falta circuitos externos para su conexionado en paralelo. De esta manera se podrán conducir hasta 108 A eficaces, o 150 A de pico. Aunque con tres transistores ya se cumplía el requerimiento, se ha decidido incluir uno más para no sobrecargarlos y dejar un margen de seguridad.

El siguiente componente también fijado es el controlador de puerta encargado de conmutar los transistores. La empresa Analog Devices se ofreció a patrocinarlos si, al igual que en el caso de los transistores, se usaban los componentes que ellos pedían. Con esto, se decidió utilizar el modelo ADUM4221ARIZ de dicha empresa.

Este integrado permite controlar independientemente el lado superior e inferior de cada rama, teniendo en su interior protecciones como la de cortocircuito, que evitaría conmutar ambos transistores a la vez y generar un corto por error.

Este componente también permite configurar el *dead-time* mediante una resistencia externa. En caso de no disponer ninguna el controlador de puerta está configurado para tener un tiempo muerto mínimo, lo que de la misma manera que la anterior protección, evitaría los cortocircuitos en una rama.

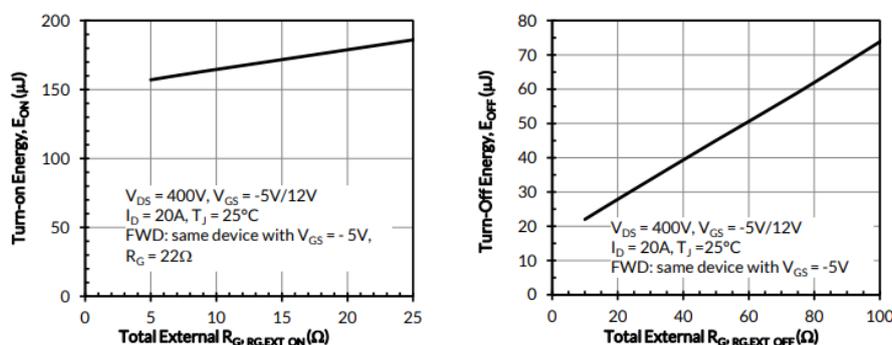
Por seguridad y con el fin de evitar que cualquier problema generado en la zona de potencia pueda afectar a la tarjeta de control, se deberán aislar ambas partes. Una de las ventajas de este integrado es que la salida del mismo está galvánicamente aislada, por lo cual, utilizando amplificadores operacionales y fuentes de alimentación aislada se podrá conseguir separar las dos zonas como se buscaba.

Otra de las protecciones con las que cuenta el controlador es la de UVLO (*Undervoltage Lockout*), la cual permite que si la tensión de alimentación, ya sea del lado primario o secundario, baje de cierto nivel, el integrado es capaz de mantener a nivel bajo su salida por seguridad.

La última protección con la que cuenta el controlador de puerta es la de sobret temperatura. El integrado es capaz de medir su propia temperatura interna, pudiendo dejar su salida a nivel bajo y sin conmutar ningún transistor si se llega a superar el límite fijado por el fabricante de 155°C con una histéresis de 30°C.

A continuación se procederá a diseñar la resistencia de puerta que se colocará en serie a la salida del controlador, fijando así la corriente y el tiempo de carga de la puerta, lo que repercutirá en las pérdidas del propio transistor.

Para elegir el valor de la resistencia de puerta hay que tener en cuenta sus efectos. Una resistencia de puerta pequeña permite cambiar de estado de manera más rápida ya que se permite una mayor corriente por la pista, aunque esto significa también ser susceptible a mayores efectos parásitos debidos a un mayor cambio de corriente y tensión en menor tiempo, generando sobreoscilaciones. Sin embargo, si se aumenta el valor de la resistencia se evitarán estos efectos, a costa de tardar más en conmutar y generar más pérdidas de conmutación, como se puede ver en la Figura 3.2 obtenida de la hoja de características del transistor, donde se comprueba el aumento de la energía con la resistencia de puerta.

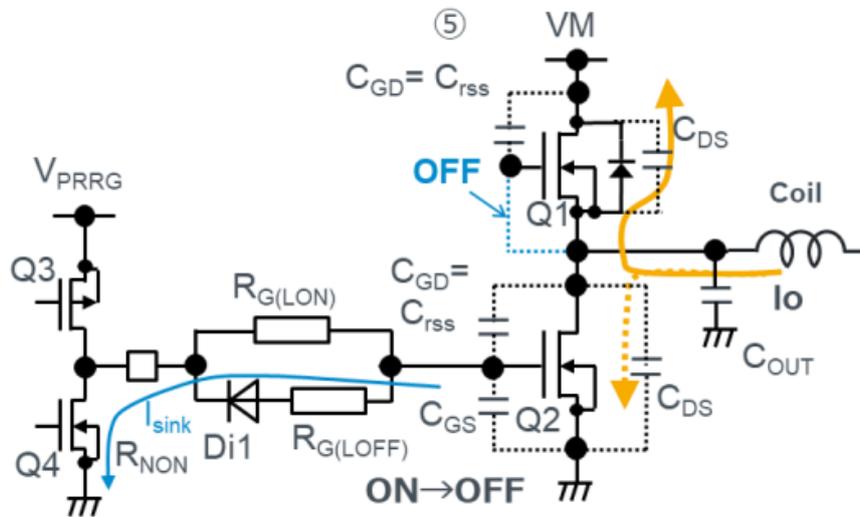


**Figura 3.2:** Evolución de la energía de conmutación a *on* y a *off* en función de la resistencia de puerta

Para calcular los valores exactos se ha utilizado la información mostrada en [6], donde, explicando detalladamente los puntos claves temporales en la conmutación de los transistores, se ayuda a calcular el valor de resistencia necesario para diferentes escenarios.

Cabe mencionar que realmente, la resistencia se tendrá que ajustar empíricamente el valor exacto, ya que en estos cálculos no se tendrán en cuenta componentes parásitos de la tarjeta a diseñar como la inductancia parásita de las pistas.

Como bien dice el documento, existe una limitación en cuanto a la pendiente máxima de tensión que puede soportar el sistema dependiendo de las capacitancias parásitas de los transistores. Esto es debido que cuando el transistor de la parte baja de la rama conmuta a *off*, la característica inductiva del motor provocará que la corriente no se extinga inmediatamente, sino que tendrá una especie de “inercia”, como se puede observar en la Figura 3.3.

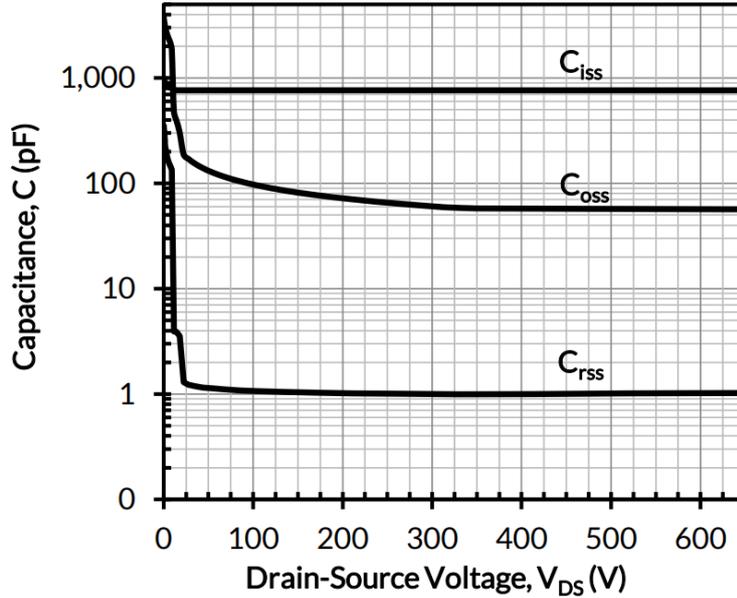


**Figura 3.3:** Distribución de corrientes cuando el transistor inferior de la rama conmuta a *off*

Cuando la corriente tiende a extinguirse, carga las capacidades parásitas de ambos transistores, pudiendo asumir que dicha corriente es constante. Utilizando la fórmula de la variación de la tensión en un condensador, mostrada en la Ecuación 3.1, se puede obtener la pendiente de máxima del sistema.

$$\frac{\delta V_{DS}}{\delta t} = \frac{I_o}{C_{oss\_H} + C_{oss\_L} + C_{out}} \quad (3.1)$$

Siendo  $V_{DS}$  la tensión drenador-surtidor del transistor,  $I_o$  la corriente de salida proporcionada por la bobina y  $C_{oss\_H}$  y  $C_{oss\_L}$  las capacitancias de salida de el transistor de la parte alta y baja de la rama respectivamente, formada por los condensadores parásitos entre el drenador y el surtidor y el conectado entre el drenador y la puerta. Con esto se obtiene que la pendiente máxima del sistema es de  $16,56 \text{ V/ns}$ . Esto se ha podido calcular observando la gráfica mostrada en la Figura 3.4, donde se muestra la evolución de las diferentes capacidades parásitas del transistor con respecto de la tensión de drenador-surtidor.



**Figura 3.4:** Evolución de las capacitancias parásitas con respecto a la tensión de drenador-surtidor

En la figura anterior se puede comprobar que cuando la tensión entre los terminales de drenador y surtidor es cercana a nula (lo que ocurre cuando el transistor inferior de la rama comienza a conmutar a *off*) la capacitancia  $C_{oss}$  tiene un valor de 4200 pF, mientras que cuando se encuentra a 220 V (caso del transistor superior de la rama en ese mismo instante) dicha capacitancia vale 70 pF, valores utilizados en el cálculo de la máxima pendiente de tensión.

Una vez calculado el valor de la pendiente de tensión, se puede obtener el valor del tiempo total necesario para cambiar entre niveles de tensión, dividiendo el voltaje nominal del bus de continua entre la pendiente, como se muestra en la Ecuación 3.2.

$$t_{off} = \frac{V_{bus}}{\left(\frac{\delta V_{DS}}{\delta t}\right)} \quad (3.2)$$

Donde  $t_{off}$  es el valor del tiempo de conmutación a *off* calculado y  $V_{bus}$  la tensión del bus de continua. De esta manera se obtiene un valor de 13,29 ns, con el que se procederá a calcular el valor mínimo de resistencia.

Dicho valor de resistencia se calculará mediante las Ecuaciones 3.3 y 3.4, donde se describe el comportamiento de la corriente de descarga de la puerta del transistor.

$$I_{sink} = \frac{Q_{gd}}{t_{off}} \quad (3.3)$$

$$I_{sink} = \frac{(V_{PLT} - V_f)}{R_{on} + R_{g\_off} + R_q} \quad (3.4)$$

Siendo  $I_{sink}$  la corriente de descarga,  $Q_{gd}$  la capacidad parásita entre puerta y drenador,  $V_{PLT}$

la tensión de Plateau-Miller,  $V_f$  la tensión en directa del diodo en el camino de retorno,  $R_{on}$  la resistencia propia del controlador de puerta,  $R_{g\_off}$  la resistencia externa para la descarga y  $R_q$  la resistencia de puerta del transistor.

Comparando ambas ecuaciones y despejando se obtiene la Ecuación 3.5, donde se podrá calcular el valor mínimo de la resistencia externa que asegure la máxima pendiente de tensión posible.

$$R_{g\_off} = \frac{(V_{PLT} - V_f)}{Q_{gd}} \cdot t_{off} - R_{on} - R_q \quad (3.5)$$

Para estos cálculos, se ha tomado como valor para la tensión de Plateau-Miller aproximadamente 6,2 V, para la tensión directa del diodo de retorno se asumirá 0,7 V, 5 nF de la capacidad entre puerta y drenador, 4,2  $\Omega$  para la resistencia de puerta del transistor y 0,8  $\Omega$  para la resistencia del pin del controlador de puerta. Dichos valores han sido obtenidos tanto de las gráficas como de sus respectivas hojas de características. Sustituyendo valores se obtiene que la resistencia mínima de 9,6  $\Omega$ , ya que disminuyendo dicho valor se aumentaría la pendiente de tensión.

Con este valor de resistencia se puede calcular la corriente que consumiría el controlador de puerta en la conmutación a *off*. Sabiendo que el regulador que alimenta al controlador, el cual se explicará más adelante, proporciona una diferencia de potencial a su salida de 20 V, se puede calcular la corriente que proporciona cada transistor en su conmutación a *off*.

$$I_{sink} = \frac{V_{dc}}{R_{g\_off} + R_{on} + R_q} \quad (3.6)$$

Donde  $V_{dc}$  la tensión que proporciona el convertidor encargado de alimentar el controlador de puerta. Sustituyendo valores se puede obtener que cada transistor es capaz de aportar 1,36 A, que teniendo en cuenta que hay cuatro transistores en paralelo la corriente total que deberá absorber 5,48 A, inferior a los 6 A de máxima que puede soportar el integrado.

El siguiente paso será calcular la resistencia para cuando el transistor conmuta a *on*. De manera muy similar, la corriente proporcionada por el controlador de puerta en la conmutación a *on* se puede describir como se muestra tanto en la Ecuación 3.7 como en la 3.8.

$$I_{source} = \frac{Q_{gd}}{t_{on}} \quad (3.7)$$

$$I_{source} = \frac{(V_{dc} - V_{PLT})}{R_{on} + R_{g\_on} + R_q} \quad (3.8)$$

Siendo  $I_{source}$  la corriente que debe suministrar el controlador de puerta para la conmutación a *on* y  $t_{on}$  el tiempo que durará dicha conmutación. Reorganizando ambas ecuaciones y despejando se obtiene la Ecuación 3.9, de donde se podrá calcular el valor de la resistencia del camino de carga de la puerta.

$$R_{g\_on} = \frac{(V_{dc} - V_{PLT})}{Q_{gd}} \cdot t_{on} - R_{on} - R_q \quad (3.9)$$

Donde  $R_{g\_on}$  es la resistencia del camino de carga de la puerta del transistor. Asumiendo un valor para  $t_{on}$  similar al de  $t_{off}$  de 20 ns, se obtiene un valor de resistencia de puerta de 50  $\Omega$ .

### 3.1. SELECCIÓN DE LOS TRANSISTORES Y CONTROLADORES DE PUERTA

Calculando la corriente de puerta de manera similar a cómo se hizo con la resistencia de conmutación a *off*, se obtiene que la corriente que debe aportar el controlador para alimentar a los cuatro transistores es de aproximadamente de 2 A, inferior a los 4 A de máximo que puede aportar el integrado.

Utilizando los mismos valores de resistencia para los transistores de la parte alta de cada rama, se obtiene el esquemático mostrado en la Figura 3.5.

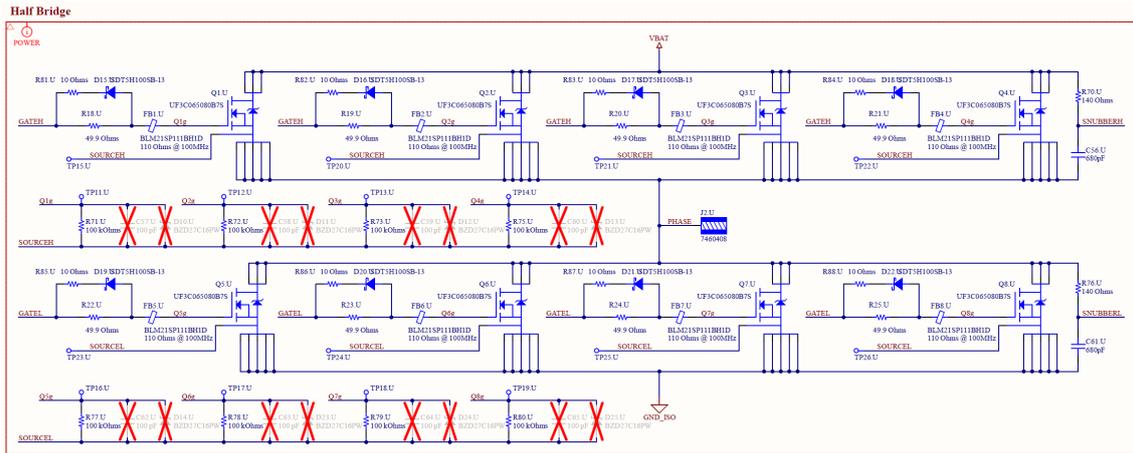


Figura 3.5: Esquemático utilizado para los semipuentes

En ella se pueden apreciar los valores calculados para las resistencias, así como una resistencia de *pull-down* que asegure que cuando no se aplique tensión mediante el controlador de puerta, dicho terminal del transistor se encuentre referido a su surtidor y no se active. También en la puerta se ha dispuesto una ferrita para evitar posibles sobreoscilaciones producidas por el controlador, siendo esta una recomendación del fabricante del integrado.

Por último, también se disponen las huellas de condensadores y diodos en paralelo a la resistencia de *pull-down* en caso de necesitarlos debido a efectos parásitos, además de huellas para una red *snubber* que permita eliminar posibles sobretensiones que pudiesen producirse entre los terminales del transistor.

También, el esquemático del controlador de puerta encargado de alimentar al semipuerto mostrado se puede observar en la Figura 3.6.

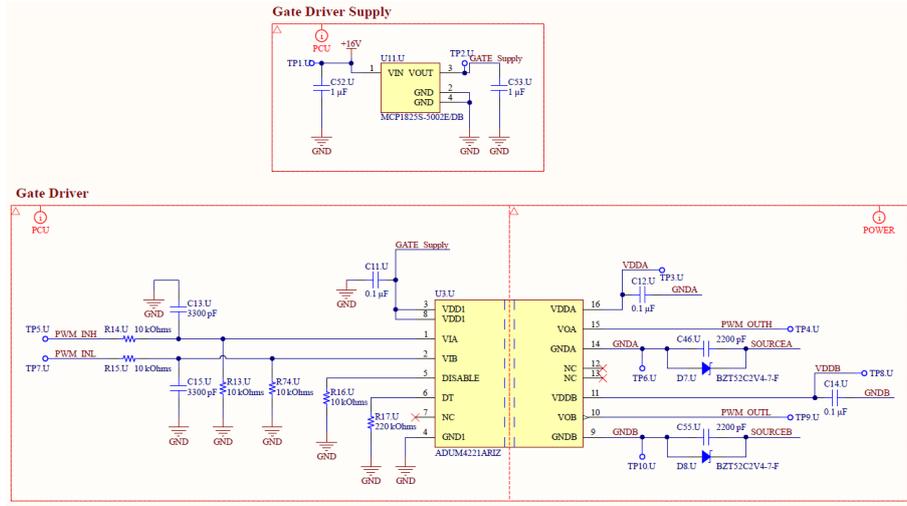


Figura 3.6: Esquemático utilizado para los controladores de puerta

Los 20 V que alimentan al controlador de puerta en el lado aislado serán divididos entre 15 V positivos y 5 V negativos mediante un diodo Zener posicionado en inversa en el pin de masa del integrado como se puede ver en la anterior figura. En la mencionada figura también se muestra el LDO encargado de alimentar a la parte de control del integrado, además de la resistencia encargada de fijar el tiempo muerto de la conmutación, para la cual se ha usado un valor común debido a que se pretende ajustar durante la fase de pruebas.

Por último, a la entrada de los pines de PWM, se disponen tanto un filtro RC para evitar ruido en la entrada, así como una resistencia de *pull-down* para asegurar un nivel de tensión que evite que el integrado se active.

Por último, una vez diseñado tanto el esquemático del controlador de puerta como el de los transistores, se procederá a calcular qué potencia disipará cada uno con el objetivo de comprobar que se encuentran por debajo de los límites de los propios componentes. Esto se ha llevado a cabo a partir de la información mostrada en [7] y [8].

En primer lugar, la potencia disipada por el controlador de puerta se puede obtener mediante la Ecuación 3.10.

$$P_{gate\_driver} = Q_g \cdot V_{dc} \cdot f_{sw} \quad (3.10)$$

Donde  $P_{gate\_driver}$  es la potencia disipada por el controlador de puerta y  $f_{sw}$  es la frecuencia de conmutación de los transistores. Para esta aplicación, se ha decidido establecer la frecuencia de conmutación a 20 kHz, por lo que obteniendo un valor de 5 nF en su correspondiente hojas de características, se pueden calcular unas pérdidas de 2 mW, lo cual es bastante inferior al límite del propio integrado.

Por otro lado, las pérdidas de los transistores se pueden dividir en dos partes, las de conducción y las de conmutación. La primera de ellas se obtendrá mediante la Ecuación 3.11.

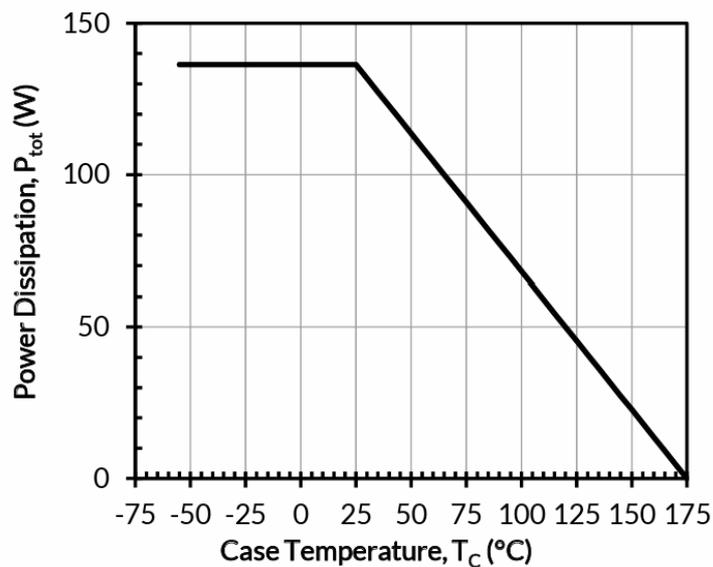
$$P_{cond} = I_{cond}^2 \cdot R_{d\_on} \cdot D \quad (3.11)$$

Siendo  $P_{cond}$  el valor de las pérdidas de conducción buscado,  $I_{cond}$  la corriente de conducción de cada transistor,  $R_{d\_on}$  su resistencia de conducción y  $D$  el ciclo de trabajo del transistor. Para el valor de corriente se ha utilizado el de 17,68 A, ya que se reparten los 70,7 A entre los cuatro transistores en paralelo, el de la resistencia de conducción es 85 mΩ y el del ciclo de trabajo es de 0,68, debido que la tensión máxima a aplicar al motor será de 150 V de pico, partiendo de los 220 V del bus de continua. Sustituyendo dichos valores, se obtienen unas pérdidas de 18 W.

Por otro lado, las pérdidas de conmutación se calcularán mediante la Ecuación 3.12.

$$P_{comm} = \frac{1}{2} \cdot V_i \cdot I_{cond} \cdot f_{sw} \cdot (t_{on} + t_{off}) \quad (3.12)$$

Donde  $P_{comm}$  es el valor de pérdidas de conmutación a calcular y  $V_i$  la tensión máxima a la que se someterá el transistor. Todos los valores han sido obtenidos previamente, salvo el de la tensión de entrada, la cual será el valor del bus de continua, en concreto los 220 V. Con ello se obtiene un valor de pérdidas de conmutación de 1,29 W, lo que sumado a las pérdidas de conducción hacen un valor de pérdidas totales de 19,29 W, lo cual, como se puede observar en la Figura 3.7, es menor de la disipación de potencia máxima en función de la temperatura para el rango de operación.



**Figura 3.7:** Disipación de potencia máxima en función de la temperatura del encapsulado del transistor

### 3.2. Diseño de los reguladores *flybacks*

Para alimentar la parte de potencia de los controladores de puerta se ha decidido optar por convertidores de tipo *Flyback*, principalmente por su salida aislada con respecto a la entrada, gracias al uso de transformadores.

Este convertidor deberá ser capaz de mantener la tensión de salida estable en todo momento, incluido los periodos de conmutación cuando se tenga que cargar y descargar la puerta de los

transistores.

La máxima corriente que puede suplir el controlador de puerta por su salida es de 4 A, por lo que los componentes a seleccionar deberán contar con un margen de seguridad para ser capaces de soportar las peores condiciones de funcionamiento.

Aprovechando que Analog Devices es patrocinador del equipo, y con el objetivo de simplificar el diseño y prueba de este módulo, se ha escogido el componente LT8302ES8E#PBF como controlador principal del convertidor. Este regulador presenta la ventaja de que la tensión de salida es configurada mediante una resistencia conectada a uno de sus pines, lo que es de gran ayuda para ajustar dicha variable con precisión una vez ensamblada la tarjeta.

El primer paso que dar es la selección del transformador. Para ello, primero se calculará la relación de transformación máxima recomendada mediante la Ecuación 3.13.

$$N_{ps} < \frac{65 V - V_{in\_max} - V_{leakage}}{V_{out} + V_f} \quad (3.13)$$

Siendo  $N_{ps}$  la relación de transformación buscada,  $V_{in\_max}$  la tensión máxima de entrada,  $V_{leakage}$  representa un margen que el fabricante recomienda dejar para prevenir posible efectos parásitos del propio transformador,  $V_{out}$  es la tensión de salida deseada y  $V_f$  la tensión de conducción del diodo.

El objetivo del regulador es, a partir de los 16 V de entrada generados en la tarjeta de control, obtener 20 V a su salida para alimentar al controlador de puerta. Se dejará un margen de 2 V como diseño para la tensión máxima de entrada, haciendo un total de 18 V. Para el margen utilizado por los efectos parásitos se utilizará el valor recomendado por el fabricante de 15 V, y para la tensión directa del diodo se asumirá un valor de 0,7 V.

Con eso se obtiene un valor máximo de relación de transformación de 1,62, por lo que se buscará un transformador con relación de transformación unidad. Para terminar de seleccionar el transformador, se procederá a calcular la inductancia del transformador que asegure los tiempos requeridos por el controlador, obtenida con las Ecuaciones 3.14 y 3.15.

$$L_{prim} \geq \frac{t_{off\_min} \cdot N_{ps} \cdot (V_{out} + V_f)}{I_{sw\_min}} \quad (3.14)$$

$$L_{prim} \geq \frac{t_{on\_min} \cdot V_{in\_max}}{I_{sw\_min}} \quad (3.15)$$

Donde  $L_{prim}$  es la inductancia del primario del transformador,  $t_{off\_min}$  el tiempo mínimo de conmutación a *off* requerido por el controlador así como  $t_{on\_min}$  es el tiempo de conmutación a *on* e  $I_{sw\_min}$  la corriente mínima de conmutación. Sabiendo que los valores de estas tres últimas variables vienen marcados por el controlador y tienen unos valores de 350 ns, 160 ns y 0,87 A respectivamente, se obtiene que la inductancia mínima es de 7,9  $\mu$ H.

El fabricante del controlador recomienda que se escoja un transformador un 40 % mayor del valor obtenido, debido a que la tolerancia típica es del 20 %. De esta manera, sabiendo la relación de transformación y la inductancia del primario, se procederá a seleccionar un transformador comercial.

Teniendo en cuenta que Würth Elektronik es patrocinador del equipo, se ha elegido el componente 760301105 como transformador del convertidor. El hecho de tener dos salidas aisladas permite alimentar tanto a la parte alta de una rama del inversor como a la baja al mismo tiempo.

Utilizando las Ecuaciones 3.16, 3.17 y 3.18, se podrá calcular la máxima frecuencia de conmutación de la carga, lo que fijará la frecuencia de conmutación de los transistores.

$$D = \frac{(V_{out} + V_f) \cdot N_{ps}}{(V_{out} + V_f) \cdot N_{ps} + V_{in\_nom}} \quad (3.16)$$

$$I_{sw} = \frac{V_{out} \cdot I_{out} \cdot 2}{\eta \cdot V_{in\_nom} \cdot D} \quad (3.17)$$

$$f_{sw} = \frac{1}{\frac{L_{pri} \cdot I_{sw}}{V_{in\_nom}} + \frac{L_{pri} \cdot I_{sw}}{N_{ps} \cdot (V_{out} + V_f)}} \quad (3.18)$$

Siendo  $D$  el ciclo de trabajo del convertidor,  $V_{in\_nom}$  el valor nominal de la tensión de entrada de 16 V,  $I_{out}$  la corriente de salida de diseño y  $\eta$  el rendimiento del sistema. Se ha diseñado el convertidor para ser capaz de dar una corriente eficaz de 0,4 A, por lo que asumiendo un rendimiento de 0,85, se obtiene que la frecuencia máxima de conmutación es aproximadamente 220 kHz, por lo que la frecuencia escogida de 20 kHz no supondrá ningún problema.

El siguiente paso será calcular la capacitancia de salida. Para ello se ha utilizado como especificación de diseño que el rizado de tensión sea del 2 % de la tensión de salida, lo que hace un total de 0,38 V. Utilizando la Ecuación 3.19 se podrá calcular el valor de condensadores necesarios.

$$C_{out} = \frac{L_{pri} \cdot I_{sw}^2}{2 \cdot V_{out}} \quad (3.19)$$

Donde  $C_{out}$  es la capacitancia de salida y  $I_{sw}$  la corriente máxima de rizado. La corriente máxima está limitada por la máxima que puede soportar el integrado, que es 4,5 A. Sustituyendo valores se obtiene una capacitancia mínima de 10  $\mu$ F. Debido a que la carga será conmutada se ha decidido aumentar la capacitancia hasta los 30  $\mu$ F, para evitar picos excesivos y tener un almacén de energía suficiente para suplir la demanda.

Continuando con el diseño, lo siguiente a calcular son los valores de las resistencias de ajuste de la tensión de salida. Para ello se utilizará la Ecuación 3.20, proporcionada por el fabricante.

$$R_{fb} = \frac{R_{ref} \cdot N_{ps} \cdot (V_{out} + V_f)}{V_{ref}} \quad (3.20)$$

Siendo  $R_{fb}$  y  $R_{ref}$  los valores de las resistencias de sensado del integrado y  $V_{ref}$  la tensión de referencia utilizada por el integrado para fijar la tensión de salida. En la hoja de características del integrado se puede obtener que  $V_{ref}$  es de 1 V, por lo que fijando  $R_{ref}$  a 10 k $\Omega$  se obtiene una  $R_{fb}$  de 187 k $\Omega$ .

Lo único que resta es asegurar la carga mínima del convertidor para que el regulador pueda controlar la salida. Para ello se utilizará la Ecuación 3.21.

$$I_{load\_min} = \frac{L_{prim} \cdot I_{sw\_min}^2 \cdot f_{min}}{2 \cdot V_{out}} \quad (3.21)$$

Donde  $I_{load\_min}$  es la corriente mínima buscada y  $f_{min}$  la frecuencia mínima de conmutación del controlador. La frecuencia mínima del convertidor es de 12,7 kHz, por lo que la corriente mínima a asegurar es de 5 mA. Para ello se han colocado dos resistencias de 1,3 kΩ y dos diodos LEDs en paralelo para generar el consumo necesario.

Tras el proceso de diseño, en la Figura 3.8 se muestra el esquemático con los componentes seleccionados durante esta etapa.

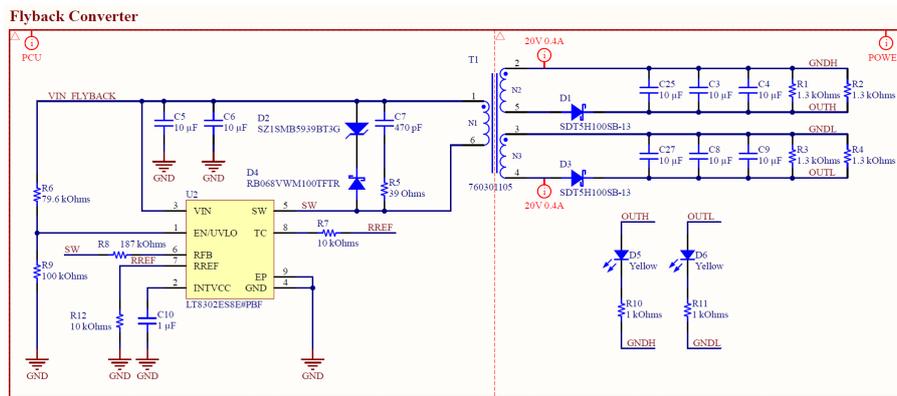


Figura 3.8: Esquemático utilizado para el regulador *Flyback*

En este esquemático se aprecian componentes cuyo valor deberá ajustado una vez ensamblada la tarjeta, como la resistencia conectada al pin TC, el cual compensa la deriva generada con la temperatura del convertidor, o el divisor resistivo del pin de habilitación, que retrasa su encendido hasta que la entrada se encuentre estable. Para la selección de los diodos se han buscado componentes que aguanten la máxima tensión del nodo de conmutación y su corriente.

La red *snubber* presentada en paralelo al primario del transformador es la recomendada por el fabricante, la cual tendrá que ser ajustada en la fase de pruebas del convertidor.

Para comprobar que efectivamente el regulador esta correctamente diseñado, se procederá a realizar una simulación en *LTSpice*, programa para el cual es fabricante proporciona modelo del convertidor. En la Figura 3.9 se muestra el esquemático de la simulación realizado.

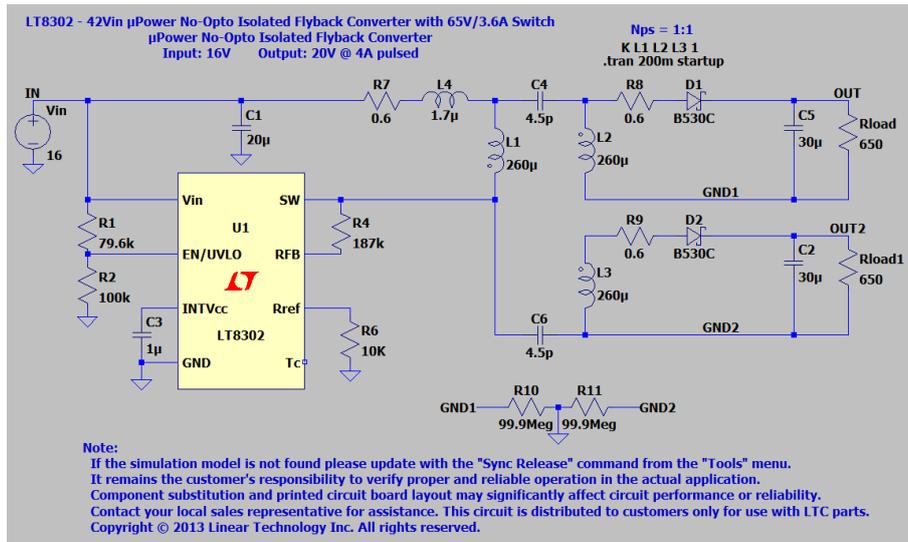


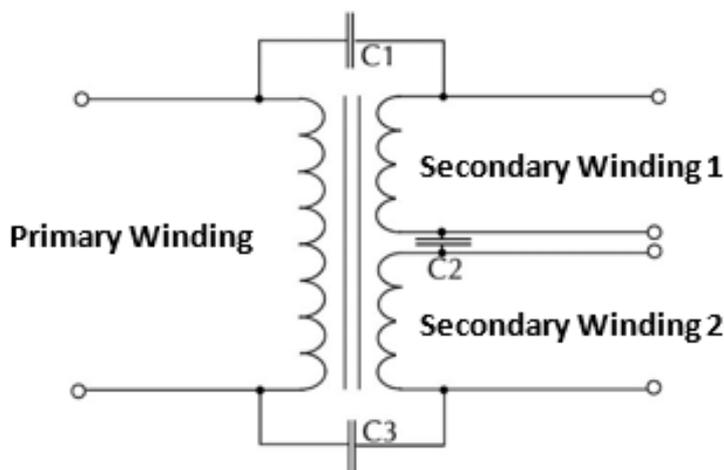
Figura 3.9: Esquemático utilizado para la simulación del regulador *Flyback*

En ella se puede observar que todos los valores del esquema han sido traducidos al programa de simulación, habiendo agrupado el paralelo de resistencias de carga en una sola por simplicidad.

Como el fabricante del transformador no proporciona el modelo del propio se ha decidido modelarlo mediante inductancias acopladas con sus componentes parásitos. Las inductancias L1, L2 y L3 son las que se corresponden con el primario y los dos secundarios respectivamente. Por otro lado, en serie con cada una de estas inductancias se ha colocado una resistencia, la cual simboliza la propia resistencia de los conductores utilizados en cada bobinado.

En serie también al primario se puede encontrar una inductancia, siendo esta la encargada de representar la inductancia de fugas del transformador. Al haber colocado esta inductancia en el esquemático, el coeficiente de acoplamiento entre el primario y los secundarios deberá ser la unidad, correspondiente a un transformador ideal. En caso de no estar presente, en la orden de LTSpice se deberá modificar ese valor para tener en cuenta dicha inductancia de fugas.

El último componente parásito modelado es la capacitancia entre bobinados, representada mediante los condensadores C4 y C6. Realmente existe una capacitancia entre cada uno de los tres bobinados, como se puede apreciar en la Figura 3.10, siendo la que une los dos secundarios despreciable.



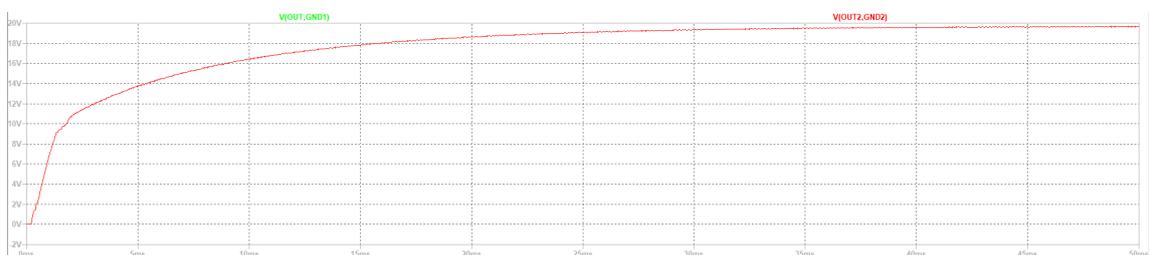
**Figura 3.10:** Esquemático utilizado para la simulación del regulador *Flyback*

En la hoja de características del transformador se especifica cómo se ha medido dicha capacitancia. En este caso ha sido cortocircuitando los dos secundarios del transformador, por lo que el valor de 9 pF dado es la capacitancia representada como la suma de los condensadores C1 y C3 de la anterior figura. En el esquemático de simulación se ha dividido en partes iguales dicha capacitancia como se puede apreciar.

Para fijar la relación de transformación del transformador LTSpice busca la relación entre inductancias acopladas, por lo que al tener dicha variable un valor unitario en este caso se ha colocado el mismo valor en las tres inductancias.

Por último, el programa de simulación no es capaz de simular diferentes referencias de tensión, como sucede en este convertidor. Es por eso que se han unido las referencias de cada secundario mediante resistencias de alto valor entre sí, para que no circule corriente y simule de manera parecida el aislamiento entre ellas.

Utilizando una sonda de tensión diferencial se han podido medir las tensiones de salida de ambos secundarios, mostrándose el resultado en la Figura 3.11.

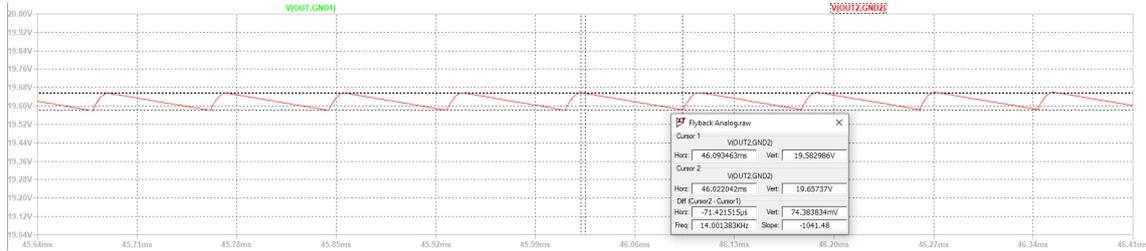


**Figura 3.11:** Resultado de la tensión de salida de cada secundario del regulador *Flyback*

En esta figura se puede comprobar que ambos secundarios presentan la misma tensión de salida, cerca de los 20 V, por lo que se puede validar el correcto diseño del regulador a falta de un ajuste más fino en la etapa de validación.

Otra verificación que se ha realizado es comprobar que el rizado de salida se encuentra por

debajo del valor de diseño. En la Figura 3.12 se puede comprobar como, una vez estabilizada la tensión, se obtiene una tensión de pico a pico de 75 mV aproximadamente, lo cual es menor al 2 % de la tensión de salida para la cual se diseñó el valor de los condensadores.



**Figura 3.12:** Resultado del rizado de la tensión de salida de cada secundario del regulador *Flyback*

### 3.3. Diseño de la instrumentación para los sensores

La tarjeta de potencia consta también de circuitos de sensado, pudiendo medir variables de tensión y temperatura.

Las temperaturas medidas son las de los transistores de cada rama, pudiendo así para la conmutación en caso de un sobrecalentamiento de los mismos. Para ello, asegurando una buena conductividad térmica entre las capas externas de la tarjeta, se podrán disponer una NTC en la cara contraria a los transistores, permitiendo medir su temperatura.

Se ha seleccionado la NTC NTCG163JF103FT1, con un valor de resistencia de 10 k $\Omega$  a los 25°C y una constante B de 3435 K. Esta última constante marca el ratio de cambio de resistencia con respecto a la temperatura.

Lo siguiente que se realizará es obtener los valores de resistencia de la NTC a los extremos de temperatura deseado, para lo que se ha utilizado la Ecuación 3.22.

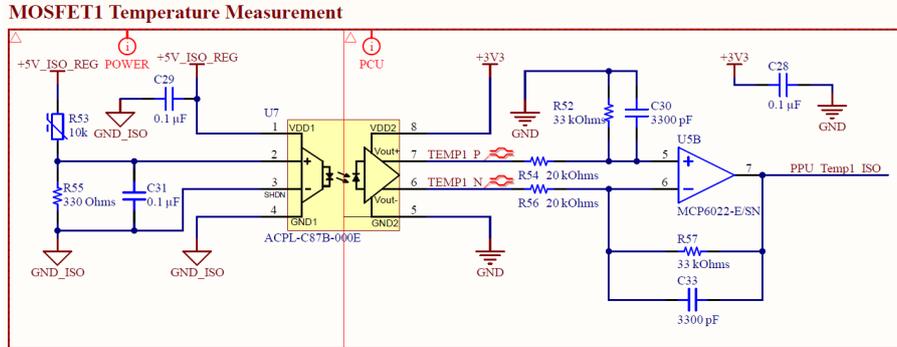
$$R_{new} = R_0 \cdot e^{B \cdot \left( \left( \frac{1}{T_{new}} \right) - \left( \frac{1}{T_{ref}} \right) \right)} \quad (3.22)$$

Siendo  $R_{new}$  el valor de resistencia calculado,  $R_0$  el valor de referencia de resistencia de la NTC,  $T_{new}$  la temperatura a la que se desea calcular la nueva resistencia y  $T_{ref}$  la referencia de temperatura del componente. Partiendo de que las referencias de la NTC son 10 k $\Omega$  a 25°C y que se querrá diseñar la etapa para medir temperaturas entre 0°C y 150°C, los valores de resistencia de NTC a esas temperaturas son de 28,7 k $\Omega$  y 333  $\Omega$  respectivamente.

Debido a que la medida estará referenciada a la masa de la parte de potencia, se deberá escoger un amplificador operacional aislado, que permita separar los dominios correctamente. Para ello se ha elegido el modelo ACPL-C87B-000E de Broadcom, debido a que ya se había usado con anterioridad en el equipo.

Este amplificador operacional, tiene una entrada máxima de tensión de 2 V, por lo que el divisor resistivo deberá diseñarse acorde a esto. Si se posiciona la NTC en la parte superior del divisor resistivo, colocando una resistencia en el inferior de 330  $\Omega$ , el rango de entrada del amplificador será de 0,06 V hasta los 1,99 V, consumiendo un máximo de 7 mA en el peor de los casos.

El esquemático de una de las medidas de temperatura se muestra en la Figura 3.13, donde se puede observar como, debido a que el amplificador aislado genera la tensión en modo diferencial, se utiliza un amplificador operacional extra para adaptar la señal a tensiones simples.



**Figura 3.13:** Esquemático utilizado para el sensado de temperatura (NTC)

Este último amplificador operacional, presenta además una ganancia de 1,65, con el objetivo de aprovechar al máximo el rango de entrada del ADC del microcontrolador, así como un filtro pasivo RC para filtrar todo el ruido que se pueda haber generado en la señal cuyos valores serán ajustados en las pruebas de la tarjeta.

De manera muy similar, para la medida de tensión del bus de continua se utilizará el mismo amplificador aislado, pudiendo así ahorrar costes de ensamblaje.

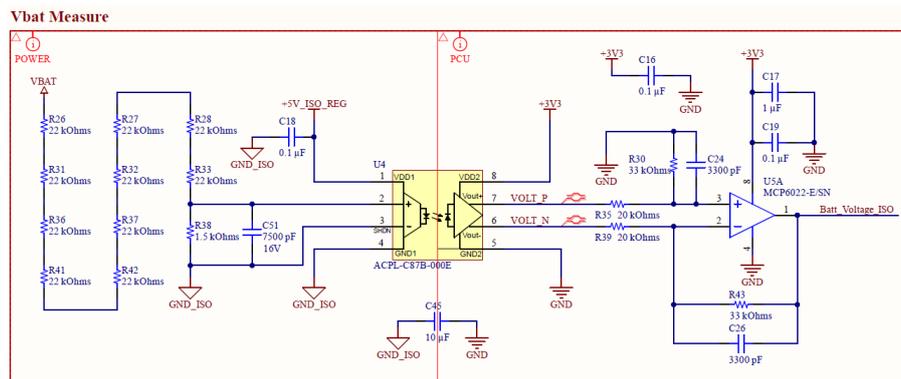
En este caso, se utilizarán una serie de resistencias que vayan disminuyendo la tensión del bus de continua hasta que sea soportable por la entrada del amplificador.

Si las resistencias son de valor elevado, la corriente que circule por ese circuito será pequeña, lo que reducirá el consumo, pero la entrada del amplificador será más susceptible al ruido. Es por eso que para diseñar el divisor resistivo se ha establecido que por él deberá pasar alrededor de 1 mA.

Recordando que la tensión típica del bus para esta aplicación es de 220 V, para que circule 1 mA se deberán colocar resistencias con un total de 220 k $\Omega$  aproximadamente. Finalmente, el divisor resistivo estará formado por 10 resistencias de 22 k $\Omega$  en la parte alta y una resistencia de 1,5 k $\Omega$  en la inferior.

De esta manera se obtiene un rango de entrada de 0 V a 1,5 V. Se ha dejado un margen de 0,5 V con respecto al límite del amplificador por seguridad, con el objetivo de poder medir el rizado o cualquier pico de tensión que se genere, pudiendo medir hasta los 300 V.

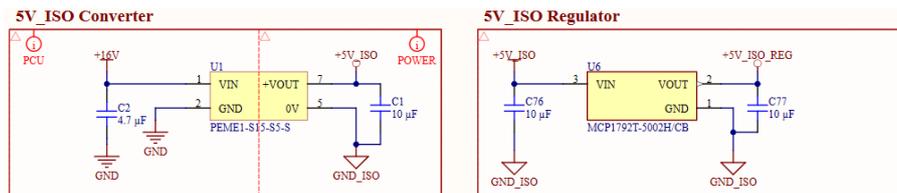
En la Figura 3.14 se puede observar el circuito utilizado para la medida con las resistencias diseñadas.



**Figura 3.14:** Esquemático utilizado para el sensado de la tensión del bus de continua

Como se puede comprobar, se ha reutilizado también el amplificador operacional con ganancia de 1,65 que pasaba las tensiones diferenciales a tensiones simples. Al igual que en la tarjeta de control, para reducir espacio se ha utilizado el integrado con dos amplificadores operacionales en su interior, ahorrando costes y reduciendo el espacio ocupado en la tarjeta.

Cabe mencionar que para el amplificador aislado también hace falta una alimentación aislada, es por eso que se necesita un regulador aislado para alimentar a la parte aislada de los amplificadores operacionales. En la Figura 3.15 se muestran los componentes encargados de esa tarea.

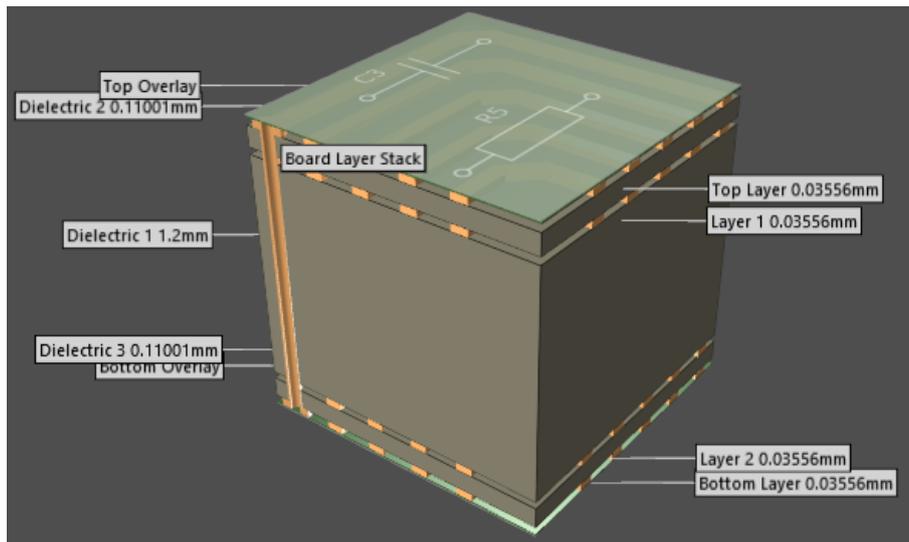


**Figura 3.15:** Esquemático utilizado para el regulador de 5 V aislados

El componente PEME1-S15-S5-S del fabricante CUI se encarga de aislar la tensión de 16 V proveniente de la tarjeta de control. El problema es que este integrado no genera la tensión regulada, por lo que tras este, se ha añadido un regulador LDO, concretamente el modelo MCP1792T-5002H/CB de Microchip, para estabilizar la tensión, siendo esta última la utilizada para alimentar a los amplificadores operacionales.

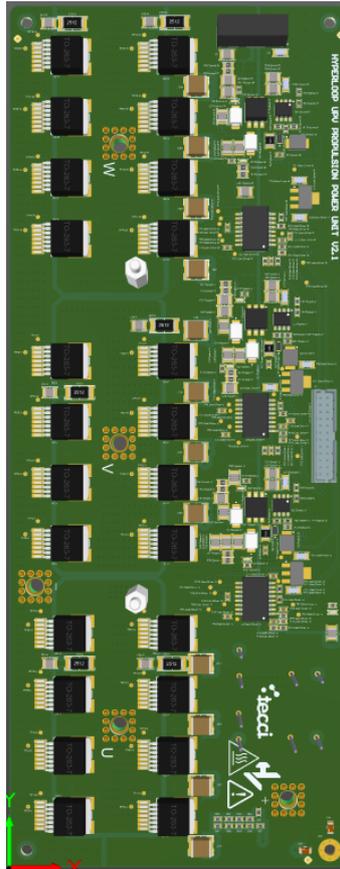
### 3.4. Enrutado

Lo primero es mostrar el *stack-up* utilizado en la tarjeta. Al igual que se hizo con la PCU, en la Figura 3.16 se muestra el *stack-up* proporcionado por Tecci, empresa también patrocinadora que se encargará de fabricar la tarjeta de potencia.



**Figura 3.16:** *Stack-Up* de la tarjeta de potencia PPU visualizado en 3D

El emplazado de los componentes se ha realizado teniendo en cuenta el tamaño máximo de la tarjeta, medidas fijadas por el equipo mecánico. Es por eso que toda la parte de control, referida a la misma masa que la tarjeta de control se encuentra cerca del conector, mientras que los transistores, los cuales son los componentes que más ocupan se han colocado a lo largo de toda la tarjeta, como se puede observar en la Figura 3.17.



**Figura 3.17:** Colocación general de los componentes de la tarjeta de potencia (PPU)

En esta figura se puede observar que la barrera entre dominios está formada por los controladores de puerta y por los transformadores del regulador *Flyback*. Se han colocado tanto el regulador DC-DC como el controlador correspondiente lo más próximos posible, justo delante de cada fase para reducir elementos parásitos debidos al enrutado.

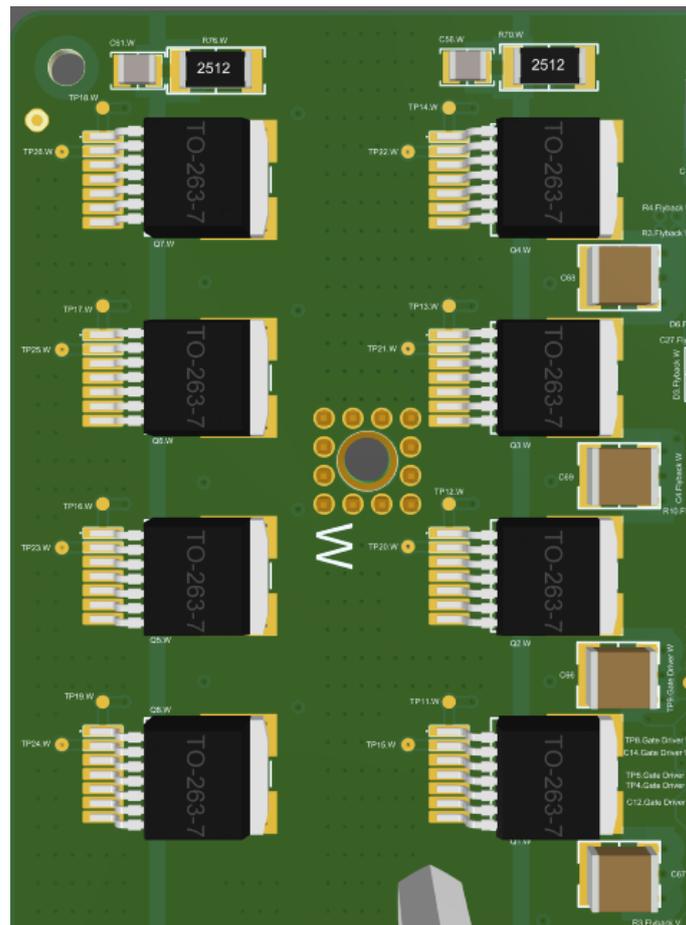
Los componentes más altos como los condensadores del bus DC se ha debido de ensamblar por la capa inferior de la tarjeta por dos motivos. El primero es para evitar colisiones con la tarjeta de control ensamblada justo encima y el segundo es para poder cerrar la caja del inversor, de la cual se puede observar una imagen en la Figura 3.18.



**Figura 3.18:** Caja del inversor con las tarjetas ensambladas

Como se puede apreciar en esta misma figura, los conectores de la potencia también se encuentran en la parte inferior de la tarjeta, ya que la intención es de colocar la caja mostrada encima de los propios motores, siendo su cableado más sencillo si las fases saliesen por el inferior de la misma. Los dos conectores *surloks* que se encuentran en la parte frontal de la caja son los encargados de alimentar a los inversores, conectándose directamente a la caja de baterías.

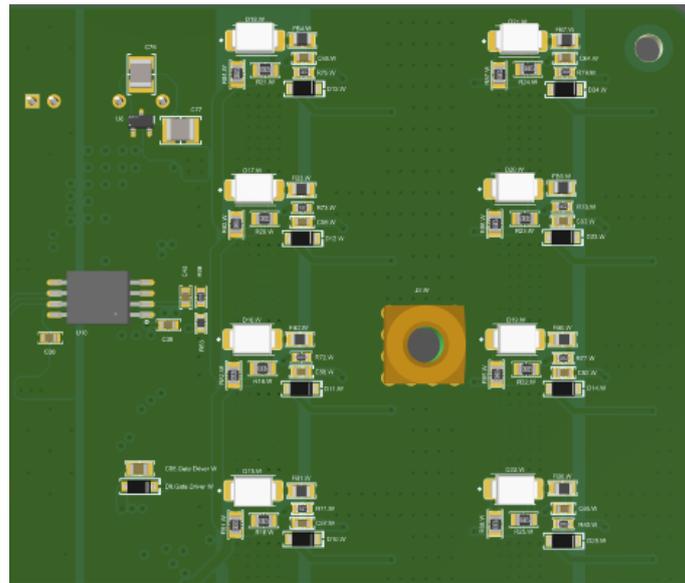
Como se puede apreciar en la Figura 3.19, dichos conectores se encuentran directamente entre los transistores de cada rama. Aprovechando la figura también, se puede observar como al lado de cada transistor superior de cada rama se encuentra un condensador cerámico. Estos han sido colocados lo más cerca del pin del componente para ser capaces de alimentarlos cuando se produzcan picos de demanda, evitando así sobreoscilaciones.



**Figura 3.19:** Emplazado de los transistores en la tarjeta de potencia

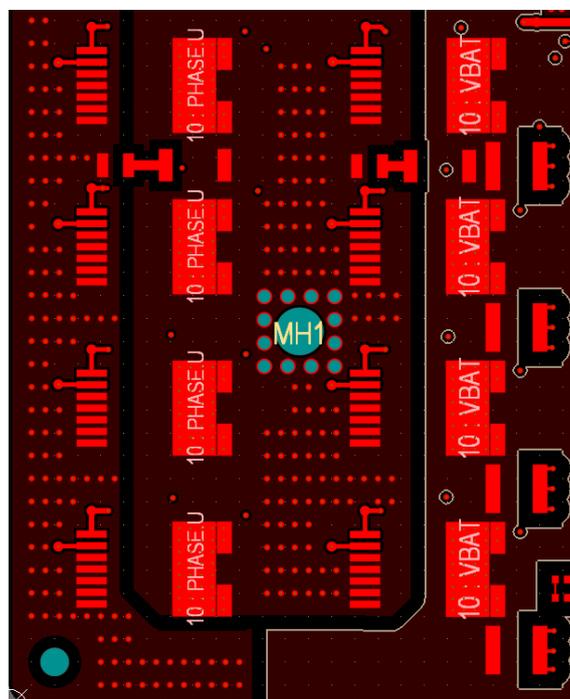
En ella también se puede apreciar como los componentes de las redes snubber se han colocado también lo más cerca posible de los transistores a proteger. Se ha utilizado una huella de componentes considerables para abarcar un mayor número de valores y potencias a la hora de escoger los componentes que la formarían en caso de ser necesario.

En la parte inferior de los transistores se encuentran los componentes mostrados en la Figura 3.20, que corresponden a las resistencias, ferritas y condensadores de puerta. Se han colocado lo más cerca del transistor para que actúen a modo de filtro RC, eliminando el ruido que se pueda haber inducido en la señal. En la figura también se puede apreciar uno de los amplificadores aislados encargados de medir la temperatura de la fase, para evitar que se sobrecalienten demasiado.



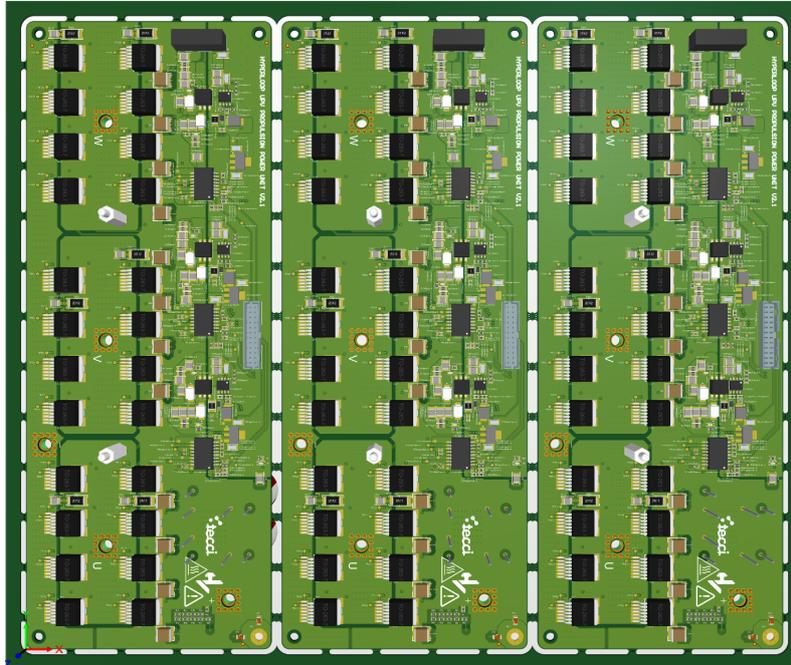
**Figura 3.20:** Emplazado de los componente de puerta de los transistores

Cabe mencionar que los transistores tienen el pin del drenador lleno de vías, con el objetivo de asegurar una buena conductividad térmica entre capas y poder disipar de manera más sencilla el calor. Esto posible ya que se han distribuido las conexiones de el positivo y negativo de la alimentación de potencia y las fases en paralelo, siendo los transistores los encargados de hacer de separadores, como se muestra en la Figura 3.21.



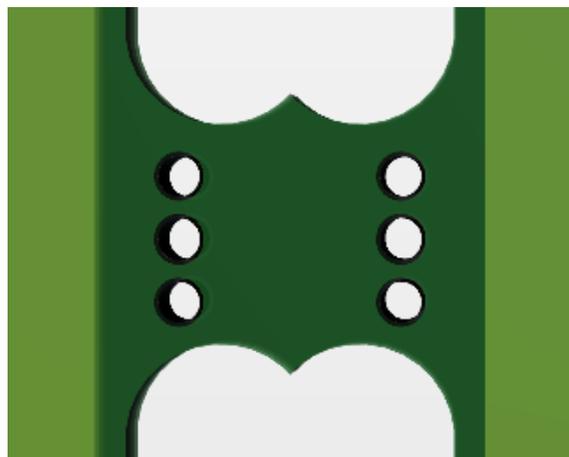
**Figura 3.21:** División de las conexiones de potencia en la tarjeta

Para reducir costes y obtener un mayor número de unidades se ha diseñado un panel de tres tarjetas como se muestra en la Figura 3.22. En ella se puede apreciar como las tarjetas se han posicionado en paralelo una al lado de otra, suficiente para facilitar la extracción de las mismas.



**Figura 3.22:** Diseño del panel de fabricación para 3 unidades de la tarjeta de potencia

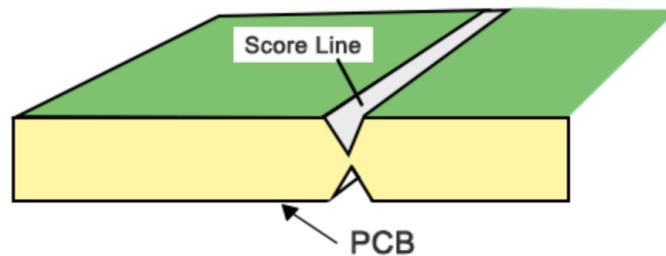
Las diferentes unidades han sido separadas por pequeñas conexiones llamadas *tabs*, cuyo único requerimiento es que sean lo suficientemente rígidas para soportar el transporte del panel sin romperse pero a la hora de intentar separarlas no opongan excesiva resistencia. Para ellos en cada unión entre los *tabs* y las tarjeta se han dispuesto pequeños agujeros que favorezcan la rotura de los *tabs* en esa zona, llamados *mouse bites*, dejando las tarjetas intactas. Un ejemplo de *tabs* con *mouse bites* se muestra en la Figura 3.23.



**Figura 3.23:** Ejemplo de *tabs* con *mouse bites* usados en el panel

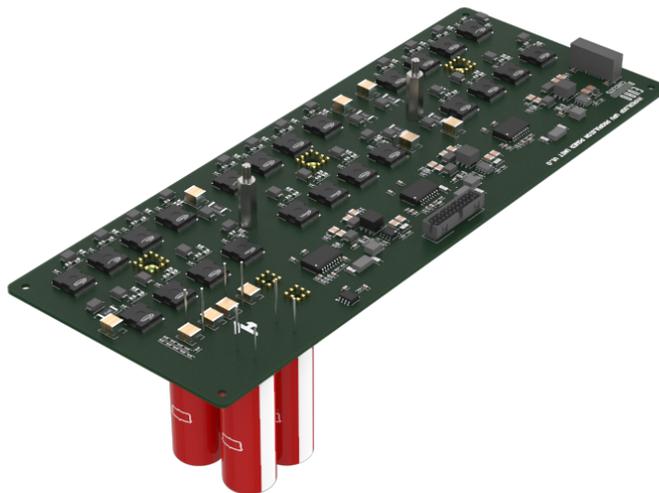
Los *mouse bites* son de gran ayuda si la despanelización se realiza a mano, pero en la industria, donde esta tarea es realizada por máquinas, carecen de sentido. Los *tabs* sí que son utilizados pero es una máquina estilo CNC (*Computer Numerical Control*, Control numérico por computador) la que se encarga de recorrer el borde de cada tarjeta eliminándolos.

Otra tecnología común para el panelizado de tarjetas en la industria es el estilo *V-Scoring*, el cual consiste en utilizar surcos en su borde para que una sierra, usándolos como guía, sea capaz de separar el panel de las unidades que lo formen. En la Figura 3.24 se muestra una sección del surco en el panel. Este tipo de enfoque tiene una desventaja y es que con factores de forma complejos este método no se puede utilizar, siendo recomendado para tarjetas rectangulares. Este inconveniente lo suple el panelizado por *tabs*, ya que realizándose mediante una serie de coordenadas, la máquina es capaz de seguirlas sin problema.



**Figura 3.24:** Ejemplo de V-Scoring usados en el panel

El resultado final de la tarjeta se muestra en la Figura 3.25, donde se puede observar el emplazamiento de todos los componentes de la tarjeta.



**Figura 3.25:** Resultado final del emplazamiento de la tarjeta de potencia PPU

## Capítulo 4

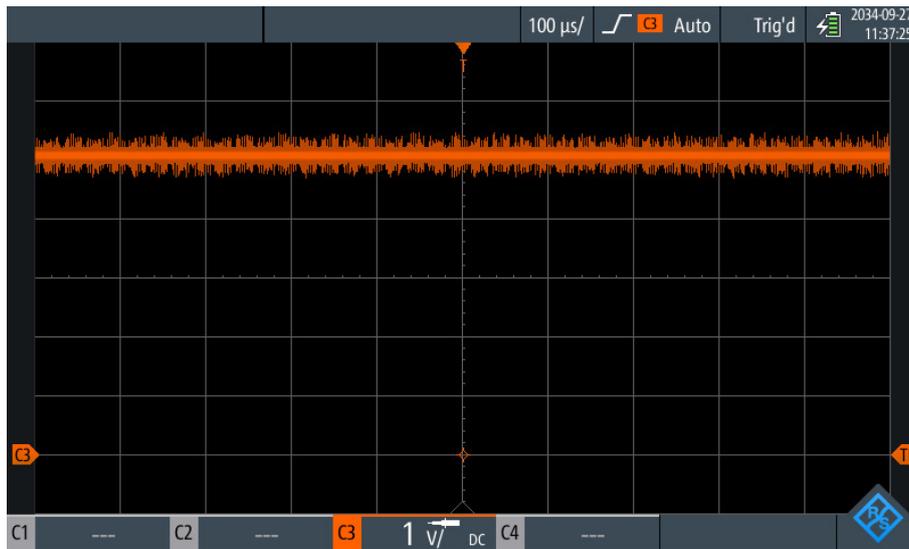
# Resultados Experimentales

En esta sección se procederá a validar los diferentes circuitos diseñados en los anteriores apartados. También se explicará si se han realizado pequeños ajustes en cuanto a valores de resistencias y condensadores para mejorar sus características. Principalmente la validación se centrará en la tarjeta de potencia, ya que al ser los bloques principales de la tarjeta de control buses de comunicación será validada por el equipo de programación, siendo lo único restante la adaptación de los sensores que será validada al mismo tiempo que la tarjeta de potencia.

### 4.1. Validación de los reguladores

Lo primero que se deberá validar en el sistema es que las diferentes alimentaciones se generen correctamente. Es por eso que se han tomado medidas de los diferentes reguladores diseñados tanto de la tarjeta de control como en la de potencia.

Comenzando con los reguladores de la PCU, en la Figura 4.1 se muestra la tensión de salida del regulador de 5 V, encargado de alimentar a un LDO para después generar los 3,3 V a los que se alimenta el microcontrolador y gran parte de la lógica. En la figura se aprecia como la tensión de salida son los 5 V de diseño, por lo que se puede considerar válido el diseño a priori.



**Figura 4.1:** Tensión de salida del regulador de 5 V de la tarjeta de control

En la anterior figura se puede apreciar que el rizado de salida es de aproximadamente 200 mV de pico a pico, para comprobarlo, la Figura 4.2 se ha tomado cambiando el acoplamiento del osciloscopio de DC a AC, permitiendo mostrar solo el rizado a medir.

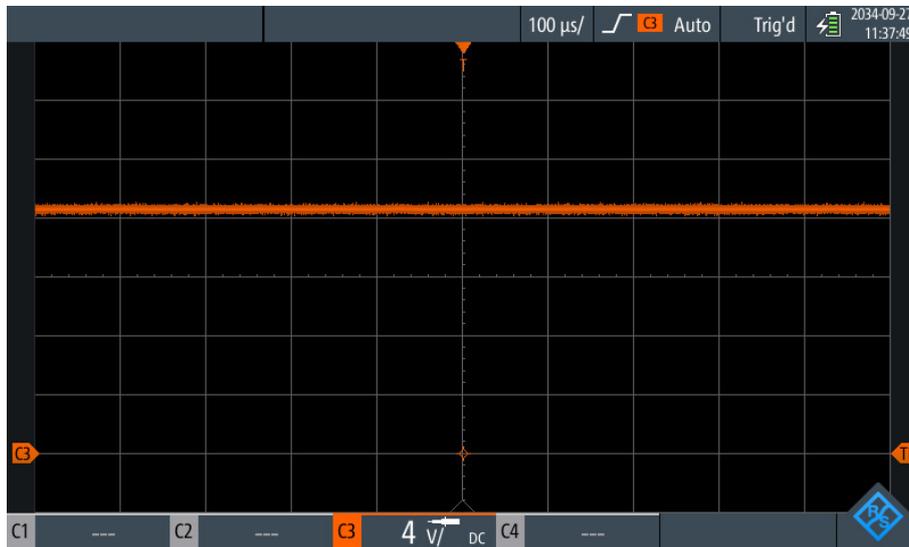


**Figura 4.2:** Rizado de la tensión de salida del regulador de 5 V de la tarjeta de control

En la anterior figura se puede medir que el rizado de salida del regulador de 5 V es de 43 mV de pico a pico, lo que representa un 0,8 % de la tensión de salida del propio regulador. Dicho convertidor se diseñó con una especificación de rizado del 0,5 %. Siendo ambos valores muy próximos, se dará por validado el regulador.

De la misma manera, se procederá a comprobar el regulador de 16 V, encargado de alimentar a la parte de potencia. En la Figura 4.3 se muestra la tensión de salida del mismo regulador. En

dicha figura que la tensión de salida es ligeramente superior a lo que se había diseñado, lo cual no supone ningún inconveniente ya que lo único conectado a su salida es el regulador *Flyback* de las tarjetas de potencia, lo cuales son fácilmente ajustables en caso de tener que hacerlo, por lo que este regulador queda validado en cuanto a la tensión de salida también.



**Figura 4.3:** Tensión de salida del regulador de 16 V de la tarjeta de control

Debido a la resolución seleccionada el rizado es prácticamente inapreciable, por lo que en la Figura 4.4 se ha hecho lo mismo que con el regulador de 5 V, cambiar el acoplamiento a AC y aumentar la resolución para apreciarlo.



**Figura 4.4:** Rizado de la tensión de salida del regulador de 16 V de la tarjeta de control

Al igual que en el caso anterior, se ha medido mediante cursores el valor del rizado pico a pico, con un valor de 85 mV aproximadamente. Siendo la especificación de rizado la misma para ambos

reguladores, este valor de rizado de pico a pico representa un 0,053 % del valor de la tensión de salida, por lo que queda igualmente validado.

El último regulador que falta por validar su funcionamiento es el *Flyback* situado en la tarjeta de potencia. En la Figura 4.5, al igual que el resto de reguladores se muestra su tensión de salida, viendo como parece tener poco rizado también.



**Figura 4.5:** Tensión de salida del regulador *Flyback* de la tarjeta de potencia

A diferencia que en el resto de reguladores, en este hay una pequeña diferencia entre la tensión de salida de diseño y la medida. Esto no supone un problema ya que este integrado permite un ajuste sencillo mediante una resistencia, de hecho, el propio fabricante es el que proporciona una fórmula para ajustarla, asumiendo que es bastante común el suceso. Esta fórmula es una simple regla de tres entre el valor de la resistencia actual y las tensiones de salida medida y de diseño.

Tras ajustar el valor de la resistencia al siguiente valor comercial se obtiene la salida mostrada en la Figura 4.6, donde se puede comprobar que la tensión de salida es la correcta con respecto al diseño.



**Figura 4.6:** Tensión de salida del regulador *Flyback* de la tarjeta de potencia ajustada

Una vez comprobado que la salida del regulador es la que procede, el siguiente paso es comprobar su rizado como se ha hecho en los reguladores anteriores. Para ello se ha realizado el mismo procedimiento de utilizar el acoplamiento AC del osciloscopio, obteniendo como resultado la Figura 4.7.



**Figura 4.7:** Rizado de la tensión de salida del regulador *Flyback* de la tarjeta de potencia

Midiendo con el osciloscopio se obtiene un rizado de pico a pico de 385 mV, lo que supone un 2 % de la tensión de salida, valor bastante cerca del 0,5 % de diseño, por que todos los reguladores del sistema quedan validados en cuanto a la especificación de rizado.

La última medición que se procederá a realizar es la comprobación del funcionamiento de la *snubber* del regulador *Flyback*, por lo que habrá que medir entre el pin de entrada del transformador

y la referencia del sistema para comprobar si hay oscilaciones, cuya forma de onda se representa en la Figura 4.8.



**Figura 4.8:** Nodo de conmutación del regulador *Flyback*

En la figura anterior la señal cuadrada no son solo los 16 V de entrada al regulador, sino hay que tener en cuenta que la salida se ve reflejada en ese nodo también, de ahí el porque se observar aproximadamente unos 36 V cuando se estabiliza la señal. En ella también se puede apreciar una pequeña sobreoscilación, que disminuyendo el valor de la división temporal del osciloscopio, se obtiene un mayor detalle mostrado en la Figura 4.9.



**Figura 4.9:** Detalle del nodo de conmutación del regulador *Flyback*

Se puede comprobar como pese a haber un pequeño pico, se estabiliza rápidamente sin tener ningún tipo de oscilación posterior, por lo que se puede concluir que el diseño de la red *snubber*

del primario de regulador *Flyback* cumple su función.

## 4.2. Validación de los semipuentes

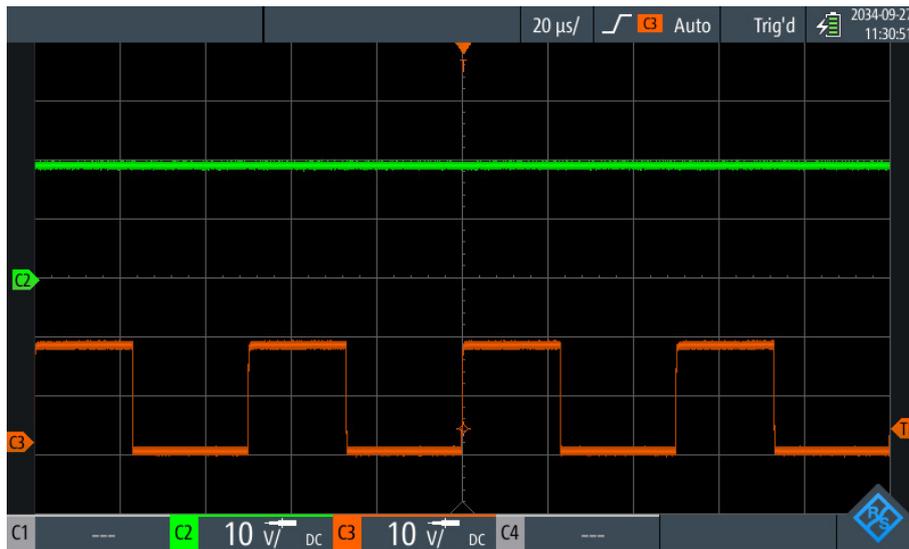
Una vez validados todos los reguladores de la tarjeta, se procederá a validar toda la circuitería relacionada con el semipunte, incluyendo que los propios transistores soporten las condiciones establecidas en los requerimientos como los propios controladores de puerta.

Lo primero será comprobar que cuando se le aplica una señal PWM a la entrada de cada controlador de puerta, este es capaz de generar los niveles de tensión a su salida sin ningún problema. Esto se puede comprobar en la Figura 4.10, donde es la misma imagen se muestra la señal proveniente del microcontrolador y la de salida del controlador de puerta, siendo las mismas señales con diferentes niveles lógicos.



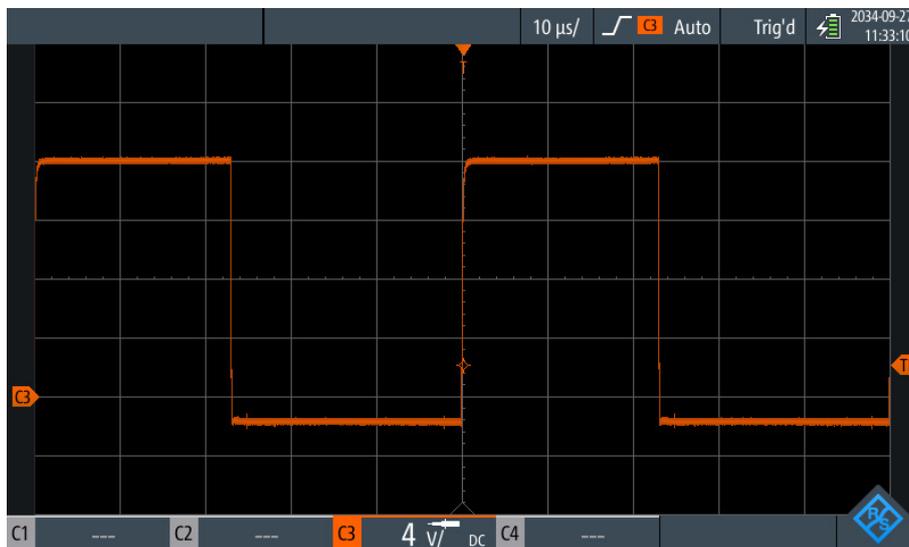
**Figura 4.10:** Señal proveniente del microcontrolador y salida del controlador de puerta

Como se puede ver, ambas señales van prácticamente al unísono, lo cual verifica el funcionamiento del mismo. Lo siguiente a comprobar es si las conmutaciones afectan de alguna manera a los reguladores *Flyback* que lo alimentan. En la Figura 4.11 se aprecia como pese a la demanda, los reguladores mantienen la tensión de salida constante, lo que lleva a pensar que está bien dimensionado el regulador.



**Figura 4.11:** Señal de salida del controlador de puerta y tensión de salida del *Flyback*

Si se aumenta la forma de onda, se podrán apreciar los efectos del filtro RC formado por la resistencia de puerta y el condensador de puerta del transistor. En la Figura 4.12 se muestra cómo los cambios de nivel de la señal presentan características del filtro, como los bordes suavizados en los extremos del cambio.



**Figura 4.12:** Ampliación de la señal de salida del controlador de puerta

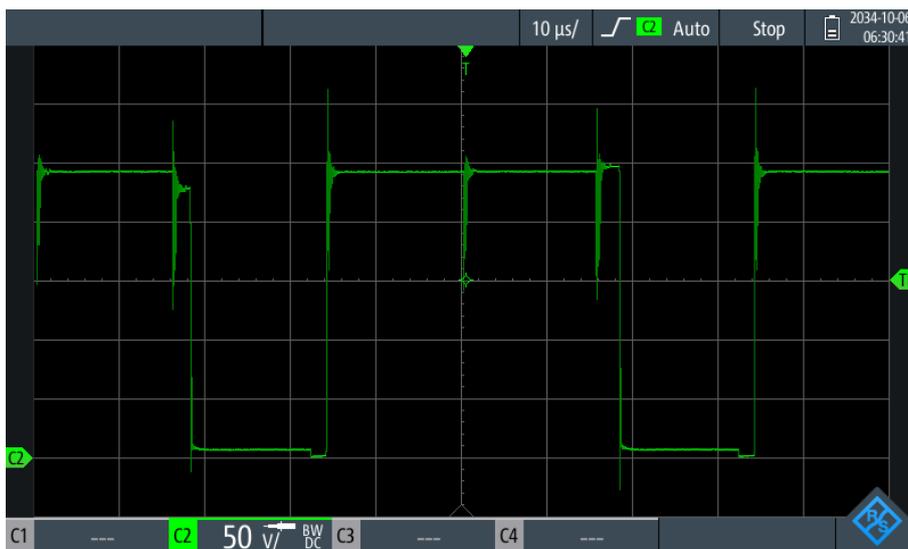
La última comprobación en cuanto a las PWMs es acerca del tiempo muerto entre las negadas de la misma fase. Midiendo la señal de conmutación de los transistores de la parte alta y baja de una rama al mismo tiempo y disminuyendo la escala temporal se puede apreciar que durante un pequeño tiempo ambas dos se encuentran a nivel bajo, como se puede comprobar en la Figura 4.13.



**Figura 4.13:** Tiempo muerto entre transistores de la misma rama

De esta manera, se da tiempo a los transistores a descargarse y se evita el riesgo de que se genere un corto en la rama. El inconveniente de tener un tiempo muerto grande es la eficiencia del convertidor y la calidad de la señal producida en los terminales de fase, empeorando cuanto mayor es el tiempo muerto. En la figura se puede comprobar como dicho tiempo tiene un valor de  $2 \mu\text{s}$ , valor ligeramente superior al mínimo que aporta el controlador de puerta. Si hace falta, se ajustará posteriormente para mejorar las prestaciones del inversor.

Para la siguiente prueba, se conectará un fuente DC simulando la tensión proporcionada por las baterías, comprobando así que no hay ningún problema en el momento de la conmutación a la tensión de diseño. En la Figura 4.14 se muestra una captura del osciloscopio registrando la tensión en bornes del transistor de la parte baja de la rama.

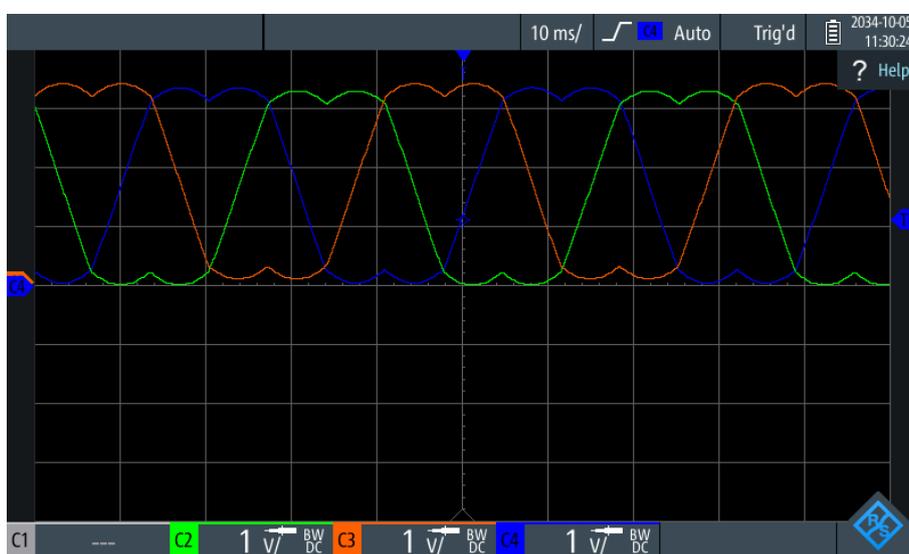


**Figura 4.14:** Tensión drenador-surtidor de un transistor en la parte baja de la rama

En ella, pese al ruido introducido en la medida, se puede apreciar la sobreoscilación típica en los transistores debido a elementos parásitos, validando así la conmutación hasta 250 V, cumpliendo así uno de los requisitos de diseño. Como el valor máximo de la sobreoscilación es significativamente menor que la tensión máxima que pueden soportar los transistores, no hará falta el diseño de la red *snubber*.

Tras medir que las sobretensiones debido a componente parásitos es admisible, se comprobará que el equipo de programación está ejecutando bien la modulación a utilizar, que en este caso es la de *Space Vector* (vector espacial). Si las señales de conmutación están correctamente generadas, la fundamental de la PWM debería ser de la misma frecuencia a la cual se desea generar la corriente con el añadido del tercer armónico.

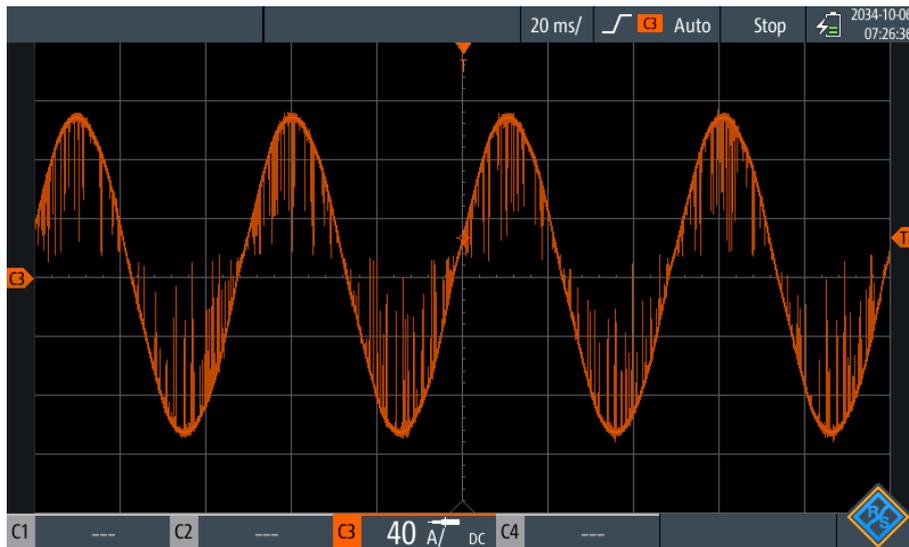
Ajustando el ancho de banda del osciloscopio se obtiene la Figura 4.15, donde tras filtrar el resto de componentes frecuenciales de la PWM, se observan una fundamental de 25 Hz aproximadamente y el efecto de su tercer armónico.



**Figura 4.15:** Señales de conmutación de las tres fases del motor generadas por la modulación *Space Vector*

Con esta imagen se puede observar también cómo las señales están correctamente desfasadas, por lo que el siguiente paso es conectarle cargas inductivas a la salida para poder generar las corrientes sinusoidales deseadas. Para estas pruebas, dicha carga serán los motores de años anteriores, con el objetivo de comprobar independientemente el sistema de tracción con respecto al motor nuevo de este año.

Tras conectar la carga y aplicar las señales mostradas anteriormente, en la Figura 4.16 se muestra la corriente de una fase del motor, siendo está de forma sinusoidal como esperaba. Solo se muestra una fase debido a que no se disponen de más sondas de corriente. Para ver las tres fases al mismo tiempo, se deberán usar los sensores de los que dispone el sistema.



**Figura 4.16:** Medida de la corriente de fase hasta los 120 A

En este ensayo, como se utilizaron los motores de años anteriores, para la tensión máxima el motor demandaba más corriente que el diseñado este año, el cual es más eficiente ya que con un menor tamaño y corriente es capaz de generar más fuerza. Es por esto que el pico de la señal de corriente llega hasta los 115 A aproximadamente.

Con esto, se completa la validación del sistema entero, cumpliendo con todos los requisitos de diseño, ya que durante estas pruebas no se ha apreciado un calentamiento significativo en el tiempo que han durado los ensayos. Las siguientes pruebas se realizarán tanto con los motores de este año y, más adelante, con el vehículo para la competición.

### 4.3. Resultados del funcionamiento completo del sistema de tracción

Una vez validado el comportamiento del sistema de manera independiente, se procederá a conectar el inversor al motor. Para ello no solo hará falta utilizar el sistema de tracción diseñado en este documento, sino también la tarjeta principal del vehículo, así como las encargadas de monitorizar las baterías utilizadas al igual que en los ensayos finales del apartado anterior.

De esta manera, se podrá validar no solo la correcta fabricación del propio motor, sino que servirá a modo de prueba de integración entre uno de los principales subsistemas del vehículo, faltando solo las tarjetas de levitación y carga de las baterías para completar el sistema electrónico.

Para comprobar que todo funciona correctamente, se ha diseñado una prueba, utilizada ya en años anteriores del equipo, que enfrenta a los dos motores a un volante de dos metros de diámetro de aluminio. De esta manera, si se alimentan correctamente los motores, el campo se cerrará entre ellos, generando una fuerza que permitirá a la rueda girar. En la Figura 4.17 se muestra dicho volante donde se aprecia uno de los motores ensamblado, estando el otro en el lado contrario de la rueda, y el encoder conectado al eje del mismo para medir su velocidad.

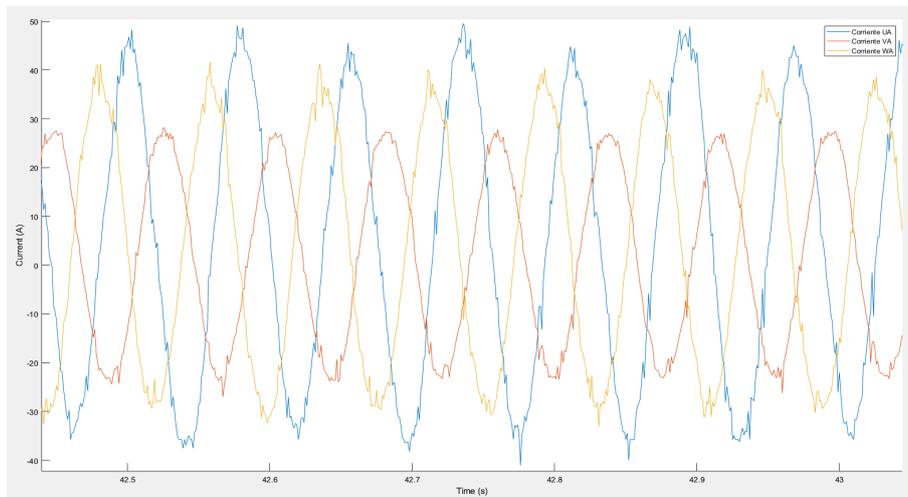


**Figura 4.17:** Volante utilizado para las pruebas del sistema de tracción

Este tipo de pruebas sirven también para probar diferentes tipos de control, aunque inicialmente se procederá a controlar el motor en bucle abierto, probando frecuencias y tensiones arbitrarias. Con ello se espera también obtener parámetros del motor y validar las simulaciones lanzadas en la fase de diseño.

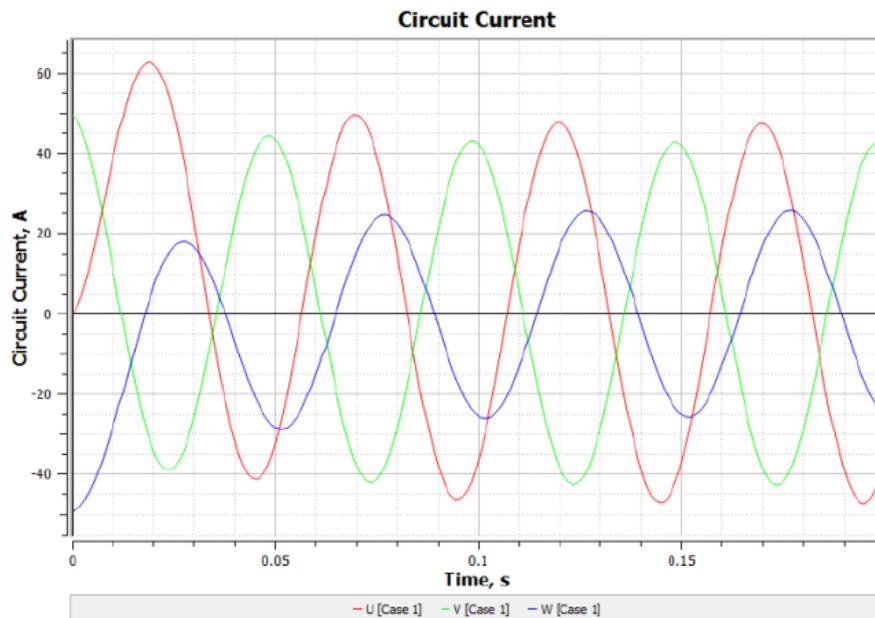
La primera prueba que se realizará tiene de objetivo llegar a mínimo la mitad de la corriente y la mitad de la tensión en el bus DC establecidos como requerimientos, subiendo en pequeños escalones la tensión en el motor. Los datos serán registrados mediante la interfaz de usuario creada para las pruebas, donde se reciben todos los mensajes enviados por las tarjetas, pudiendo así después tratar los datos de manera más sencilla. Cabe mencionar que con estas pruebas también se validan los sensores conectados a la tarjeta, sobre todo los de corriente de fase, siendo cruciales para las posteriores comprobaciones.

Los resultados de la corriente en uno de los dos inversores se muestran en la Figura 4.18, pareciendo que el motor tiene un desequilibrio que hace que no pase la misma corriente por todas las fases. Se centra el objetivo en el motor ya que en las pruebas anteriores, donde no se conectaba el motor, las corrientes de fase generadas por las tarjetas de potencia eran exactamente iguales entre ellas.



**Figura 4.18:** Corrientes obtenidas en las pruebas con los motores y el volante

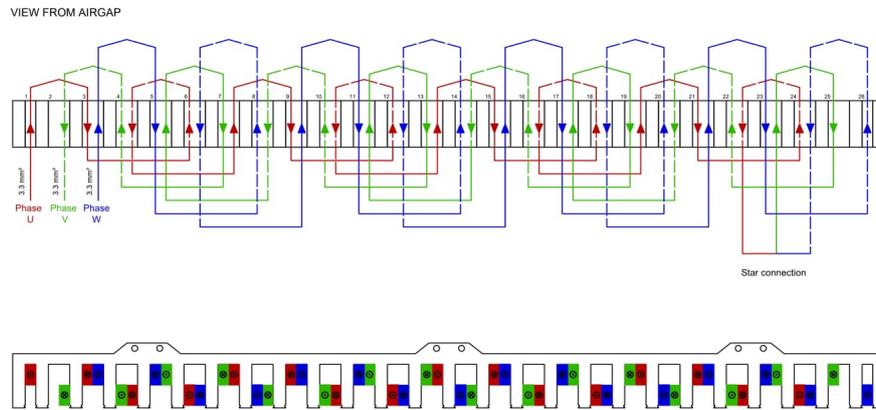
Con esto comienza una investigación acerca de lo sucedido, lanzándose diferentes simulaciones con el objetivo de imitar los resultados obtenidos en este ensayo. Finalmente, en una de estas simulaciones se obtiene el resultado mostrado en la Figura 4.19, bastante similar a las corrientes medidas.



**Figura 4.19:** Simulación con el bobinado de la fase V invertido

Estas corrientes han sido obtenidas simulando una estimulación del motor con el bobinado de la fase V invertido con respecto al diseño original. Si se observa el esquema de bobinado mostrado en la Figura 4.20, la única fase que tiene el bobinado diferente es la V, la cual va en sentido contrario a las otras dos, por lo que tiene mucho sentido que el fabricante por error haya fabricado las tres de la misma manera, invirtiéndole el sentido a la fase V. La conclusión obtenida de todo esto es que

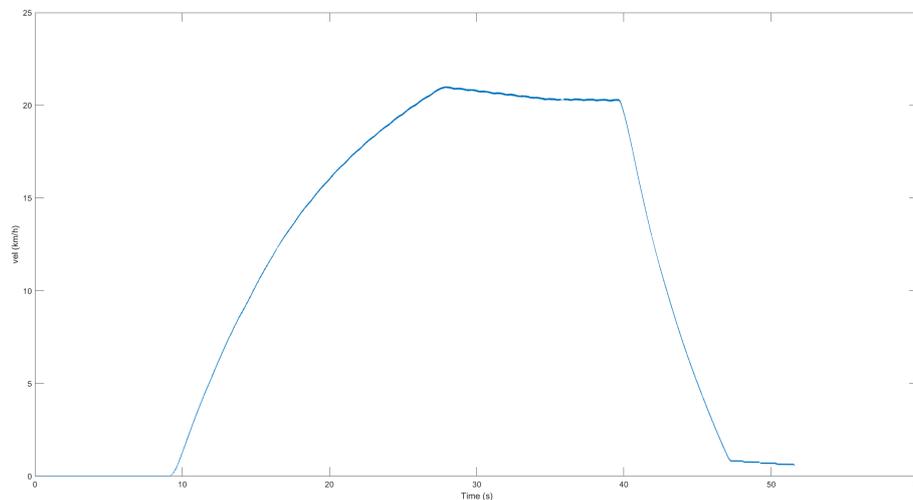
el motor no está desequilibrado, sino que una de las fases se encuentra mal bobinada, generando efectos indeseados.



**Figura 4.20:** Esquema de bobinado generado para el fabricante del motor

Ya que en detectar todo esto se tardó más tiempo del esperado, el motor no se pudo validar a más corriente, por lo que en la competición se impuso al equipo no superar los valores de tensión y corriente con los que se realizaron estos ensayos.

Pese a todo esto, el motor hacía la suficiente fuerza no solo para mover la rueda, sino el vehículo también. Tras esto, se prueba a montar el vehículo con un resultado satisfactorio, ya que, como se puede ver en la Figura 4.21, el vehículo alcanzó los 25  $km/h$ .



**Figura 4.21:** Velocidad alcanzada por el vehículo en las pruebas

Estos datos han sido obtenidos con el sensor IMU, por lo que, tras previamente ser validado por el equipo de programadores, se ha podido utilizar en el prototipo completo para medir tanto la posición como la velocidad.

Se aprecia que la frenada es muy repentina, y esto es gracias a que el vehículo es capaz de frenar con el motor, cambiando la secuencia de las fases y haciendo fuerza en el sentido contrario

al movimiento, frenando el vehículo hasta su completa parada.

En la figura también se puede apreciar como el inversor ha estado activo por más de un minuto, y no solo eso, sino que en las pruebas realizadas con el volante se han realizado mediciones de más de cinco minutos sin superar los 60°C. Sumando esto a que en las pruebas donde el motor no influía en la generación de las corrientes el inversor ha funcionado sin problemas, se puede llegar a la conclusión de que el sistema de tracción diseñado cumple con las especificaciones establecidas.

Este sistema será un buen punto de partida para los siguientes años del equipo, encargados de aplicar las mejoras que se discutirán en el siguiente apartado, ya que pese a funcionar y cumplir con los requerimientos, durante la fase de pruebas se detectaron algunos retoques que mejorarían el funcionamiento del sistema.



## Capítulo 5

# Mejoras Futuras y Conclusiones

Durante la fase de pruebas y verificación del diseño, se han podido detectar algunos cambios que se pueden aplicar para años posteriores en el equipo, mejorando así el funcionamiento del sistema.

Principalmente los cambios a comentar son acerca de la tarjeta de potencia del inversor, ya que es la primera vez que era el encargado de diseñarla.

El primero de ellos es intentar reducir la longitud del camino de puerta, ya que aunque en esta aplicación no haya generado ningún problema, siempre es recomendable acortarla lo máximo posible. Esto se puede conseguir moviendo el circuito de los controladores de puerta a una tarjeta exclusivamente para ellos y el regulador seleccionado encargado de alimentarlos. De esta manera, si se consiguen conectar las tarjetas de potencia y de los controladores lo más cerca posible de los módulos la distancia se reduciría.

Otro de los puntos a mejorar es reducir la distancia de las fases a los condensadores del bus de continua. En la actual tarjeta, la fase U se encuentra a una distancia favorable, mientras que la W se encuentra en la otra punta de la tarjeta, con dichos condensadores muy alejados. Esto hace que la inductancia parásita entre el bus de condensadores y los propios transistores aumente su valor, generando sobreoscilaciones en la tensión drenador-surtidor que puedan afectar negativamente al funcionamiento del sistema.

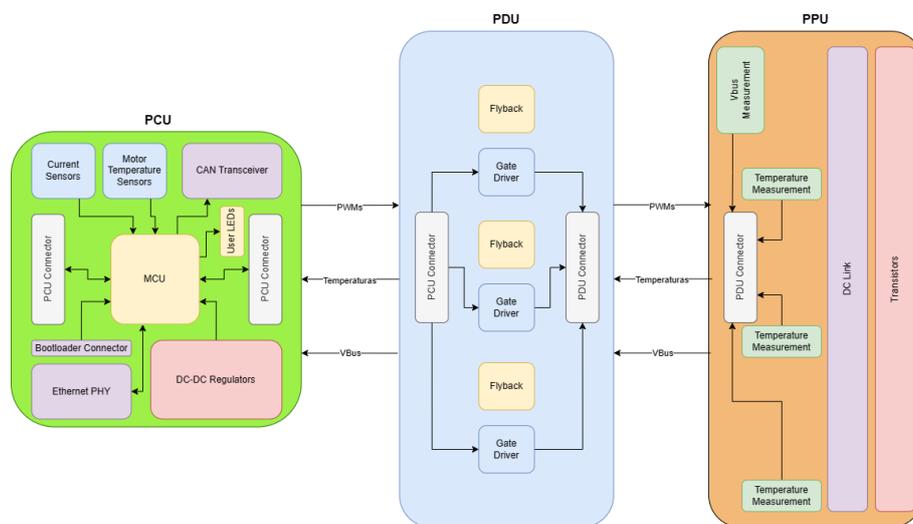
Suponiendo que el primer punto acerca de mover los controladores de puerta y convertidores DC-DC a una tarjeta exclusiva para ellos se ha aplicado, se podrían modificar el tamaño de los planos de las señales de potencia. En algunas zonas de la tarjeta, el plano encargado de llevar el positivo de la tensión del bus de continua resultaría insuficiente de no ser por estar replicado en las cuatro capas que conforman la tarjeta. Moviendo los componentes de la zona de aislamiento permitiría aumentar el cobre dedicado a esas señales, mejorando los aspectos térmicos y parásitos.

Siguiendo con los planos de potencia, se deberá tener un mayor cuidado con el retorno de la corriente en la tarjeta, ya que por ejemplo, en la fase W, para que la corriente que pasa por esa fase pueda volver al conector deberá recorrer toda la tarjeta, aumentando una vez más la inductancia parásita que se encuentra. Esto se podría solucionar de manera sencilla si de alguna manera se pudiese dedicar una de las capas internas completamente a la masa del sistema, permitiendo a la corriente fluir por el camino de menor impedancia y no forzarla a dar una vuelta innecesaria. También ayudaría colocar el conector de masa centrado en la tarjeta y no en uno de los extremos,

lo que reduciría significativamente también la distancia a recorrer por la corriente.

Por último, los condensadores de salida de los reguladores DC-DC aislados parecen estar bien dimensionados, sin embargo, se debería aumentar la capacitancia a la salida del pin del controlador de puerta, permitiendo suplir los picos iniciales de corriente que demandan los transistores.

Estas mejoras han sido detectadas gracias a la etapa de validación, donde más aprendizaje he llevado a cabo, ya que es la primera vez que me enfrento a un reto de este estilo. Gracias a este proyecto he conseguido diseñar y validar mi primer diseño de potencia de manera satisfactoria y con grandes resultados. En la Figura 5.1 se muestra un diagrama simplificado aplicando los comentarios descritos, siendo la tarjeta llamada PDU (*Propulsion Driver Unit*, unidad de controladores de propulsión) la nueva tarjeta creada para mejorar las características del sistema.



**Figura 5.1:** Nuevo diagrama simplificado de la solución adoptada

No solo se ha tenido que diseñar las tarjetas, sino el sistema entero, lo cual presenta un reto añadido ya que no es un proceso lineal. El proceso de diseñar un sistema es iterativo, pudiendo cambiar muchas veces antes de poder darlo como finalizado. Es por eso que considero un logro haber conseguido que la tarjeta de control haya funcionado a la primera sin necesidad de ningún cambio y que de la tarjeta de potencia solo haya hecho falta una iteración, ya que como se ha dicho, es la primera vez que me enfrento a algo parecido.

Durante la fase de validación no todo ha sido perfecto tampoco, lo cual no es nada malo, sino algo esperado. Es gracias a que se han tenido que ajustar los circuitos que se han comprendido mejor el funcionamiento de cada uno, afianzando así conocimientos obtenidos como base teórica ya sea en el grado como en el máster.

Todo esto ha culminado en éxito habiendo hecho funcionar el inversor tanto por separado como en la validación del motor con el volante giratorio, habiendo cumplido los requisitos estipulados al principio de la etapa de diseño. Toda esta información será utilizada para seguir perfeccionando los diseños electrónicos de futuros años del equipo Hyperloop UPV, pudiendo demostrar de nuevo en la competición *European Hyperloop Week*, al igual que se hizo este año.

## Bibliografía

- [1] P.-K. Budig. “The application of linear motors”. En: *Proceedings IPEMC 2000. Third International Power Electronics and Motion Control Conference (IEEE Cat. No.00EX435)*. Vol. 3. 2000, 1336-1341 vol.3. DOI: 10.1109/IPEMC.2000.883044.
- [2] John Reimers et al. “Automotive Traction Inverters: Current Status and Future Trends”. En: *IEEE Transactions on Vehicular Technology* 68.4 (2019), págs. 3337-3350. DOI: 10.1109/TVT.2019.2897899.
- [3] CNBC. *Why the electric vehicle boom could put a major strain on the U.S. power grid*. 2023. URL: <https://www.cnbc.com/2023/07/01/why-the-ev-boom-could-put-a-major-strain-on-our-power-grid.html> (visitado 07-07-2023).
- [4] Microchip-SMSC. *AN18.6 SMSC Ethernet Physical Layer Layout Guidelines*. Rev 0.8. 2008. URL: <https://ww1.microchip.com/downloads/en/Appnotes/en562748.pdf>.
- [5] Texas Instruments. *AN-1205 Electrical Performance of Packages*. Rev. May 2004. 2004. URL: <https://www.ti.com/lit/an/snoa405a/snoa405a.pdf>.
- [6] ROHM Semiconductors. *MOSFET Gate Resistor Setting for Motor Driving*. Rev.001, APR.2023. 2023. URL: [https://fscdn.rohm.com/en/products/databook/applinote/common/mosfet\\_gate\\_resistor\\_setting\\_for\\_motor\\_driving\\_an-e.pdf](https://fscdn.rohm.com/en/products/databook/applinote/common/mosfet_gate_resistor_setting_for_motor_driving_an-e.pdf).
- [7] Gabriel Garcerá Sanelín, Emilio Figueres Amorós y Antonio Abellán García. *Conversores Conmutados: Circuitos de potencia y control*. Editorial Universitat Politècnica de València, 1998.
- [8] Texas Instruments. *Fundamentals of MOSFET and IGBT Gate Driver Circuits*. Rev. Oct 2018. 2017. URL: [https://www.ti.com/lit/ml/slva618a/slva618a.pdf?ts=1706944823963&ref\\_url=https%253A%252F%252Fwww.google.com%252F](https://www.ti.com/lit/ml/slva618a/slva618a.pdf?ts=1706944823963&ref_url=https%253A%252F%252Fwww.google.com%252F).



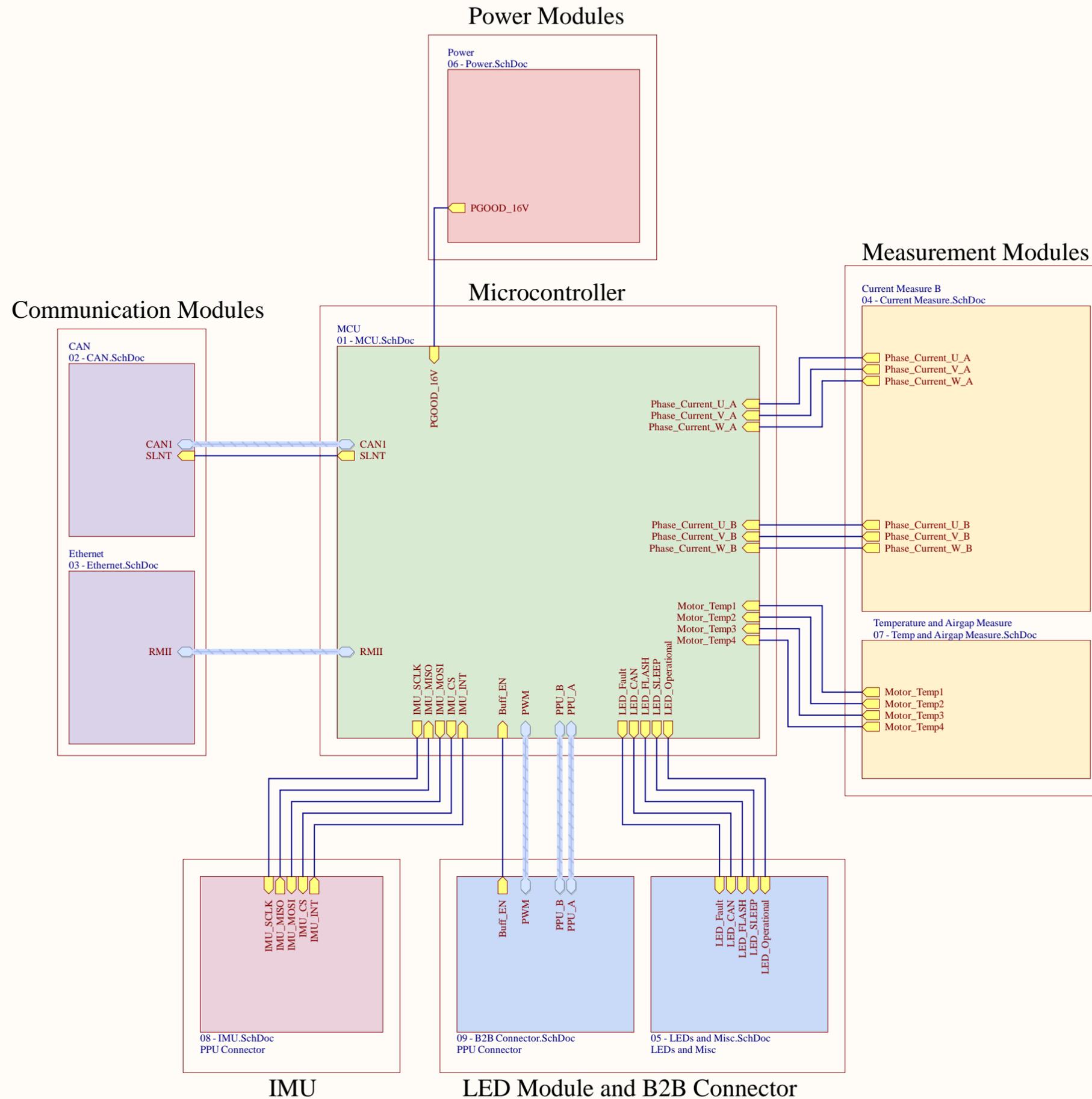
**Parte II**

**Anexos**



## **Apéndice A**

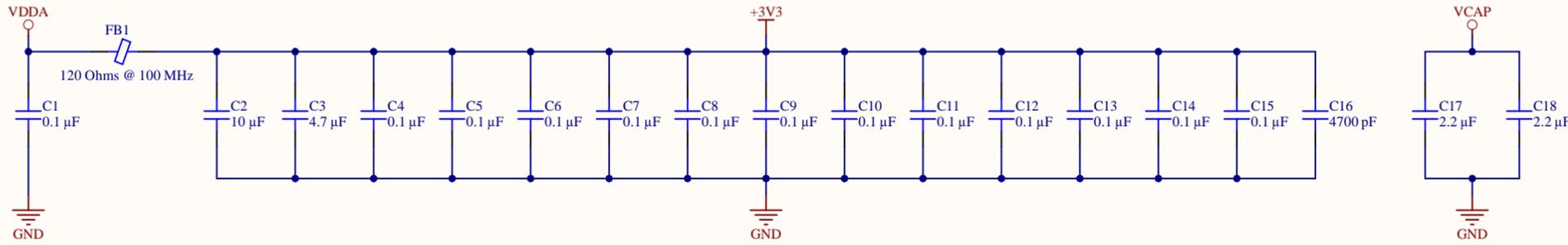
# **Esquemático PCU**



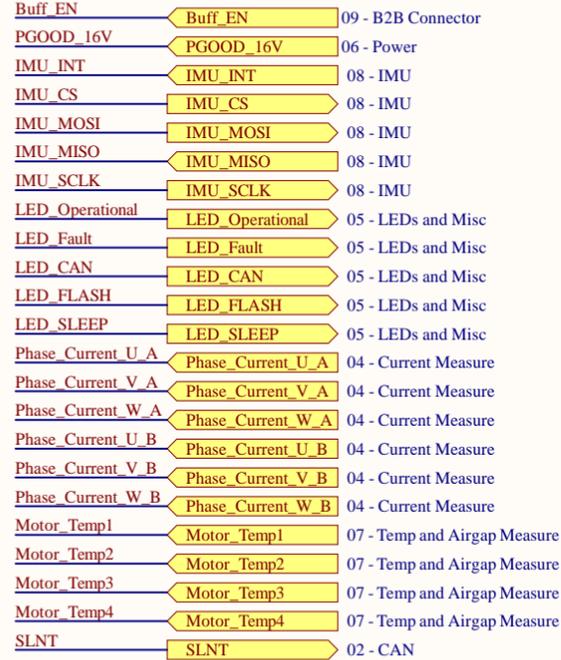
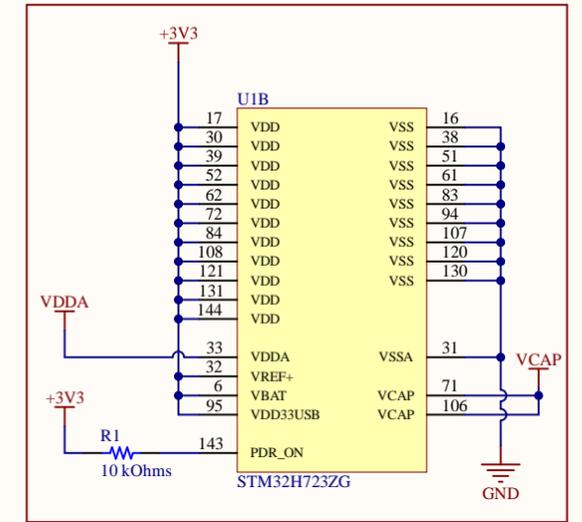
Title <b>Architecture.SchDoc</b>		
Size: A3	Number: PCU	Created: 12/10/2022
Last Modification: 18/02/2024		Sheet 1 of 10
Author: Marco Pérez		
Checked by: Alvaro Rey		



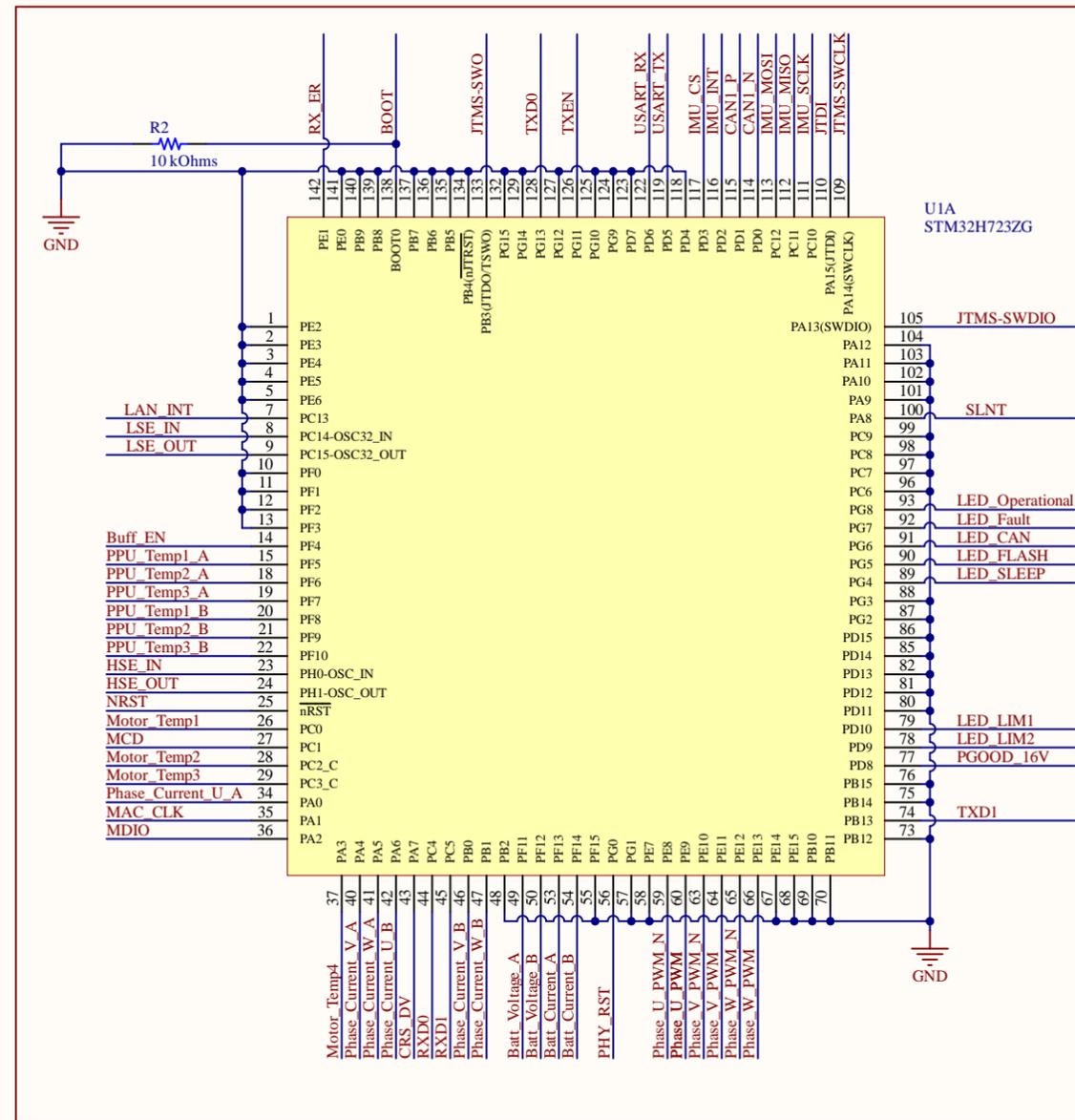
## Decoupling capacitors



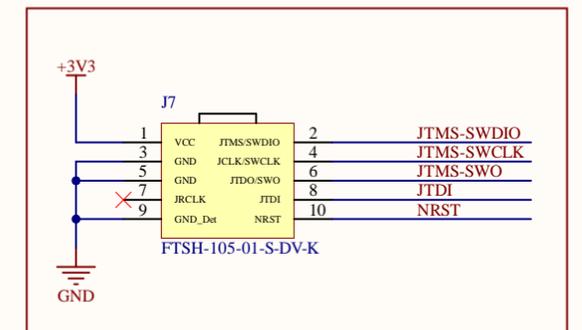
## MCU Supply



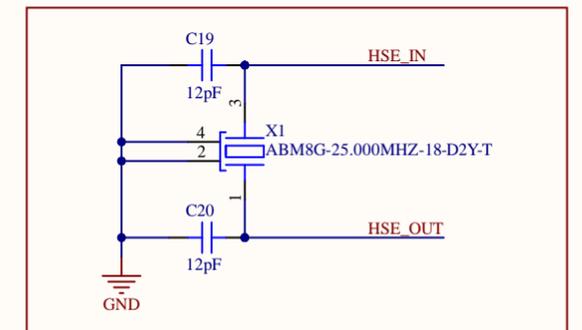
## MCU



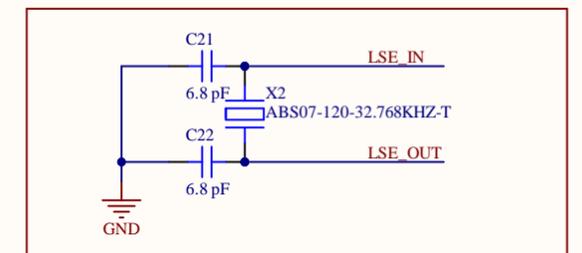
## JTAG Connector



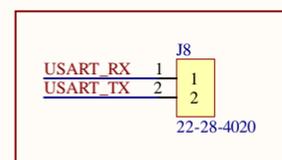
## HSE Crystal



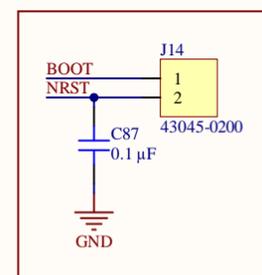
## LSE Crystal



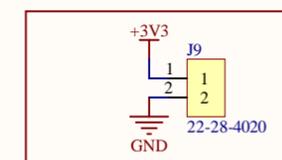
## USART Connector



## Bootloader



## Power Connector



Title **01 - MCU.SchDoc**

Size: A3 Number: PCU Created: 12/10/2022

Last Modification: 18/02/2024 Sheet 2 of 10

Author: Marco Pérez

Checked by: Alvaro Rey

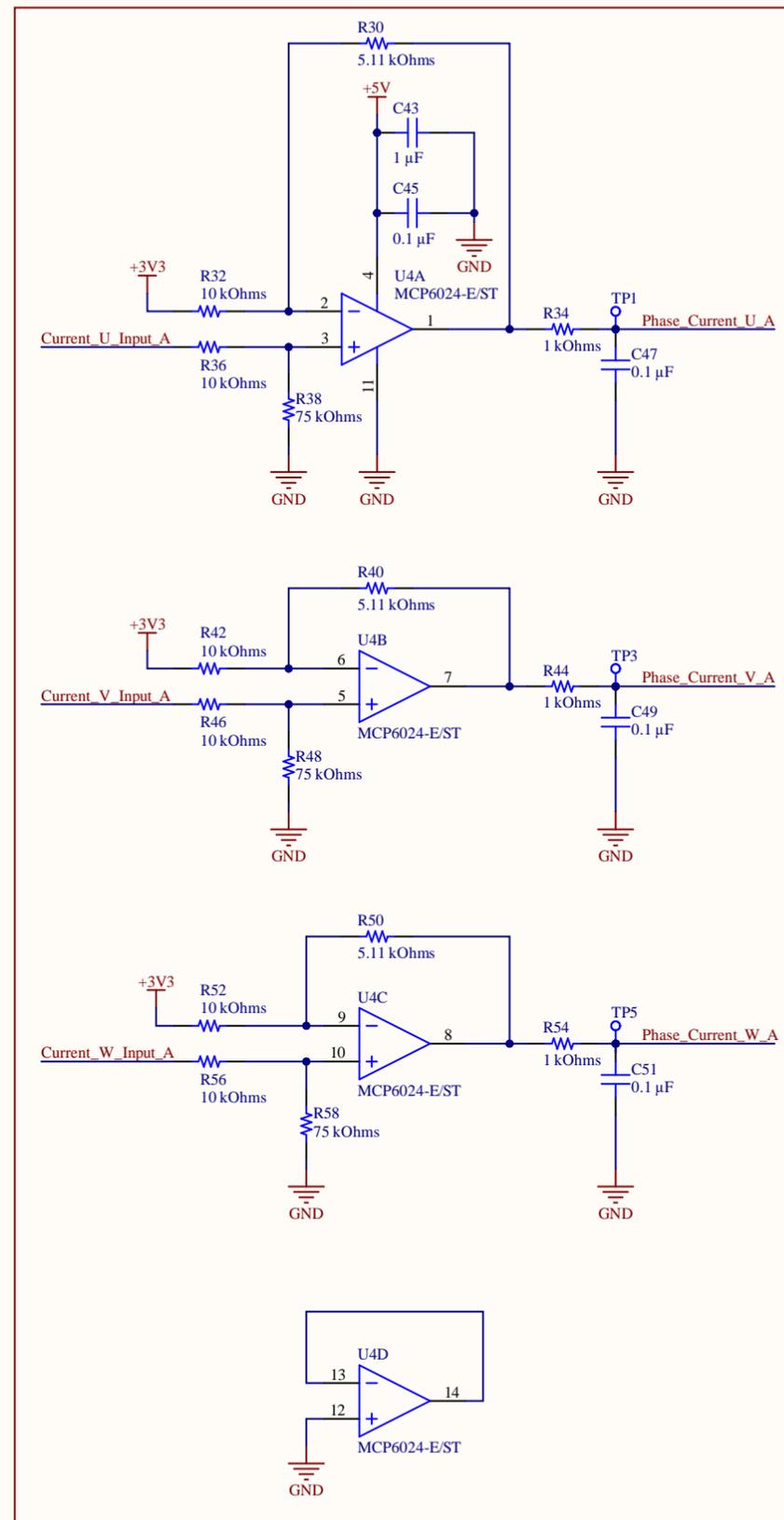


HYPERLOOP UPV

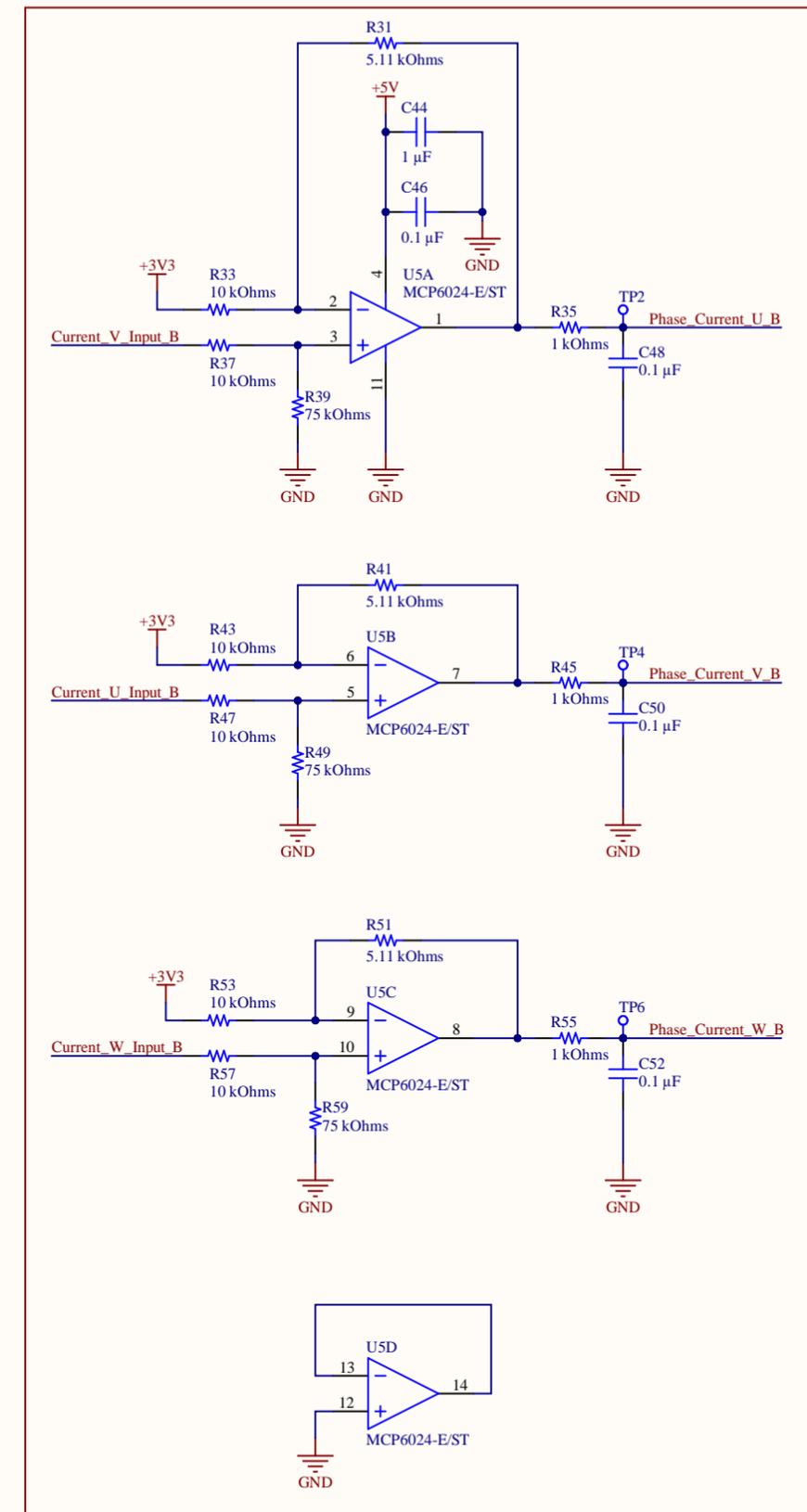




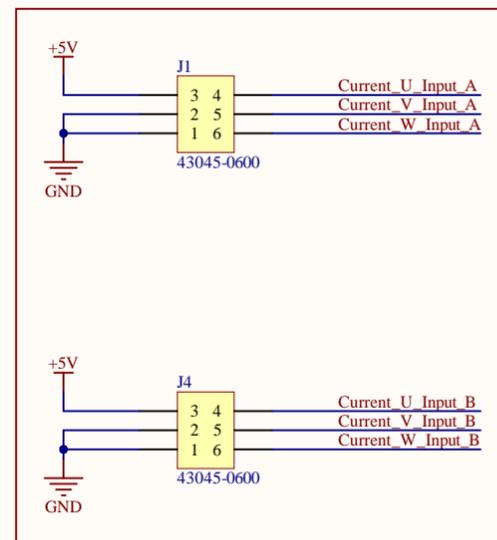
### Current Measure A



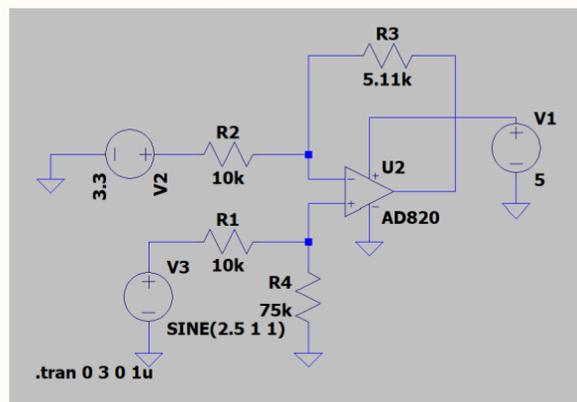
### Current Measure B



### Current Connectors



Rail to rail OpAmp with the same configuration as placed



- Phase\_Current\_U\_A Phase\_Current\_U\_A 01 - MCU
- Phase\_Current\_V\_A Phase\_Current\_V\_A 01 - MCU
- Phase\_Current\_W\_A Phase\_Current\_W\_A 01 - MCU
- Phase\_Current\_U\_B Phase\_Current\_U\_B 01 - MCU
- Phase\_Current\_V\_B Phase\_Current\_V\_B 01 - MCU
- Phase\_Current\_W\_B Phase\_Current\_W\_B 01 - MCU

### Results of the simulation

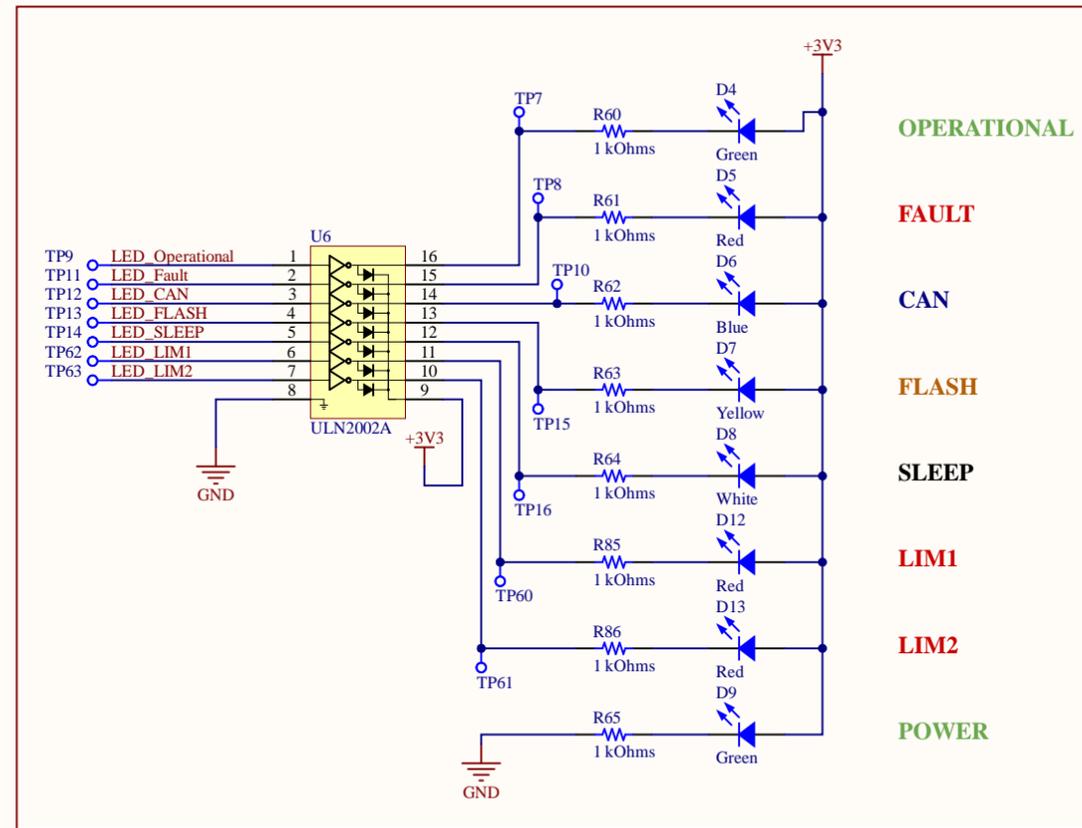


Title **04 - Current Measure.SchDoc**

Size: A3    Number: PCU    Created: 12/10/2022  
 Last Modification: 18/02/2024    Sheet 5 of 10  
 Author: Marco Pérez  
 Checked by: Alvaro Rey



**Information LEDs**

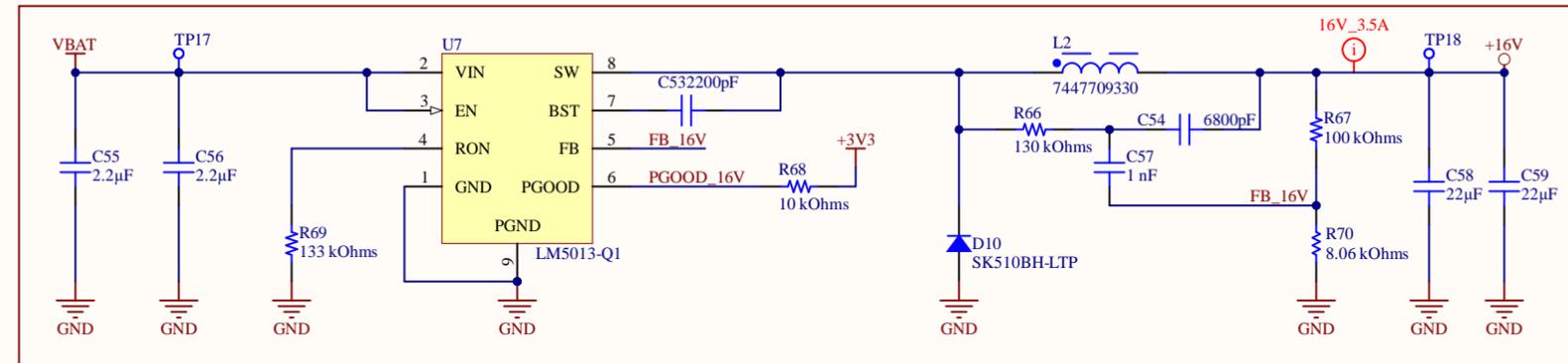


- LED\_LIM1      LED\_LIM1    01 - MCU
- LED\_LIM2      LED\_LIM2    01 - MCU
- LED\_Operational    LED\_Operational    01 - MCU
- LED\_Fault        LED\_Fault        01 - MCU
- LED\_CAN         LED\_CAN         01 - MCU
- LED\_FLASH       LED\_FLASH       01 - MCU
- LED\_SLEEP       LED\_SLEEP       01 - MCU

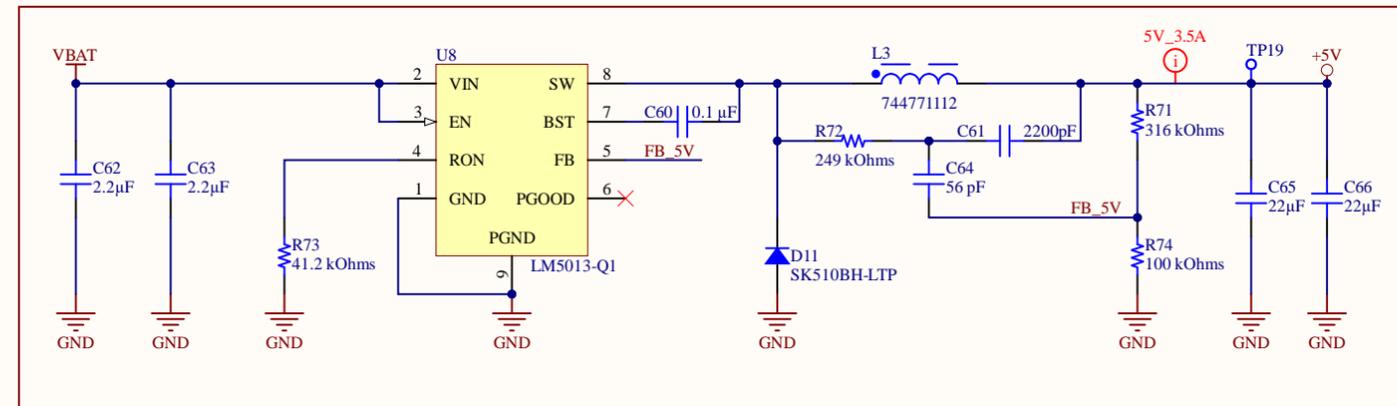
Title <b>05 - LEDs and Misc.SchDoc</b>		
Size: A3	Number: PCU	Created: 12/10/2022
Last Modification: 18/02/2024		Sheet 6 of 10
Author: Marco Pérez		
Checked by: Alvaro Rey		



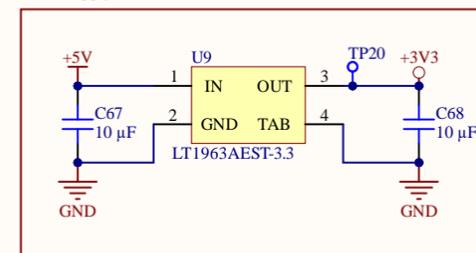
+16V Supply



+5V Supply



+3V3 Supply

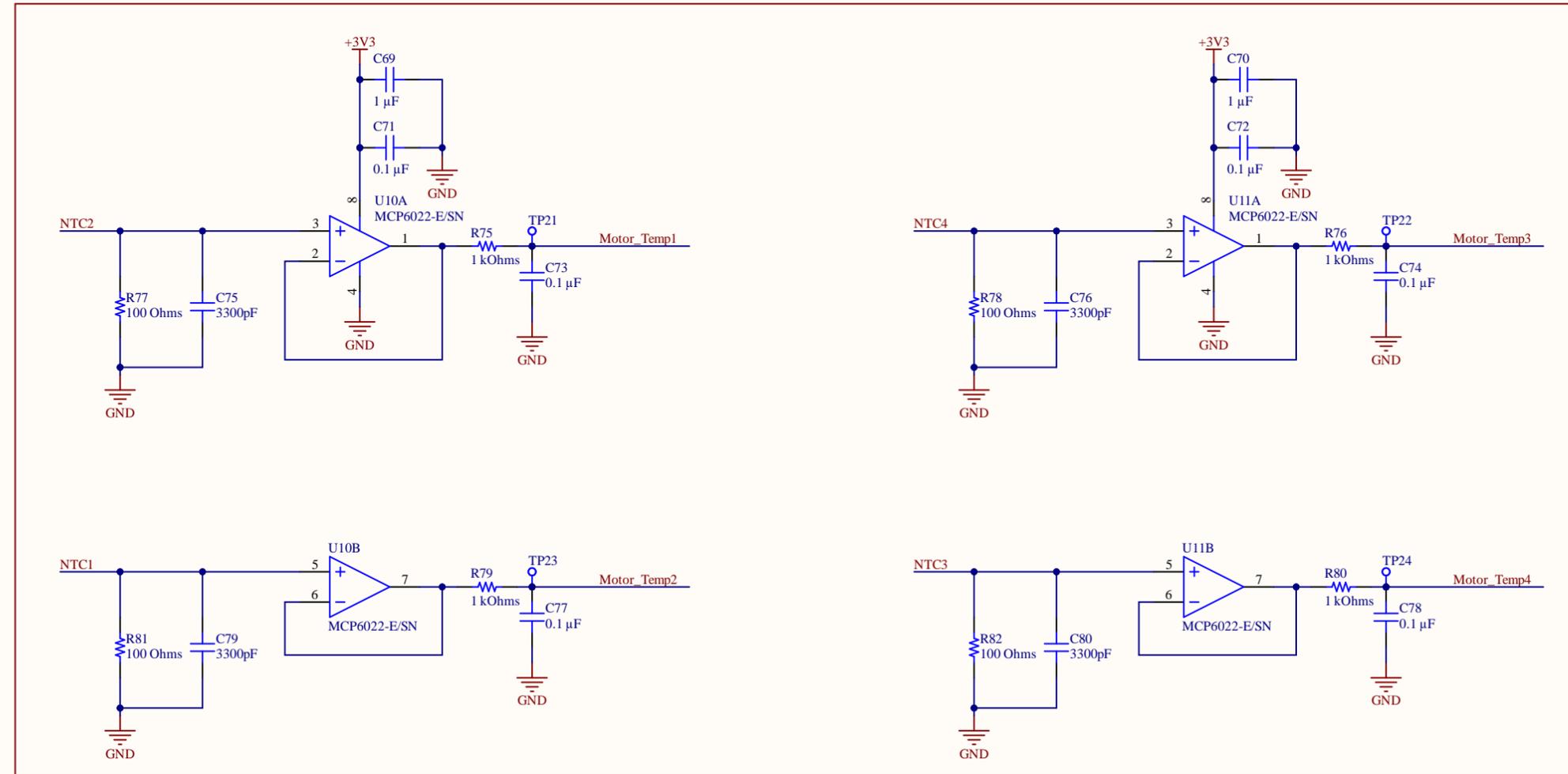


PGOOD\_16V → PGOOD\_16V → 01 - MCU

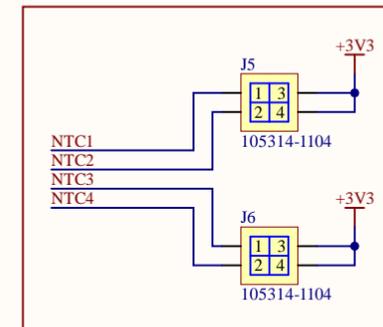
Title <b>06 - Power.SchDoc</b>		
Size: A3	Number: PCU	Created: 12/10/2022
Last Modification: 07/03/2024		Sheet 7 of 10
Author: Marco Pérez		
Checked by: Alvaro Rey		



## Motor Temperature



## Temperature Connectors

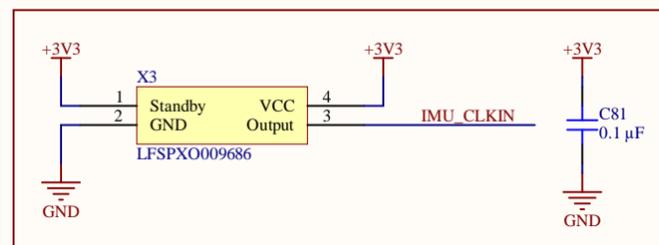


Motor_Temp1	Motor_Temp1	01 - MCU
Motor_Temp2	Motor_Temp2	01 - MCU
Motor_Temp3	Motor_Temp3	01 - MCU
Motor_Temp4	Motor_Temp4	01 - MCU

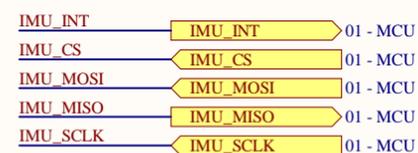
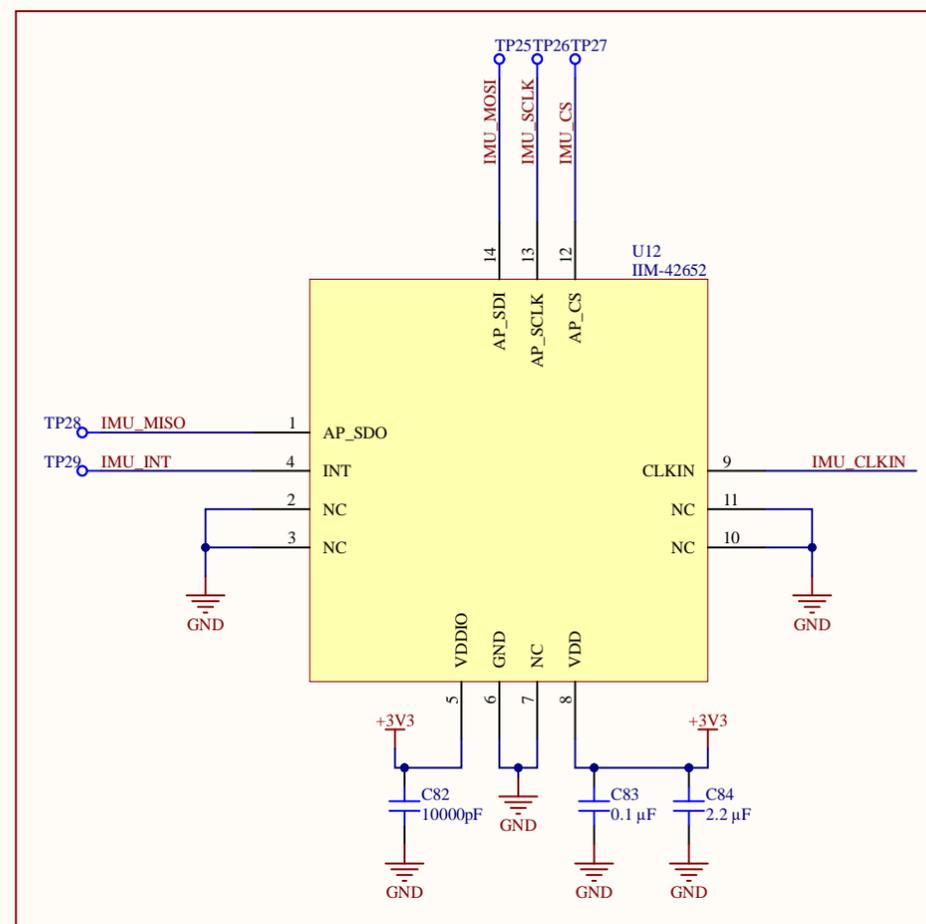
Title <b>07 - Temp and Airgap Measure.SchDoc</b>		
Size: A3	Number: PCU	Created: 12/10/2022
Last Modification: 18/02/2024	Sheet 8 of 10	
Author: Marco Pérez		
Checked by: Alvaro Rey		



### IMU CLOCK



### IMU

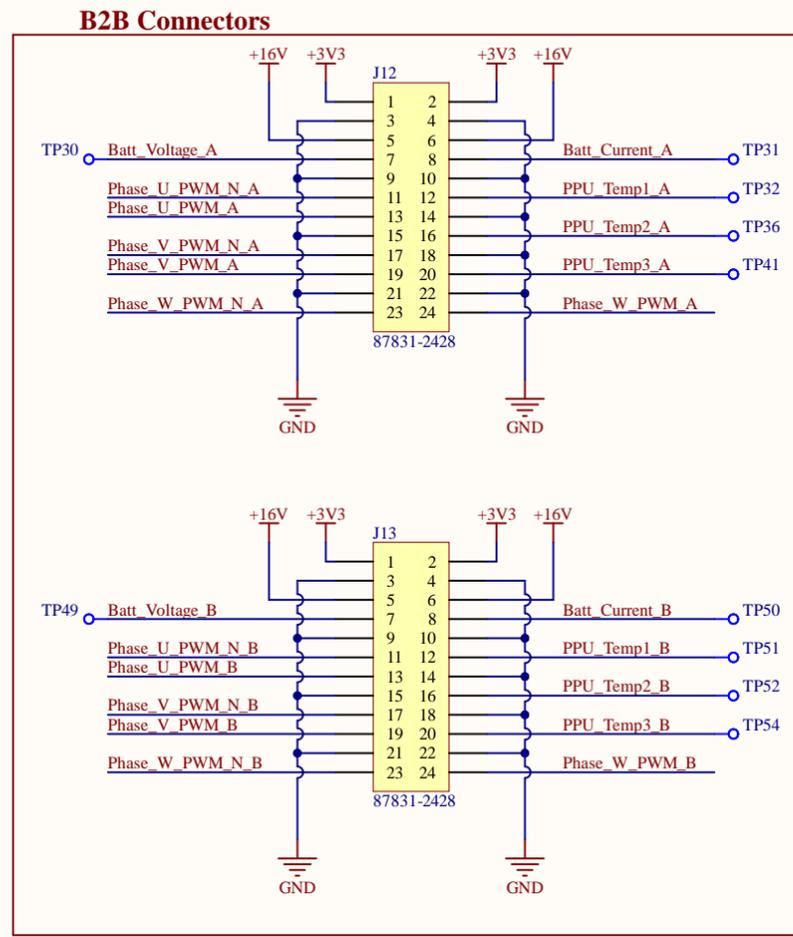
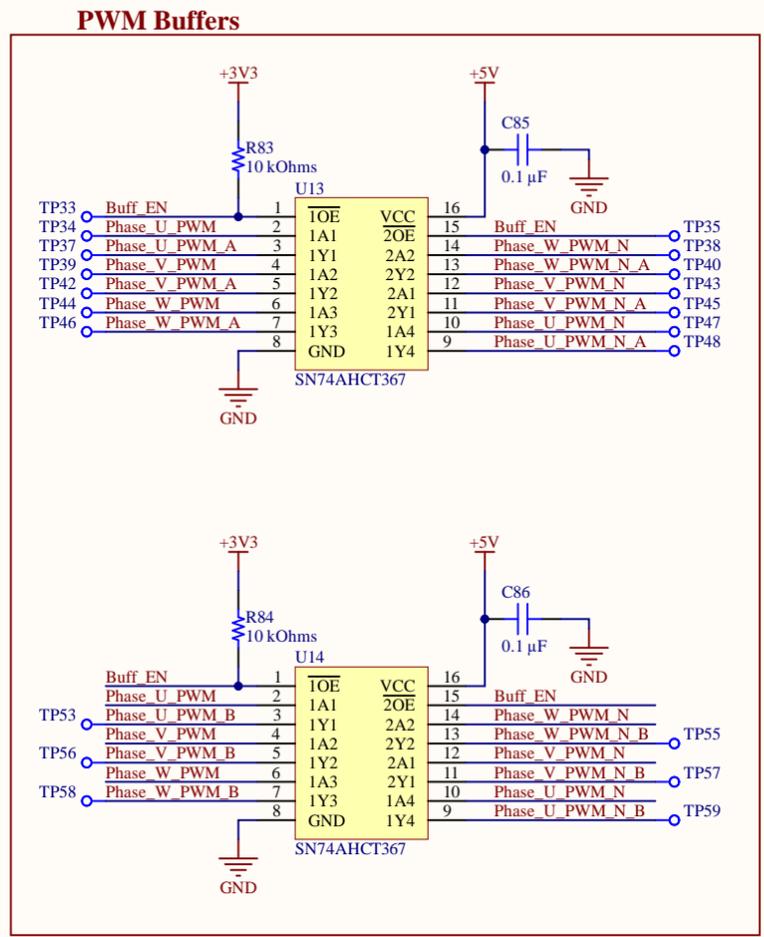


Title <b>08 - IMU.SchDoc</b>		
Size: A3	Number: PCU	Created: 12/10/2022
Last Modification: 18/02/2024	Sheet 9 of 10	
Author: Marco Pérez		
Checked by: Alvaro Rey		



A

A

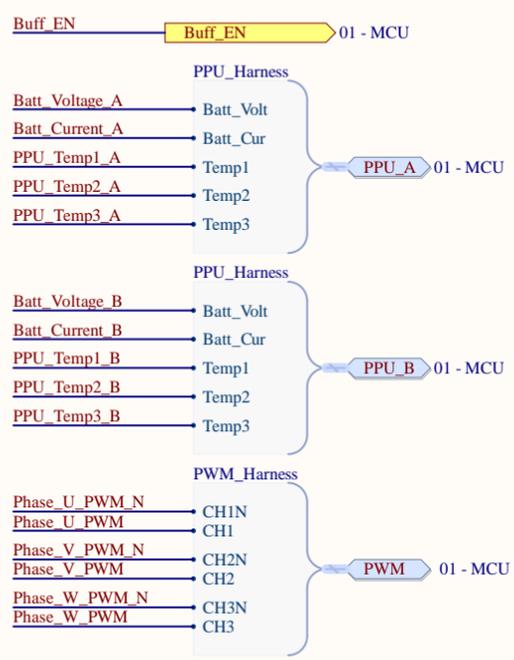


B

B

C

C



D

D

Title <b>09 - B2B Connector.SchDoc</b>		
Size: A3	Number: PCU	Created: 12/10/2022
Last Modification: 18/02/2024		Sheet 10 of 10
Author: Marco Pérez		
Checked by: Alvaro Rey		





## **Apéndice B**

### **Archivos de fabricación PCU**

**NOTES: UNLESS OTHERWISE SPECIFIED.**

**BOARD:**

1. CONDUCTOR WIDTHS AND SPACING SHALL BE WITHIN  $\pm 10\%$  OR  $\pm 25\ \mu\text{m}$  (WHICHEVER IS SMALLER) OF ORIGINAL GERBER DATA.
2. STANDARD DENSITY INTERCONNECT WITH MINIMUM TRACE WIDTH  $100\ \mu\text{m}$  AND MINIMUM COPPER TO COPPER SPACING  $100\ \mu\text{m}$  (LINE/SPACING).

**CICUIT TYPE:**

3. DOUBLE SIDED (DS). TEST POINTS WHICH ARE ON TOP SIDE ARE NOT ASSOCIATED WITH ANY PARTS BUT FOOTPRINTS ONLY.

**LAYER:**

4. LAYER TO LAYER REGISTRATION SHALL BE WITHIN  $125\ \mu\text{m}$ .

5 4-LAYER PER LAYER STACK LEGEND.

**PADS AND VIAS:**

6. SURFACE MOUNT PAD/VIA PLATING FLAT TO A MAXIMUM OF  $75\ \mu\text{m}$  ABOVE BOARD SURFACE.
7. FINISHED PTH-PADS AND VIAS TO HAVE MINIMUM OF  $25\ \mu\text{m}$  OF PLATING INSIDE. TOOLING HOLES TOLERANCES ARE  $+75\ \mu\text{m} / -0.0\ \mu\text{m}$ .

**MATERIAL:**

8. MATERIALS AS PER LAYER STACK LEGEND OR EQUIVALENT.
9. FLAMMABILITY RATING 94V-0 OR BETTER. TG >  $150\ ^\circ\text{C}$ . DIELECTRIC SHALL BE CAF RESISTANT.
10. TOTAL PROCESSED BOARD THICKNESS INCL. SOLDER MASK:  $1.59\text{mm} \pm 10\%$ .
11. TOLERANCE: PER IPC-600 LATEST REVISION CLASS II.
12. WARP & TWIST: PER IPC-600 LATEST REVISION CLASS II OR  $0.5\%$  OF BOARD LENGTH WHICHEVER IS SMALLER.
13. COPPER THICKNESS: AS PER PROVIDED LAYER STACK LEGEND.
  - OUTER RIGID (FINISHED):  $100\ \mu\text{m}$  MINIMUM IN ACCORDANCE WITH IPC-6012.
  - INNER RIGID:  $105\ \mu\text{m}$  STARTING COPPER THICKNESS IN ACCORDANCE WITH IPC-6012.

**DRILLING:**

14. VIEWED FROM: TOP.
15. REFERENCE: ORIGIN POINT AS SHOWN IN OUTPUT FILES.
16. ALL HOLES SHALL BE LOCATED WITHIN  $90\ \mu\text{m}$  DIAMETER OF TRUE POSITION.
17. ALL HOLES SURROUNDED BY LAND SHALL HAVE A MINIMUM ANNULAR RING IN ACCORDANCE WITH IPC-6012 CLASS II REQUIREMENTS.

**BOARD FINISH:**

18. REMOVE ALL BURRS AND BREAK SHARP EDGES  $50\ \mu\text{m}$  MAX IN CASE OF SINGLE BOARD DELIVERY.
19. LEGEND / SILKSCREEN PRINT: WHITE COLOUR WITH THICKNESS OF  $30\ \mu\text{m}$  OR LESS. USE INK JET TECHNIQUE. THERE SHALL BE NO SILKSCREEN ON ANY SOLDERABLE COMPONENT PAD. ADAPT SILKSCREEN IF REQUIRED.
20. SOLDER MASK: GREEN COLOUR. USE DIRECT IMAGE TECHNIQUE. MATERIAL: ELECTRA EMP110 DI (OR EQUIVALENT) WITH IPC-SM-840 CLASS H AS REFERENCE SPECIFICATION.

**TRACK FINISH:**

21. GOLD IMMERSION FINISH FOR THE WHOLE BOARD IN ACCORDANCE WITH IPC-4552.
22. ALL COPPER SET BACK SHALL BE MAINTAINED WITHIN ARTWORK ORIGINALS FROM ANY EDGE OF THE PCB.
23. ALL SURFACE MOUNT PADS SHALL BE FREE OF ANY BURRS OR DEVIATION OF  $10\%$  FROM ORIGINAL ARTWORK.
24. ALL PADS SHALL BE FREE OF ANY EXPOSED COPPER, NICKEL OR ANY SURFACE DEFECTS SUCH AS NODULES OR METAL BUMPS.
25. ALL CONDUCTOR WIDTHS SHALL BE WITHIN  $10\%$  OF THE ARTWORK. OUTER LAYERS SHALL HAVE NO SODA STRAWS OR SOLDER MASK THICKNESS ISSUES.
26. ALL CONDUCTOR SPACING SHALL BE WITHIN  $10\%$  OF THE ARTWORK.
27. NO ADHESION (FLAKING/PEELING) ON OUTER LAYER SOLDER MASKS.

**THROUGH HOLE PADS AND VIAS:**

28. ALL THROUGH HOLE PADS AND VIAS SHALL BE FREE OF ANY BURRS OR DEVIATION OF  $10\%$  FROM ORIGINAL ARTWORK.
29. ALL PADS AND VIAS SHALL BE FREE OF ANY EXPOSED COPPER, NICKEL OR ANY SURFACE DEFECTS SUCH AS NODULES OR METAL BUMPS.
30. THERE SHALL BE NO RESIDUE OR GREASE RESULT OF LPI OR HANDLING.
31. ETCH TRAPS CAN ONLY BE ELIMINATED FROM INNER AND OUTER LAYERS BY VENDOR WITH PRIOR APPROVAL FROM DESIGNERS CASE BY CASE.
32. ALL VIAS TO BE DRILLED  $\pm 75\ \mu\text{m}$  TOLERANCE.
33. FOLLOW IPC CLASS II REQUIREMENTS FOR THE ANNULAR RING.

**PROFILING:**

34. PCB SHAPE: AS DIMENSIONED, MEASURED AND CUT FROM SPECIFIED DATUM. USE GERBERS FOR MEASUREMENTS. BREAK-OFFS (IF ANY) SHOULD BE MAINTAINED AS NOT TO IMPACT THE FINAL OUTLINE AND SHAPE OF THE BOARD IN DELIVERY.
35. NO SHARP EDGES OR BURRS.

**ACCEPTABILITY:**

36. QUALIFICATION AND PERFORMANCE: IPC-600 LATEST REVISION, CLASS III UNLESS OTHERWISE SPECIFIED. MANUFACTURER UL CERTIFICATION, REACH, ROHS & WEEE COMPLIANT.
37. CLEANLINESS OF UNPOPULATED PCB: IPC-5701, JULY 2003 OR LATEST REVISION.
38. PACKAGING AND HANDLING: EACH PANEL SHALL BE WRAPPED WITH SULPHUR-FREE PAPER INDIVIDUALLY AND 20 PACKED IN ANTISTATIC VACUUMED BAG WITH HUMIDITY ABSORBER.
39. BOARD SHALL MEET THE REQUIREMENTS FLAMMABILITY RATING OF 94V-0 OR BETTER.
40. ALL COPPER SET BACK MUST BE MAINTAINED WITHIN ARTWORK ORIGINALS FROM ANY EDGE OF THE PCB.
41. CERTIFICATE OF CONFORMANCE (C OF C) SHALL BE PROVIDED.

**ELECTRICAL TEST:**

42. EACH BUILD SHALL INCLUDE THE RESULTS OF THE E-TEST.

**MARKINGS AND STANDARDS:**

43. VENDOR'S UL LOGO OR DESIGNATION AND DATE SHALL BE IN TOP SIDE SILKSCREEN.
- 44 BOARD PARTNUMBER AND REVISION IS IN TOP SIDE SILKSCREEN.
45. ROHS & WEEE MARKINGS SHALL BE IN TOP SIDE SILKSCREEN IN ACCORDANCE WITH IPC-4781.

**MANUFACTURER'S ACCREDITATION:**

46. MANUFACTURERS SHALL COMPLY WITH ISO9001-2000. MANUFACTURER TO PROVIDE ITS REGISTRATION NUMBER ON TOP SIDE SILKSCREEN IN WHITE COLOUR IN ADDITION TO OTHER REQUIRED MARKINGS SUCH AS:
  - UL, CSA OR CE AS REQUIRED.
  - DATE OR CODE OF BUILT (YYWW).
  - SERIAL NUMBER.
  - VISUAL INSPECTION MARKS IN BLACK.
  - ROHS AND WEEE STAMP.
  - MANUFACTURING PROCESS SHALL FOLLOW IPC-2221 STANDARD CLASS II.
  - MANUFACTURER SHALL FOLLOW IPC-2223E SECTIONAL DESIGN STANDARDS FOR RIGID PRINTED BOARDS.

Title <b>PCU_FAB.PCBDwf</b>		
Size: A3	Number: PCU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 1 of 14
Author: Marco Pérez		
Checked by: Álvaro Rey		



A

B

C

D

E

F

G

H

1

1

2

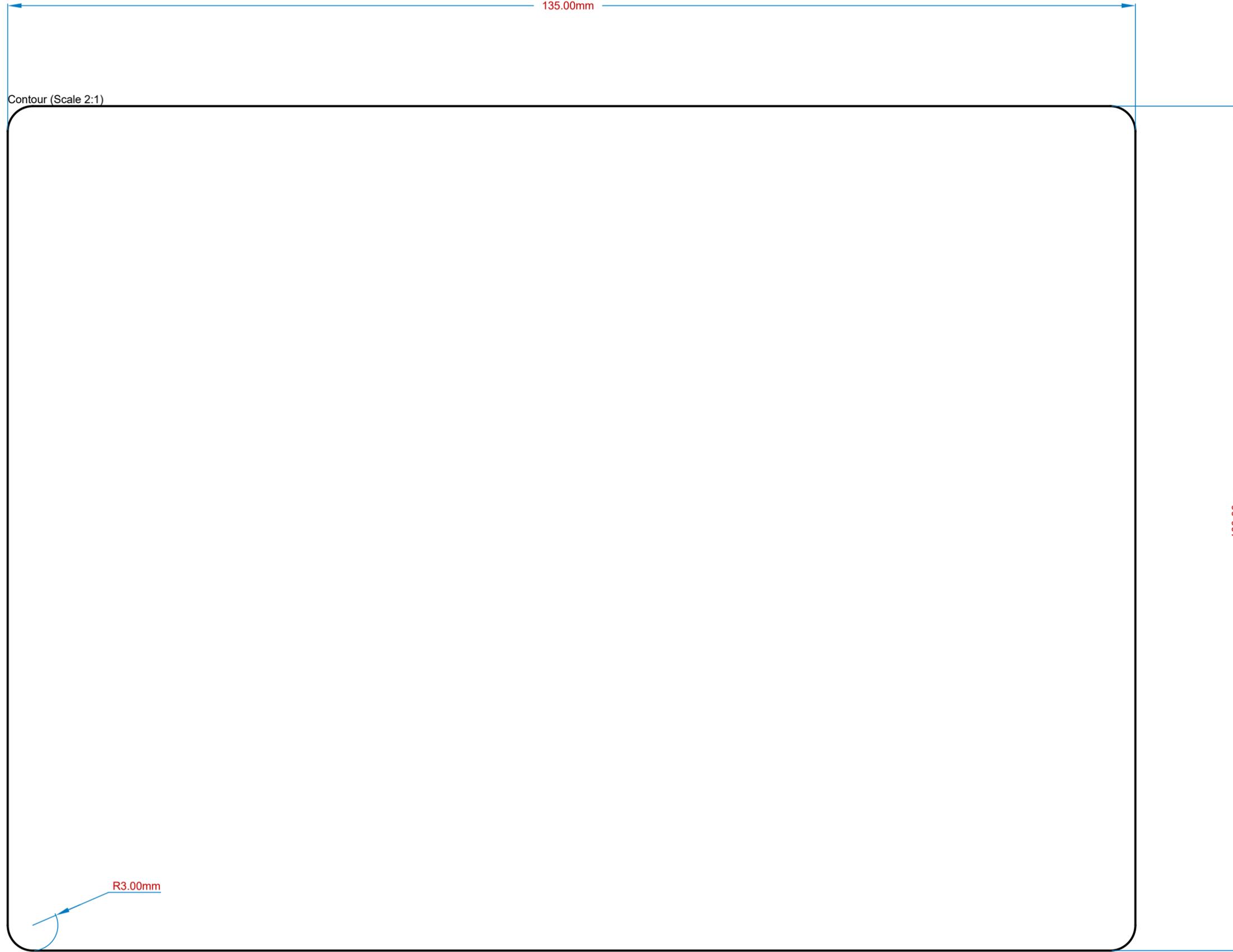
2

3

3

4

4



Contour (Scale 2:1)

135.00mm

100.00mm

R3.00mm

Title <b>PCU_FAB.PCBDwf</b>		
Size: A3	Number: PCU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 2 of 14
Author: Marco Pérez		
Checked by: Alvaro Rey		



A

B

C

D

E

F

G

H

Layer Stack Legend

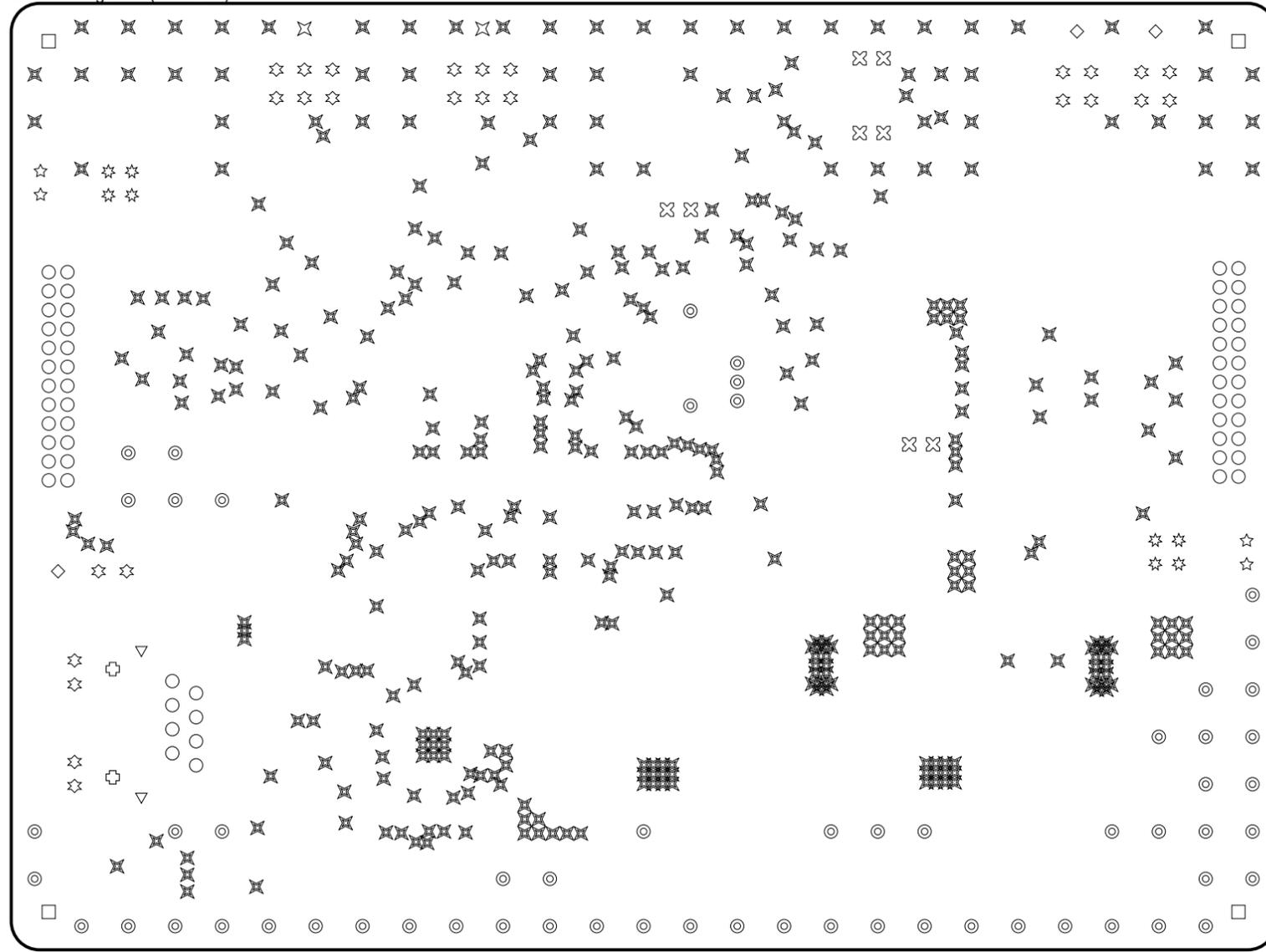
Material	Layer	Thickness	Dielectric Material	Type	Gerber
	Top Overlay			Legend	GTO
Surface Material	Top Solder	0.010mm	Solder Resist	Solder Mask	GTS
<b>Copper</b>	<b>Top Layer</b>	<b>0.036mm</b>		<b>Signal</b>	<b>GTL</b>
Prepreg		0.360mm	PR7628	Dielectric	
CF-004	Layer 1	0.036mm		Signal	G1
Core		0.710mm	FR-4	Dielectric	
CF-004	Layer 2	0.036mm		Signal	G2
Prepreg		0.360mm	PR7628	Dielectric	
<b>Copper</b>	<b>Bottom Layer</b>	<b>0.036mm</b>		<b>Signal</b>	<b>GBL</b>
Surface Material	Bottom Solder	0.010mm	Solder Resist	Solder Mask	GBS
	Bottom Overlay			Legend	GBO

Total thickness: 1.593mm

Title <b>PCU_FAB.PCBDwf</b>		
Size: A3	Number: PCU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 3 of 14
Author: Marco Pérez		
Checked by: Alvaro Rey		



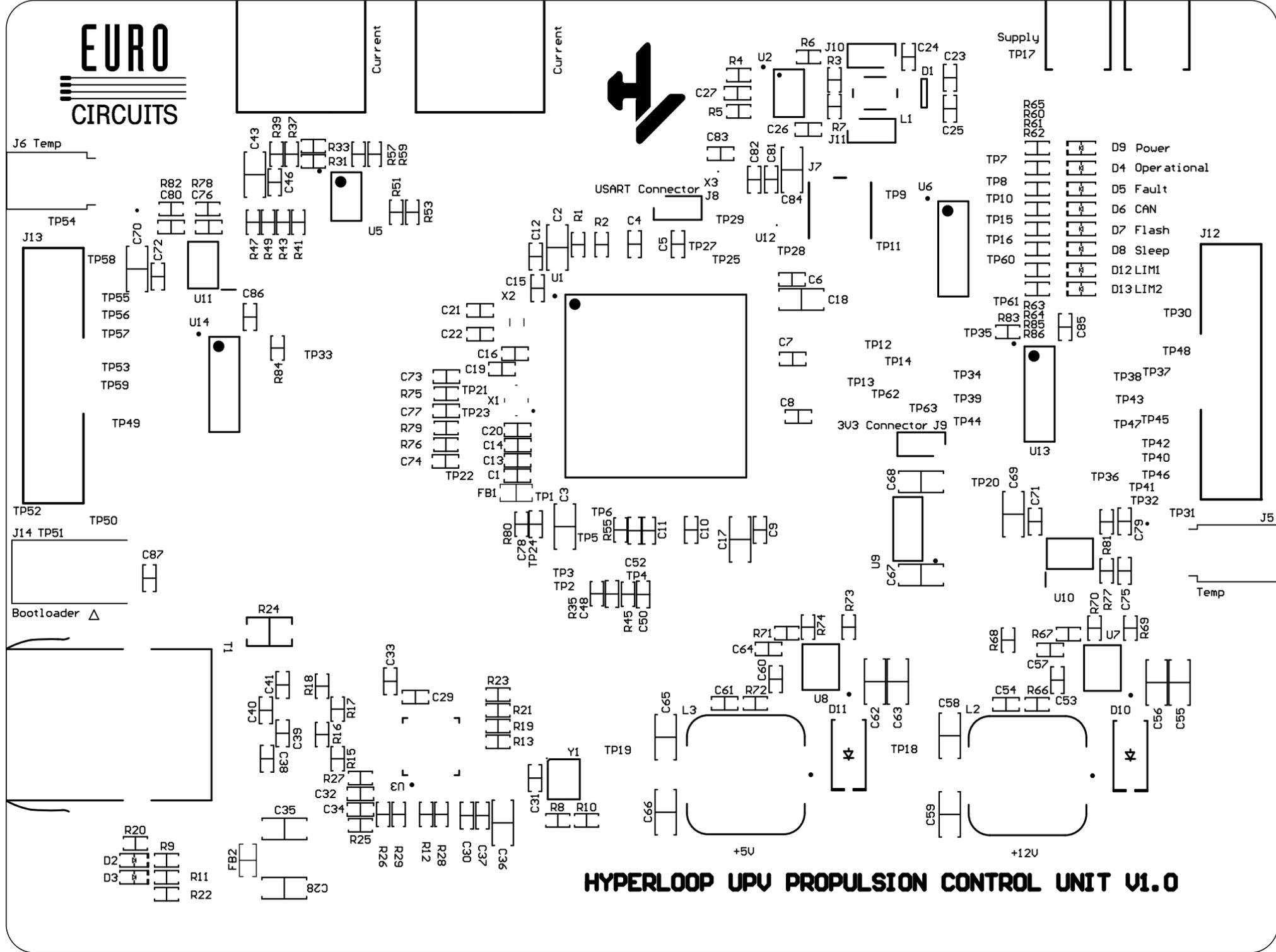
Drill Drawing View (Scale 3:2)



Drill Table

Symbol	Count	Hole Size	Plated	Hole Tolerance
✱	393	0.30mm	Plated	
◎	60	0.71mm	Plated	
○	56	0.90mm	Plated	
☆	26	1.02mm	Plated	
⊠	8	1.15mm	Plated	
✳	8	1.20mm	Plated	
▽	2	1.63mm	Plated	
☆	4	1.70mm	Plated	
◇	3	3.00mm	Non-Plated	
✱	2	3.00mm	Plated	
□	4	3.20mm	Non-Plated	
⊕	2	3.25mm	Non-Plated	
568 Total				

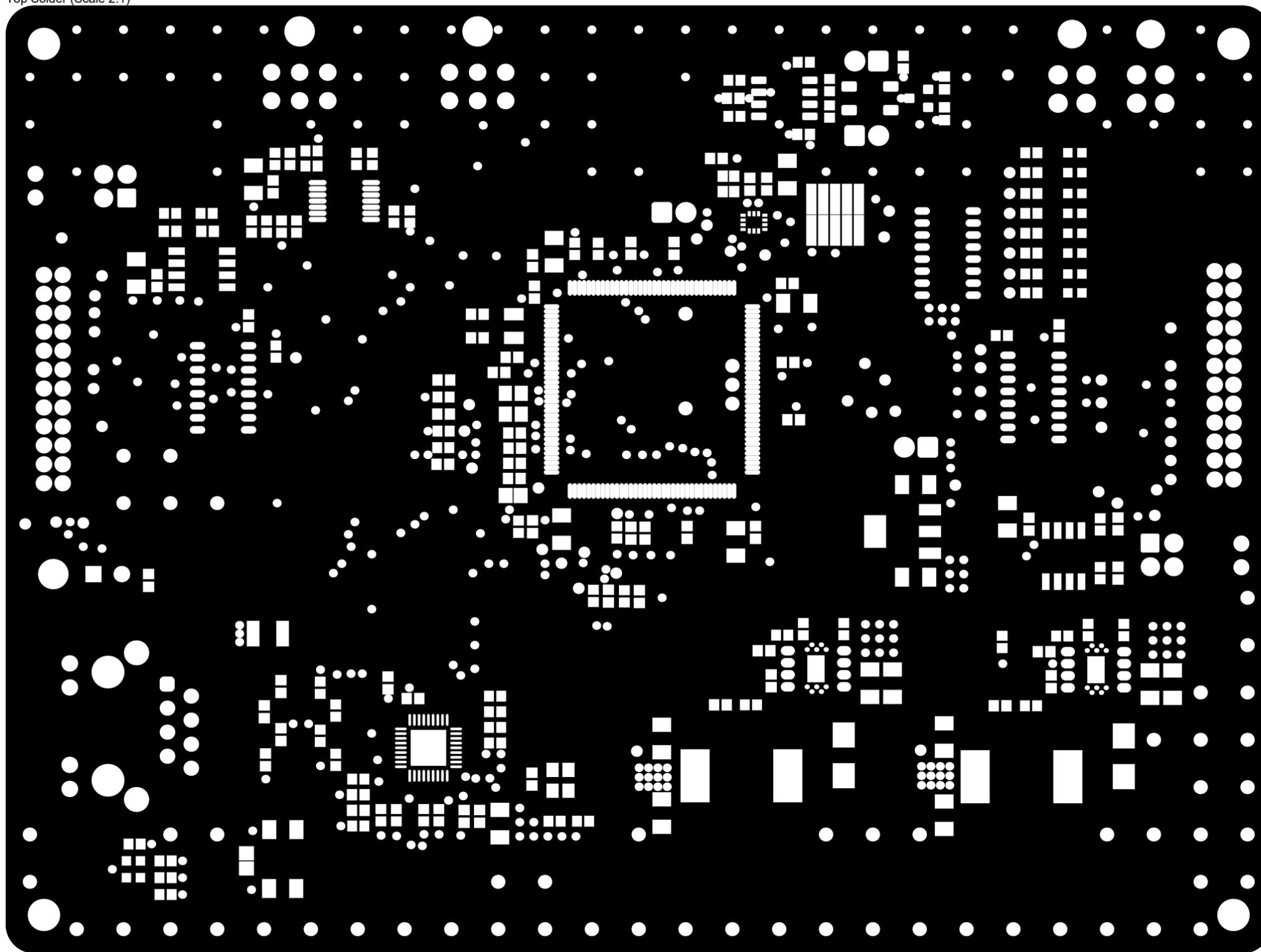
Top Overlay (Scale 2:1)



### HYPERLOOP UPV PROPULSION CONTROL UNIT V1.0

Title <b>PCU_FAB.PCBDwf</b>		
Size: A3	Number: PCU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 5 of 14
Author: Marco Pérez		
Checked by: Álvaro Rey		

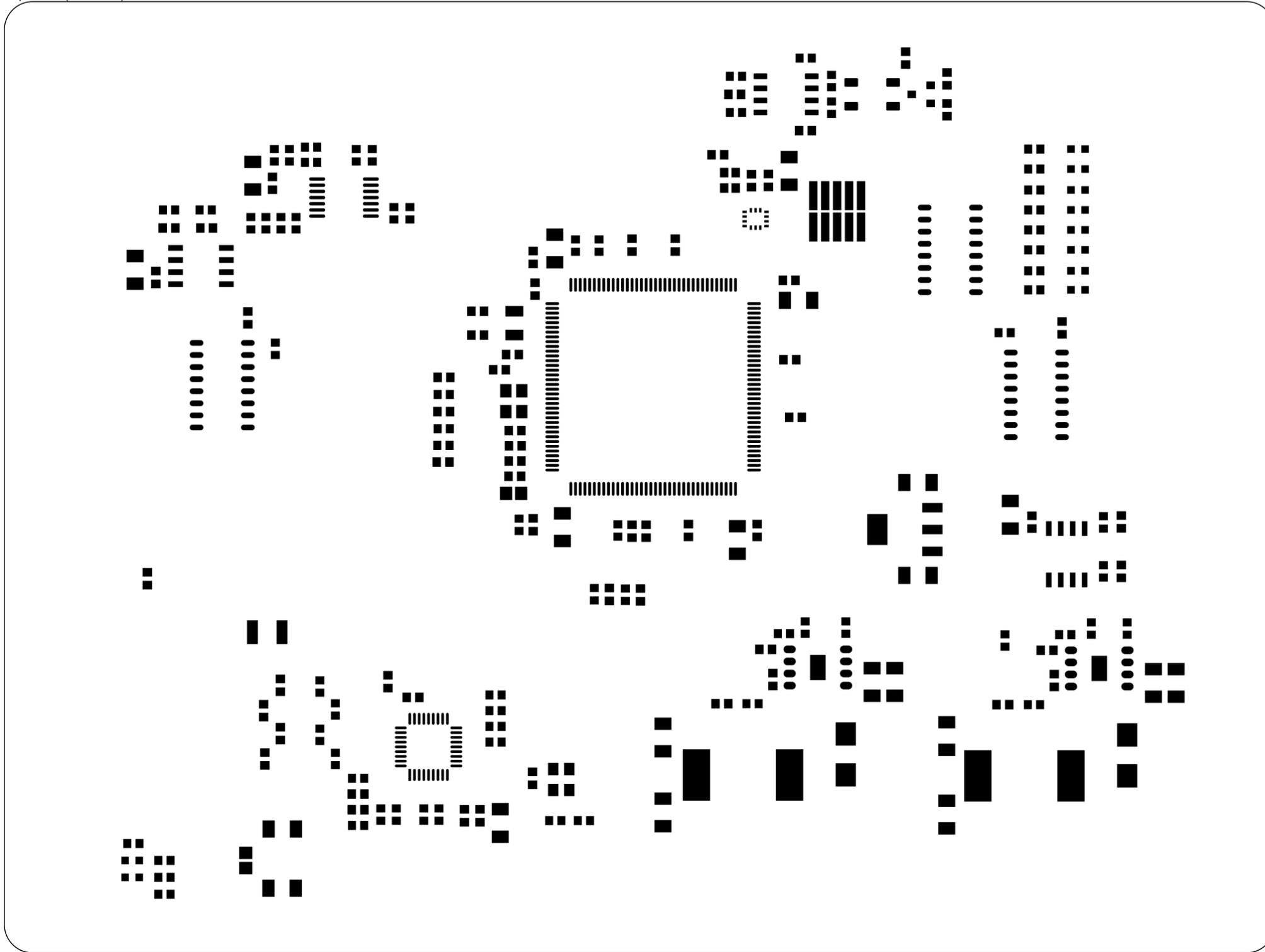
Top Solder (Scale 2:1)



Title <b>PCU_FAB.PCBDwf</b>		
Size: A3	Number: PCU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 6 of 14
Author: Marco Pérez		
Checked by: Álvaro Rey		



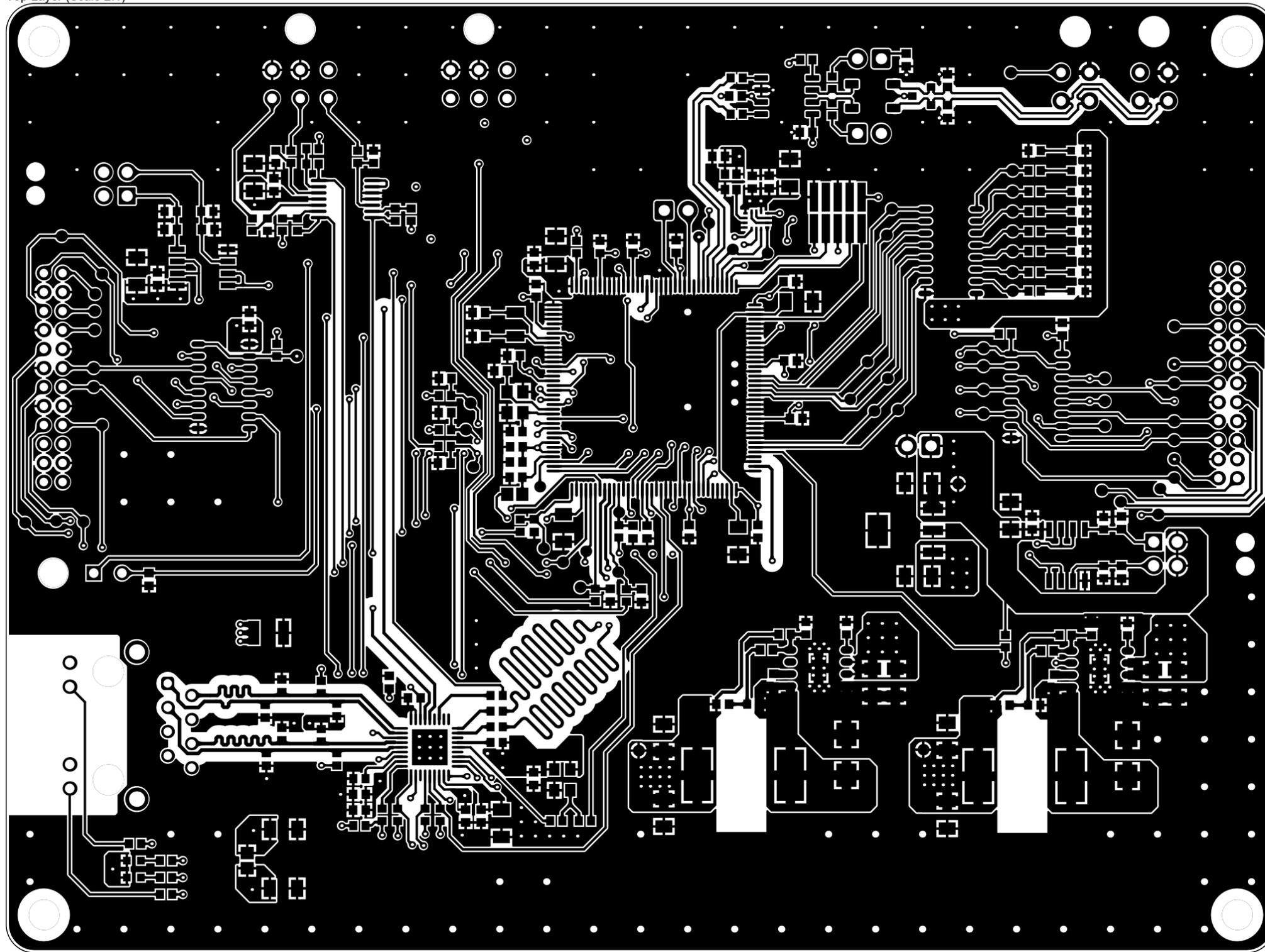
Top Paste (Scale 2:1)



Title <b>PCU_FAB.PCBDwf</b>		
Size: A3	Number: PCU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 7 of 14
Author: Marco Pérez		
Checked by: Álvaro Rey		



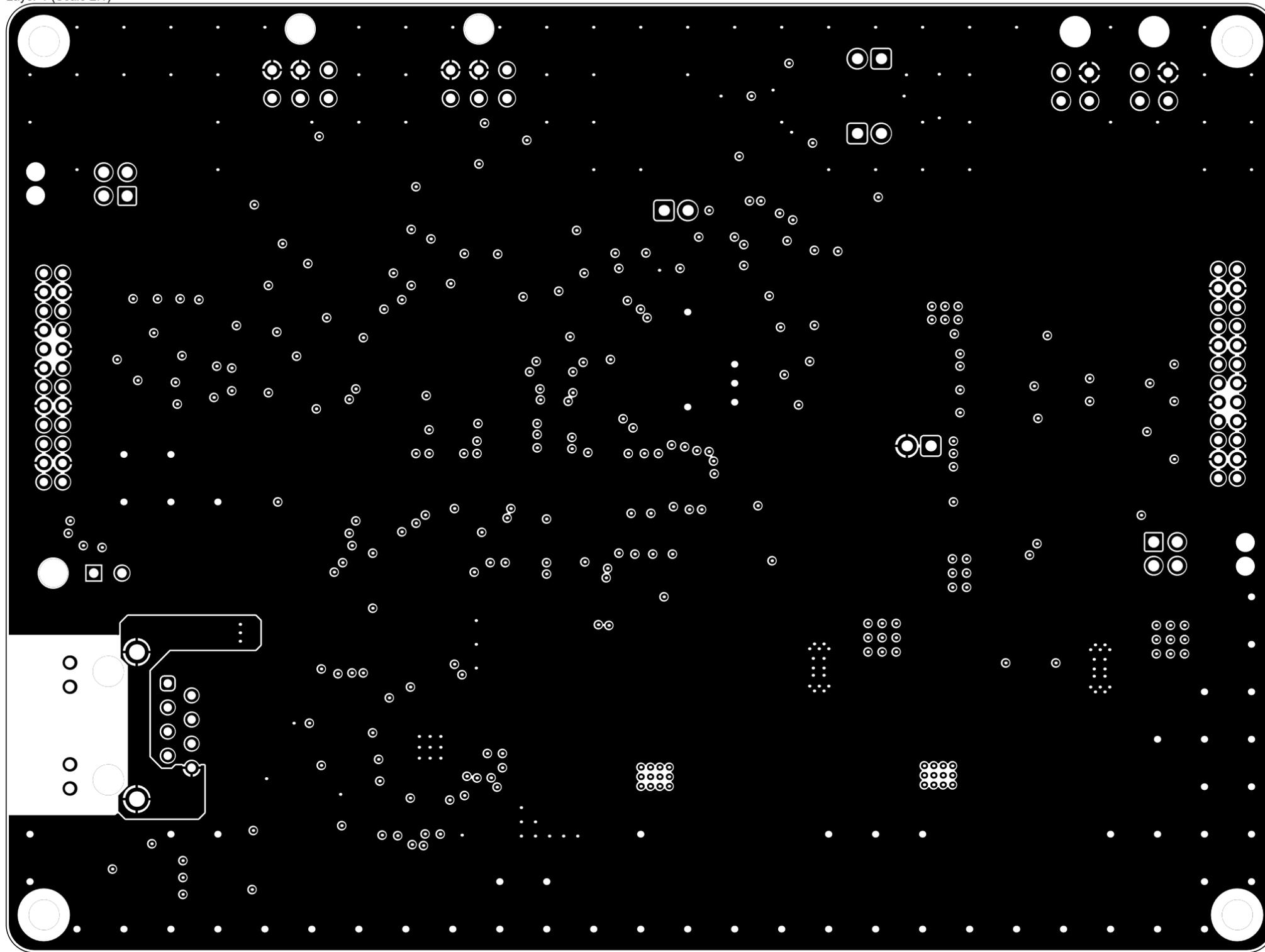
Top Layer (Scale 2:1)



Title <b>PCU_FAB.PCBDwf</b>		
Size: A3	Number: PCU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 8 of 14
Author: Marco Pérez		
Checked by: Alvaro Rey		



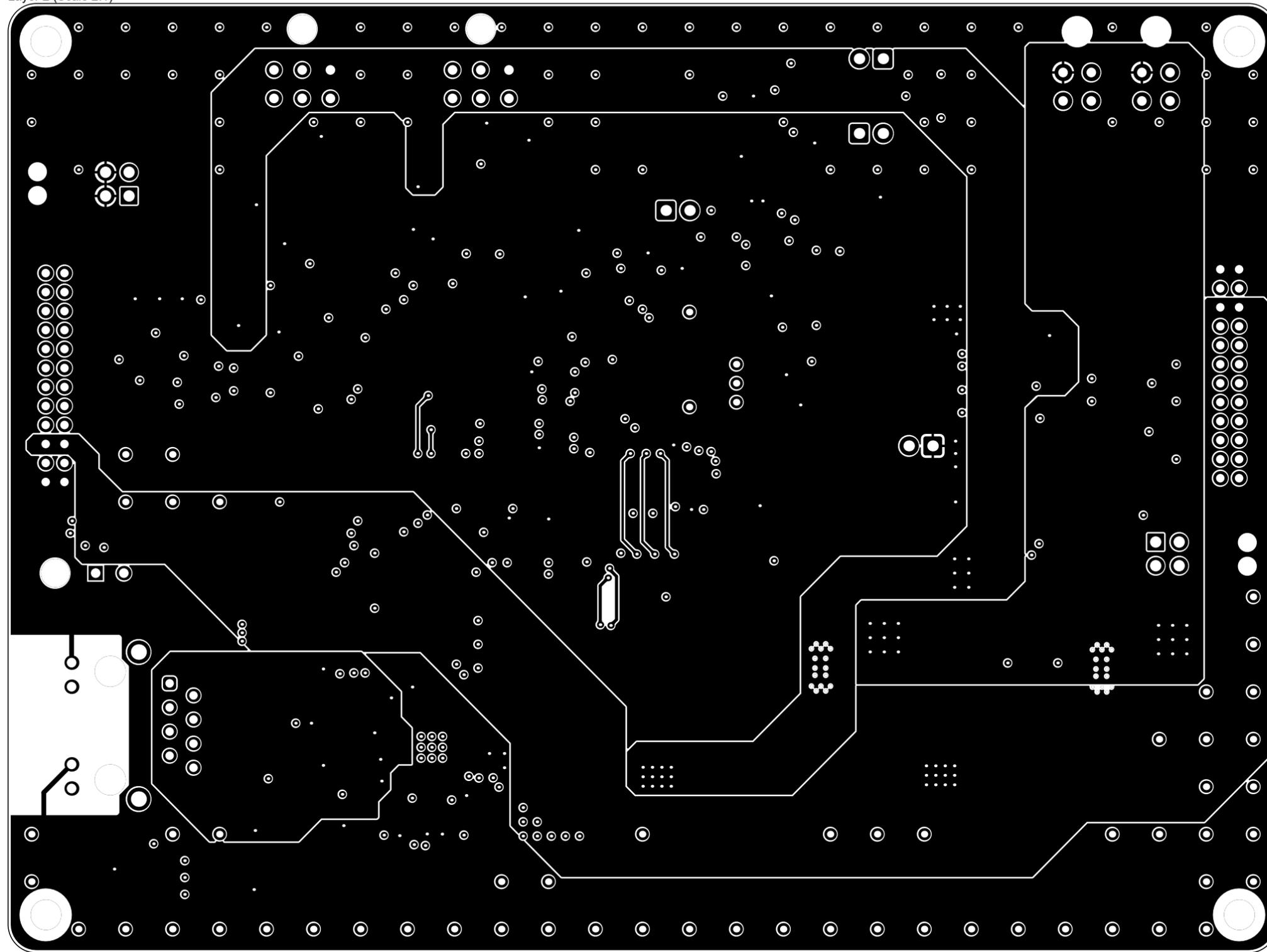
Layer 1 (Scale 2:1)



Title <b>PCU_FAB.PCBDwf</b>		
Size: <b>A3</b>	Number: <b>PCU</b>	Created: <b>13/01/2023</b>
Last Modification: <b>18/02/2024</b>		Sheet <b>9</b> of <b>14</b>
Author: <b>Marco Pérez</b>		
Checked by: <b>Alvaro Rey</b>		



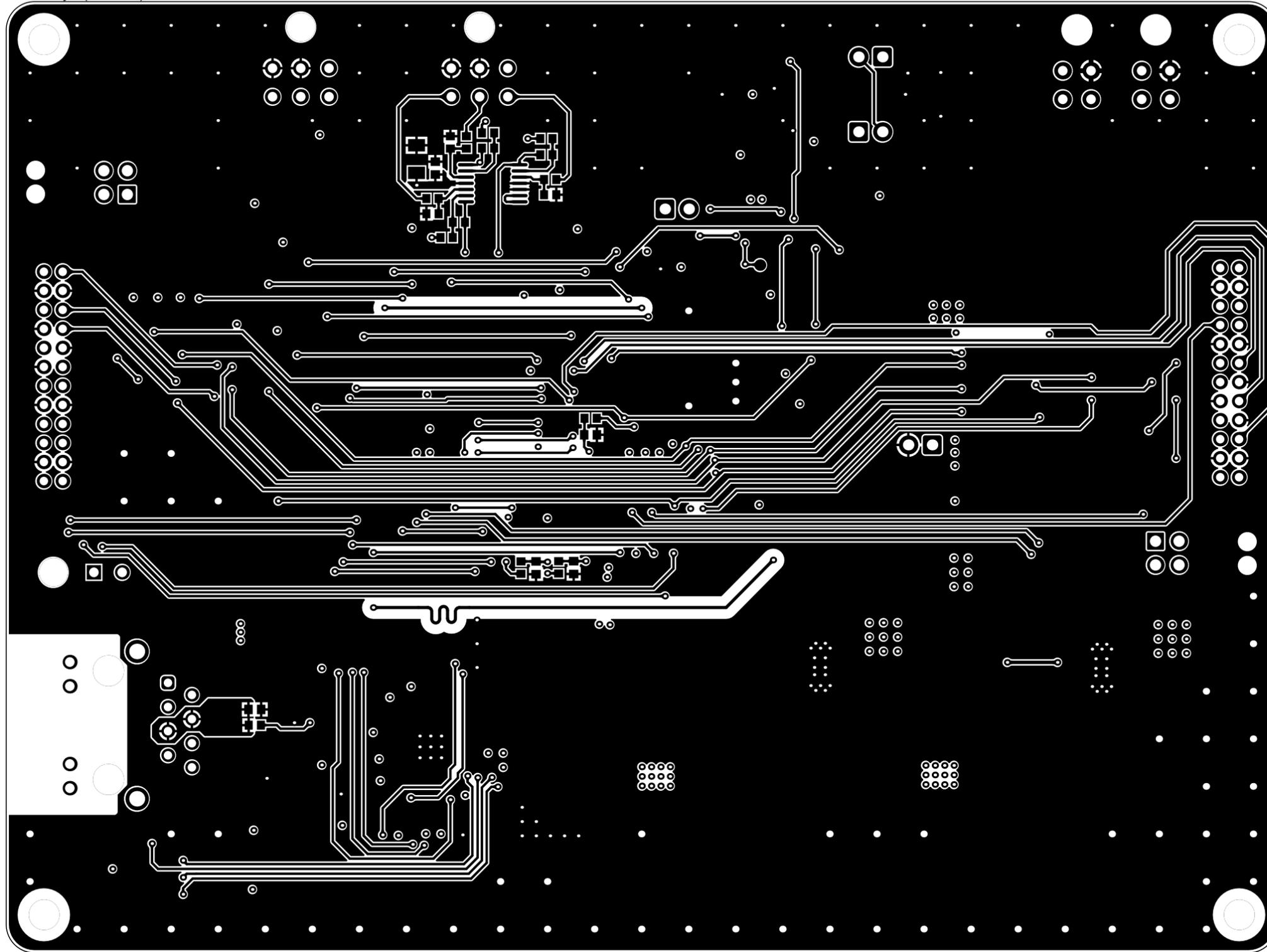
Layer 2 (Scale 2:1)



Title <b>PCU_FAB.PCBDwf</b>		
Size: <b>A3</b>	Number: <b>PCU</b>	Created: <b>13/01/2023</b>
Last Modification: <b>18/02/2024</b>		Sheet <b>10</b> of <b>14</b>
Author: <b>Marco Pérez</b>		
Checked by: <b>Álvaro Rey</b>		



Bottom Layer (Scale 2:1)



Title <b>PCU_FAB.PCBDwf</b>		
Size: A3	Number: PCU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 11 of 14
Author: Marco Pérez		
Checked by: Alvaro Rey		



A

B

C

D

E

F

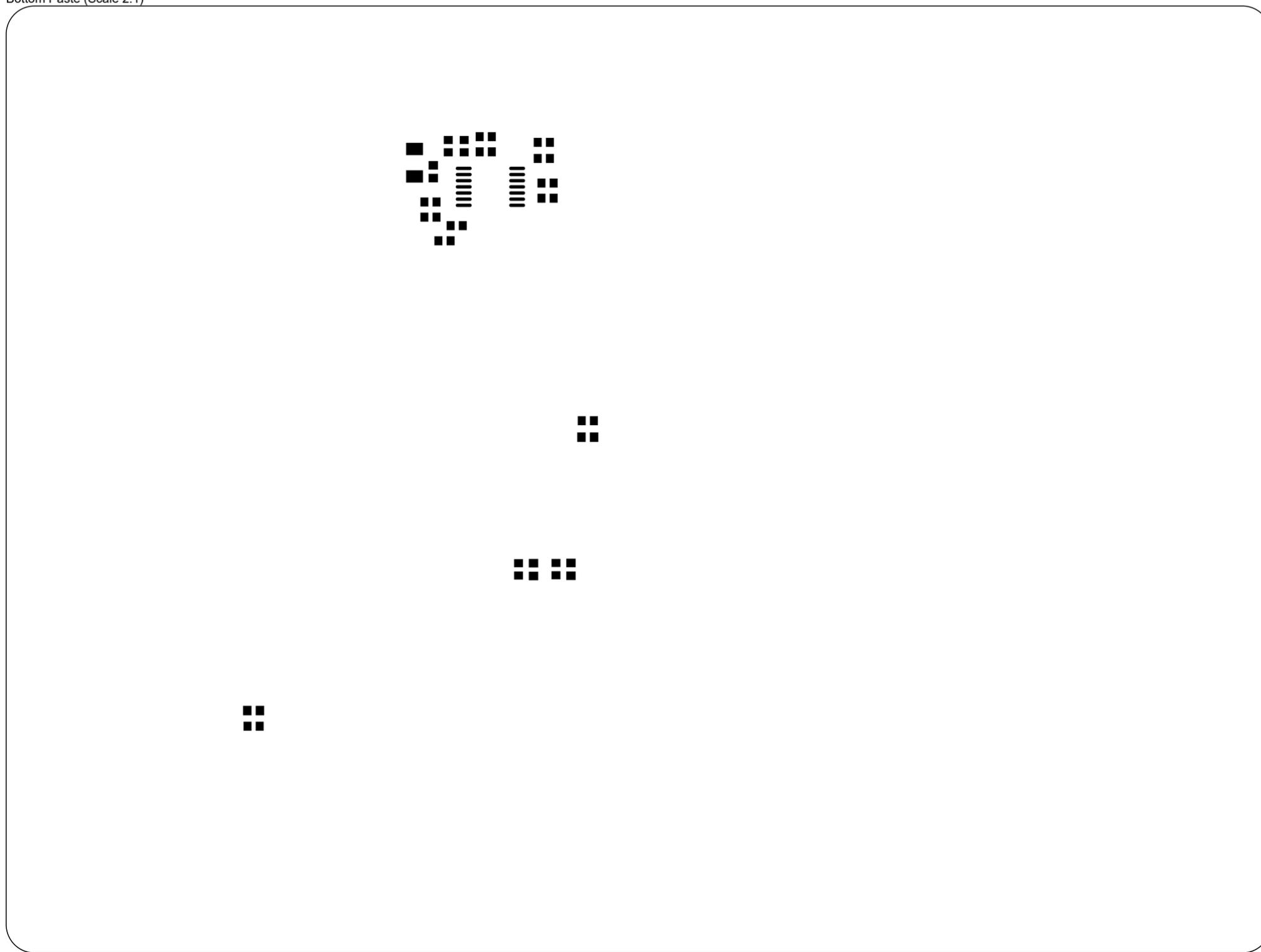
G

H

1

1

Bottom Paste (Scale 2:1)



2

2

3

3

4

4

Title <b><i>PCU_FAB.PCBDwf</i></b>		
Size: A3	Number: PCU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 12 of 14
Author: Marco Pérez		
Checked by: Alvaro Rey		



A

B

C

D

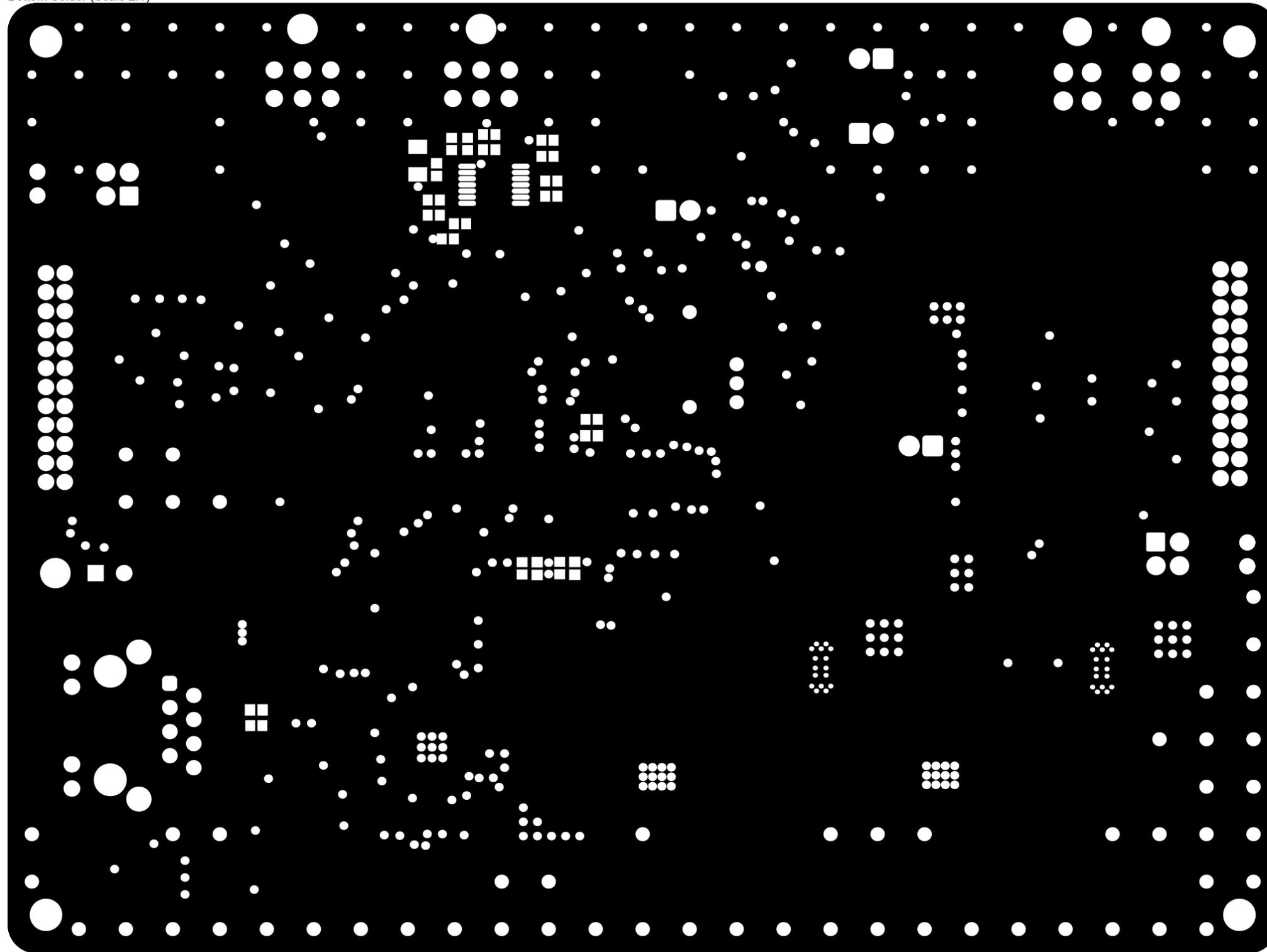
E

F

G

H

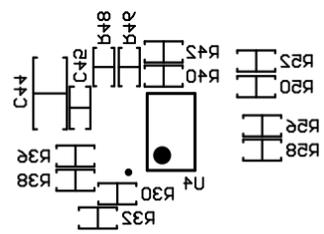
Bottom Solder (Scale 2:1)



Title <b>PCU_FAB.PCBDwf</b>		
Size: A3	Number: PCU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 13 of 14
Author: Marco Pérez		
Checked by: Alvaro Rey		



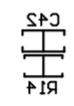
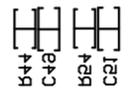
Bottom Overlay (Scale 2:1)



TP26



SHAPING THE FUTURE



Title <b>PCU_FAB.PCBDwf</b>		
Size: A3	Number: PCU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 14 of 14
Author: Marco Pérez		
Checked by: Alvaro Rey		

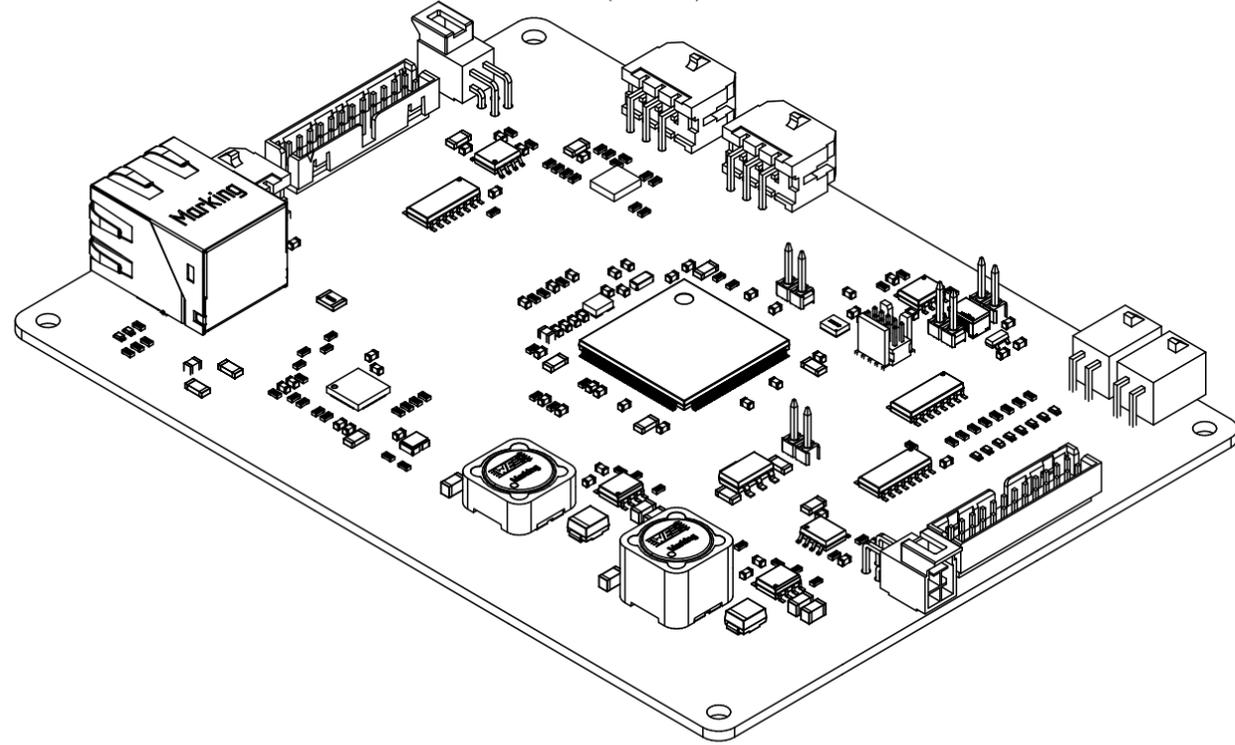




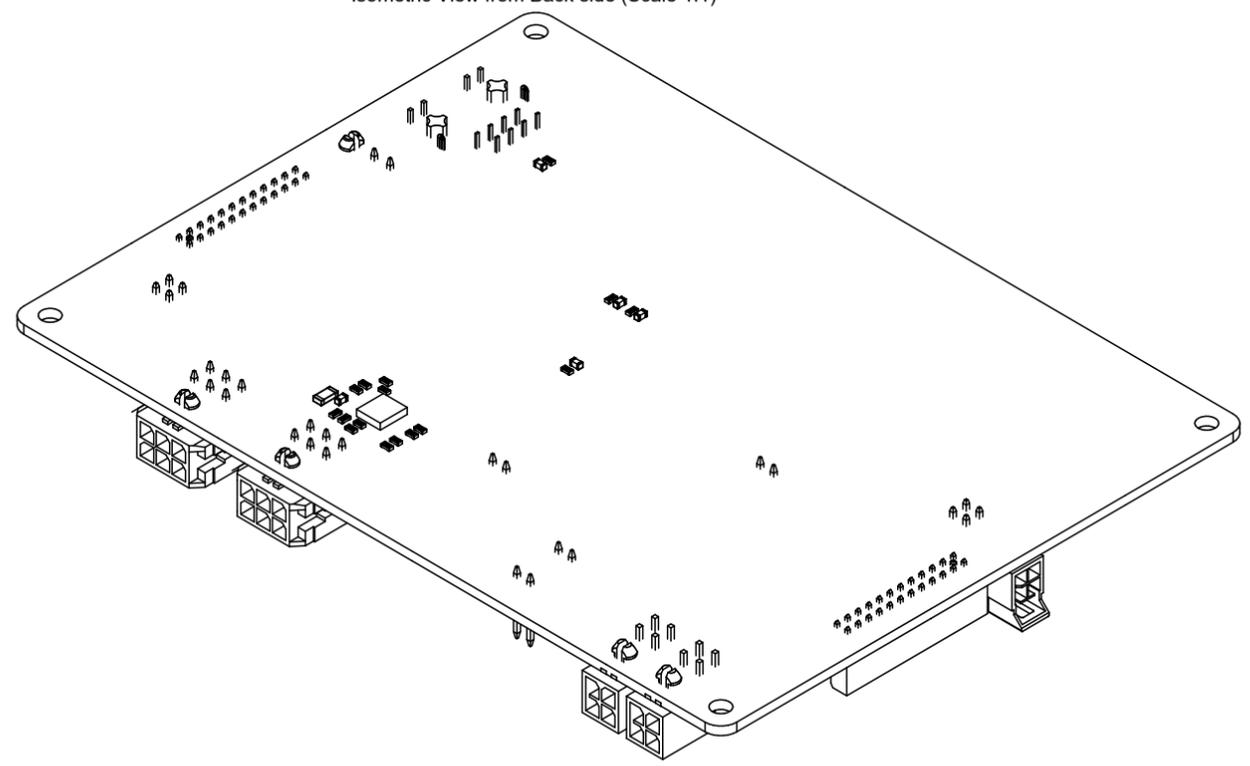
## **Apéndice C**

### **Plano de ensamblaje PCU**

Isometric View from Front side (Scale 1:1)



Isometric View from Back side (Scale 1:1)



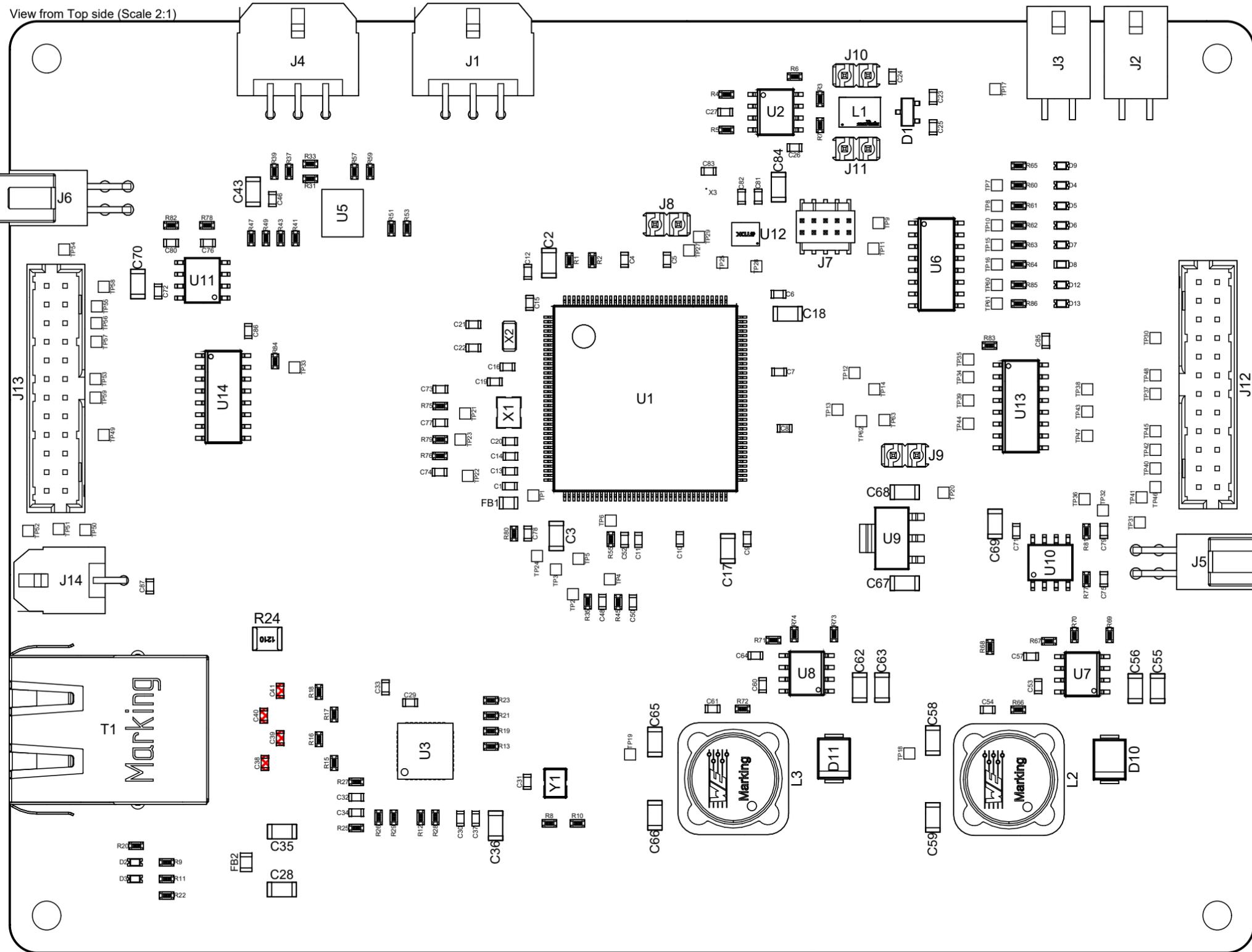
1. USE ANTISTATIC BAG FOR STOCKING AND TRANSPORTING OF PCB ASSEMBLY.

OTHERS:

- 2. DNP COMPONENTS ARE IDENTIFIED WITH RED MESHED
- 3. FOR ASSEMBLY PROCESSES FOLLOW VIEW FROM TOP SIDE (PAGE 2) AND VIEW FROM BOTTOM SIDE (PAGE 3)
- 4. TRIM ALL THRU HOLE COMPONENT LEADS TO 1.5 MM MAXIMUM

Title <b>PCU_ASSM.PCBDwf</b>		
Size: A3	Number: PCU	Created: 12/10/2022
Last Modification: 21/02/2024		Sheet 1 of 3
Author: Marco Pérez		
Checked by: Alvaro Rey		

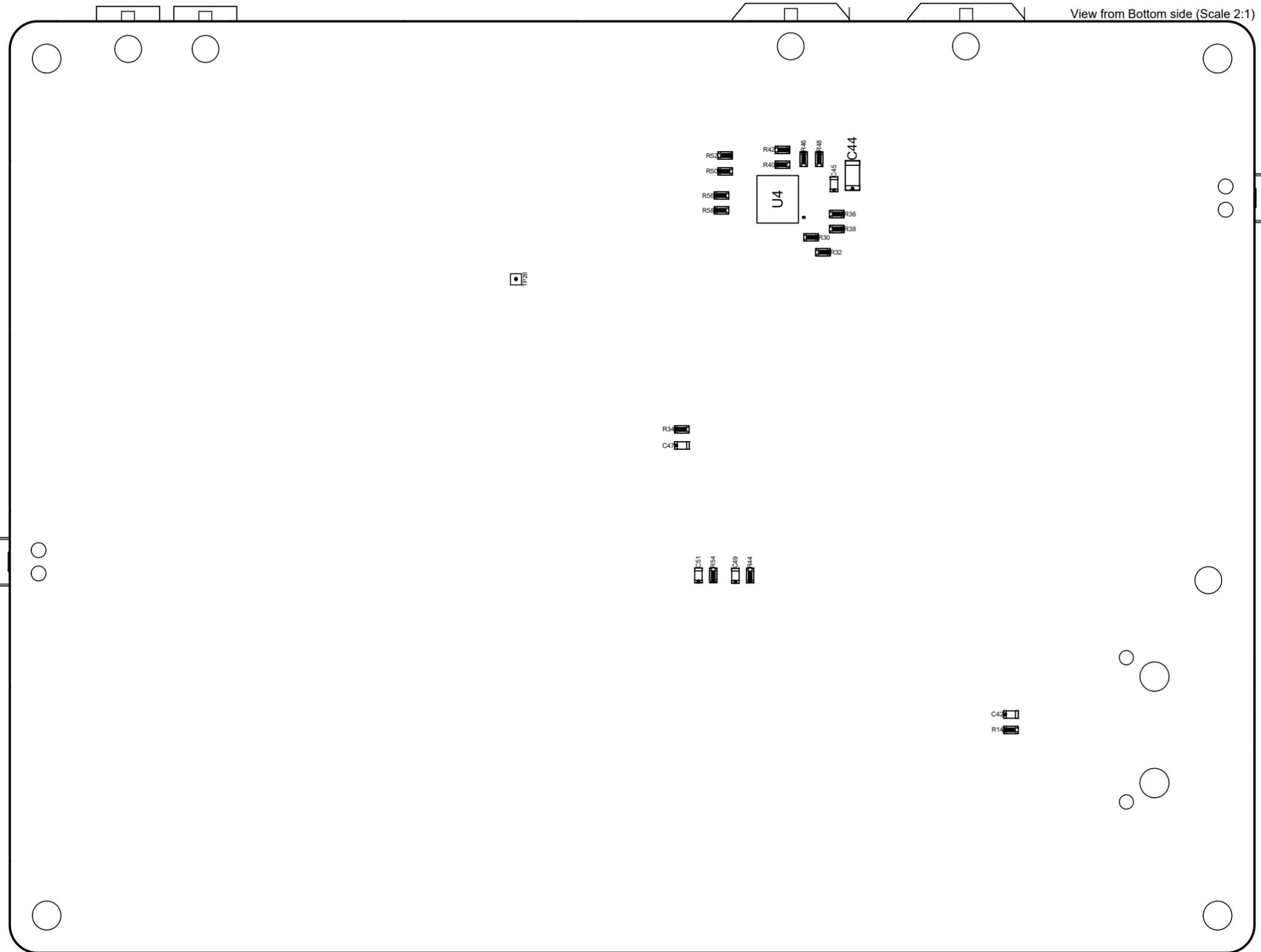




Title <b>PCU_ASSM.PCBDwf</b>		
Size: A3	Number: PCU	Created: 12/10/2022
Last Modification: 21/02/2024		Sheet 2 of 3
Author: Marco Pérez		
Checked by: Álvaro Rey		




HYPERLOOP UPV



View from Bottom side (Scale 2:1)

Title <b>PCU_ASSM.PCBDwf</b>		
Size: <b>A3</b>	Number: <b>PCU</b>	Created: <b>12/10/2022</b>
Last Modification: <b>21/02/2024</b>		Sheet <b>3</b> of <b>3</b>
Author: <b>Marco Pérez</b>		
Checked by: <b>Álvaro Rey</b>		

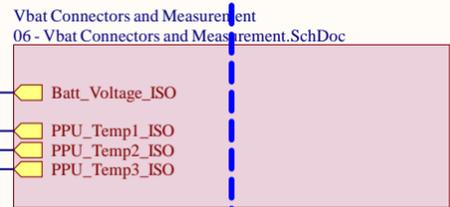
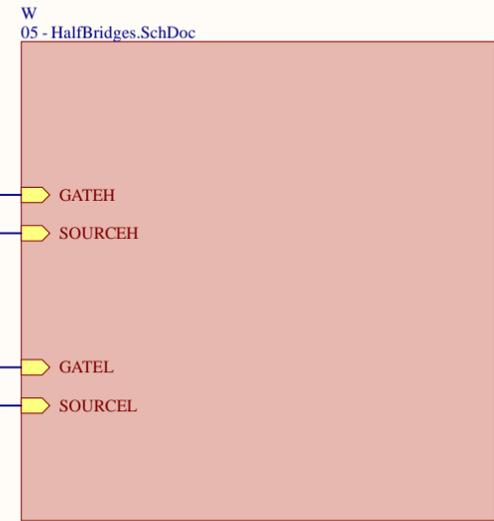
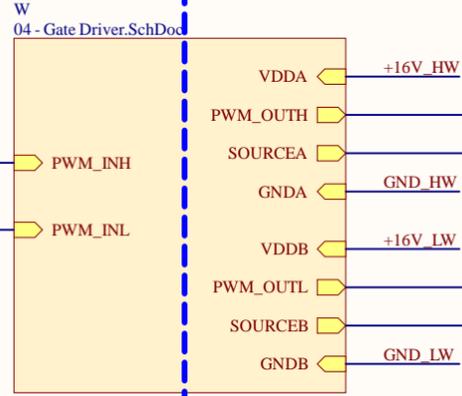
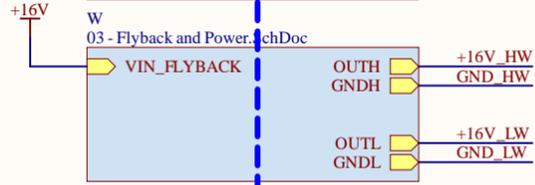
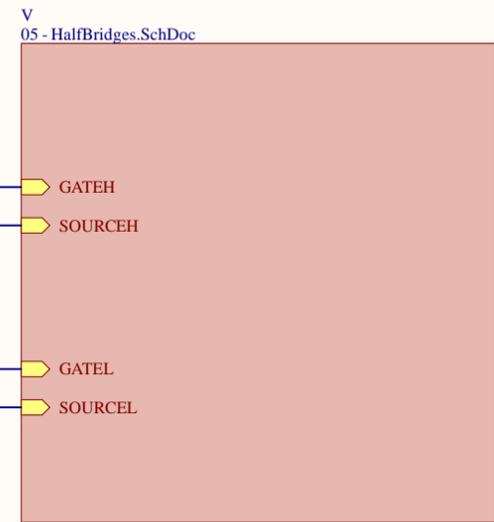
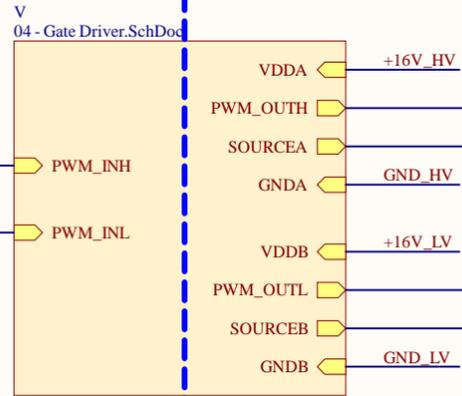
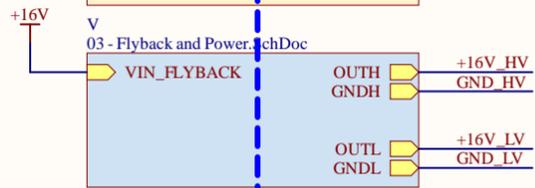
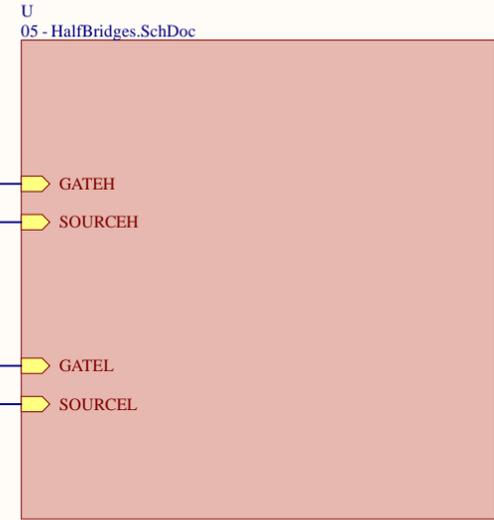
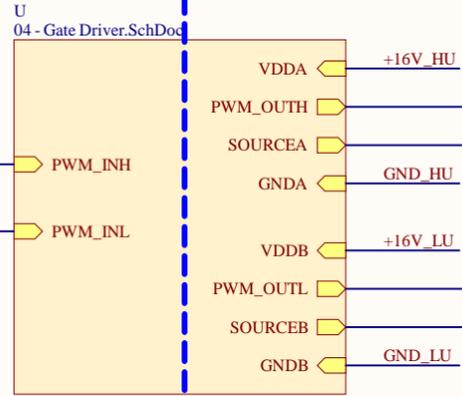
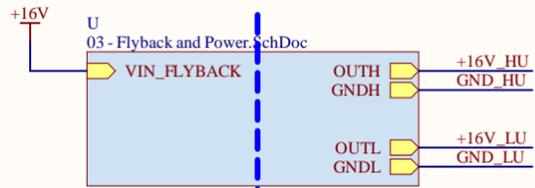
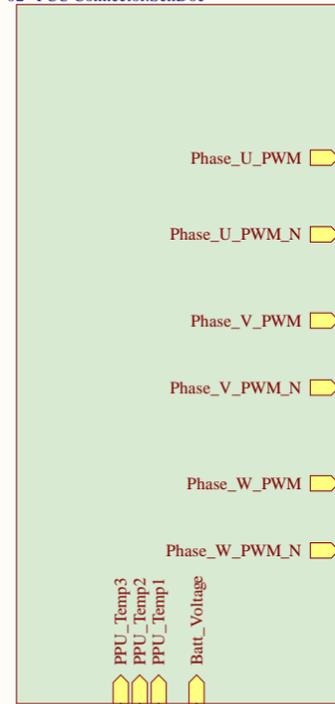


## **Apéndice D**

# **Esquemático PPU**

FD1    FD2    FD3  
 ●    ●    ●  
 Fiducial    Fiducial    Fiducial

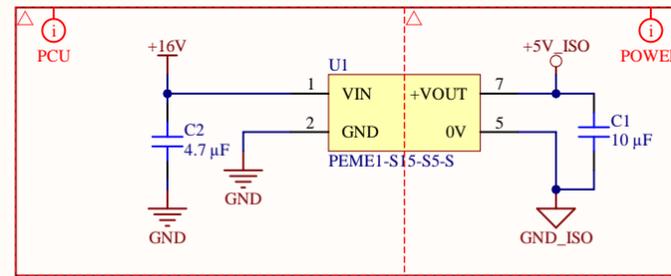
PCU Connector  
 02 - PCU Connector.SchDoc



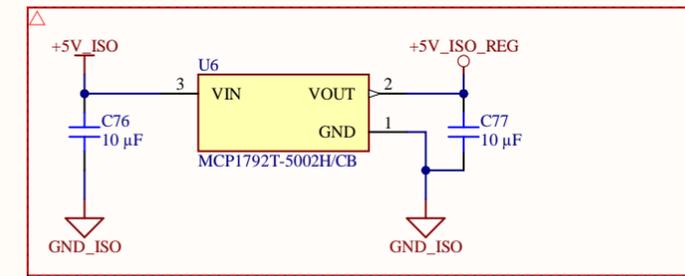
Title <b>01 - Architecture.SchDoc</b>		
Size: A3	Number: PPU	Created: 25/12/2022
Last Modification: 18/02/2024	Sheet 1 of 6	
Author: Marco Pérez		
Checked by: Alvaro Rey		



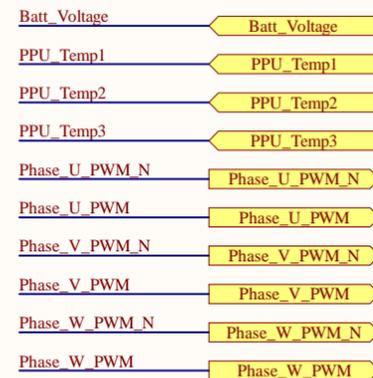
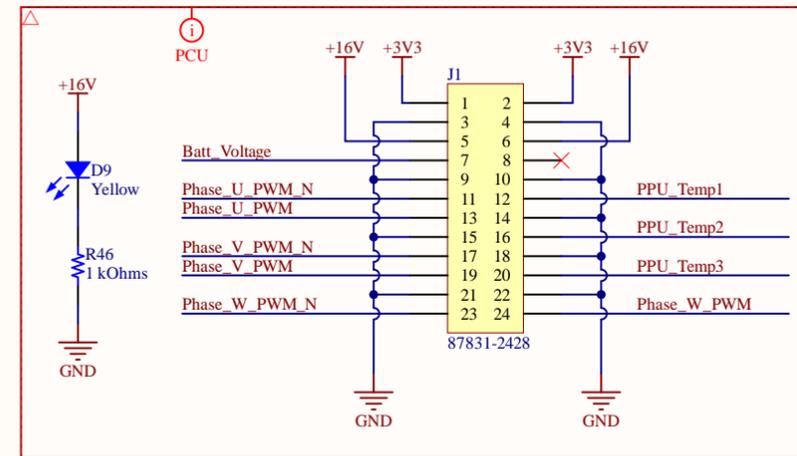
### 5V\_ISO Converter



### 5V\_ISO Regulator



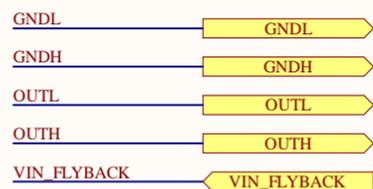
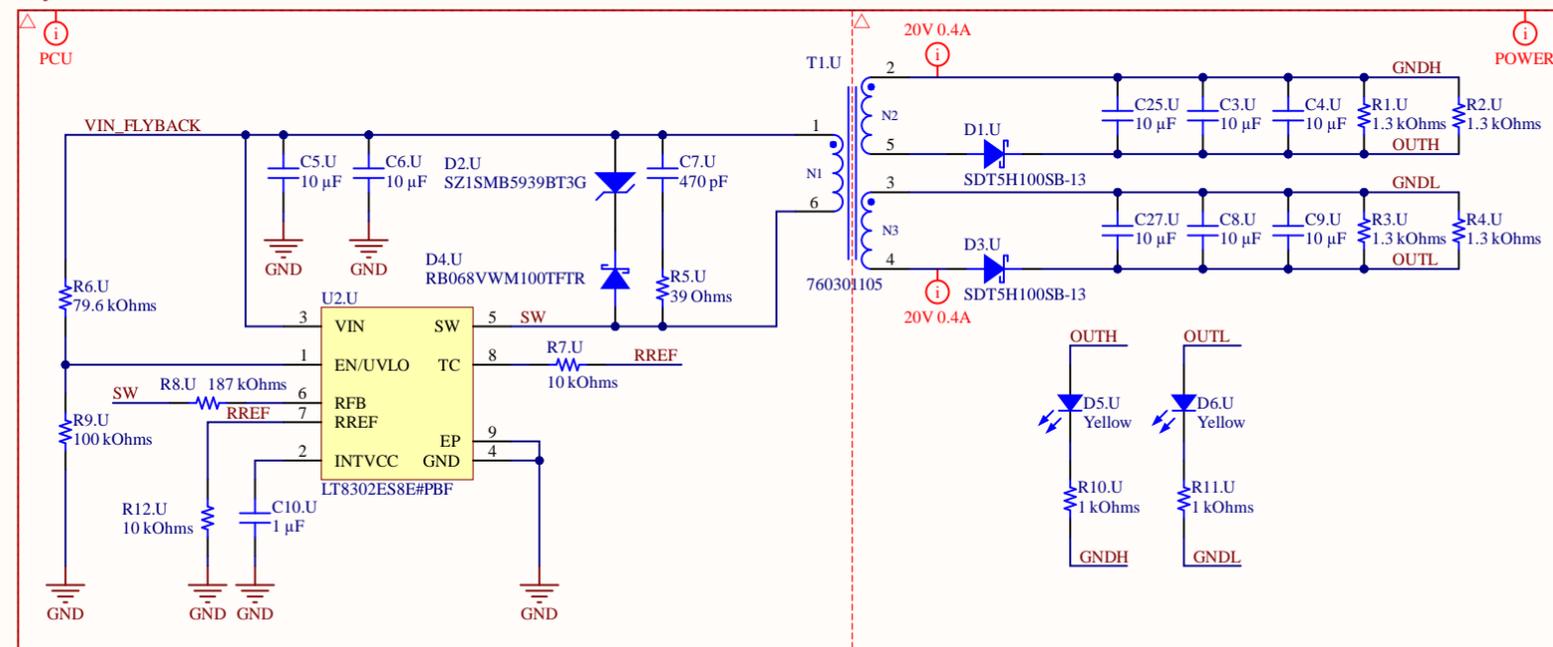
### PCU Connector



Title <b>02 - PCU Connector.SchDoc</b>		
Size: A3	Number: PPU	Created: 25/12/2022
Last Modification: 18/02/2024	Sheet 2 of 6	
Author: Marco Pérez		
Checked by: Alvaro Rey		



### Flyback Converter

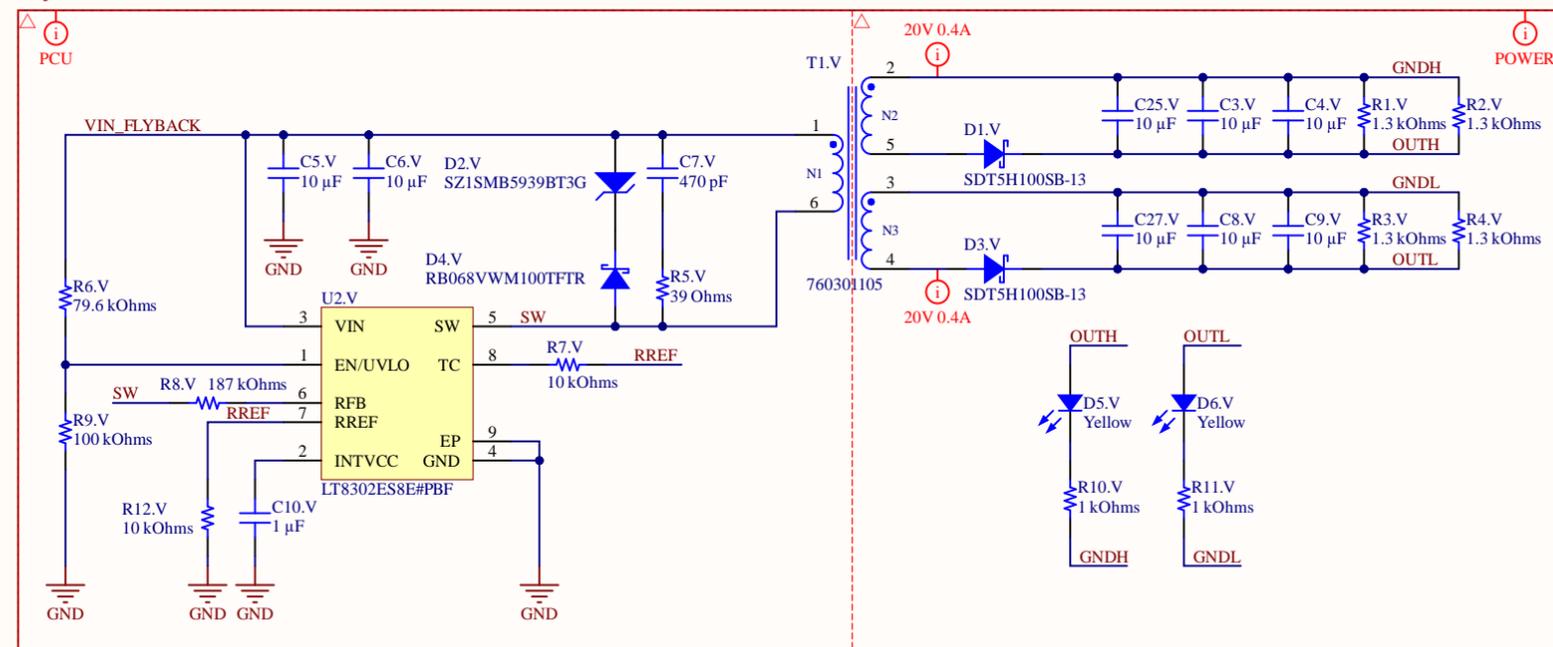


Title **03 - Flyback and Power.SchDoc**

Size: A3    Number: PPU    Created: 25/12/2022  
 Last Modification: 18/02/2024    Sheet 3 of 6  
 Author: Marco Pérez  
 Checked by: Alvaro Rey



### Flyback Converter

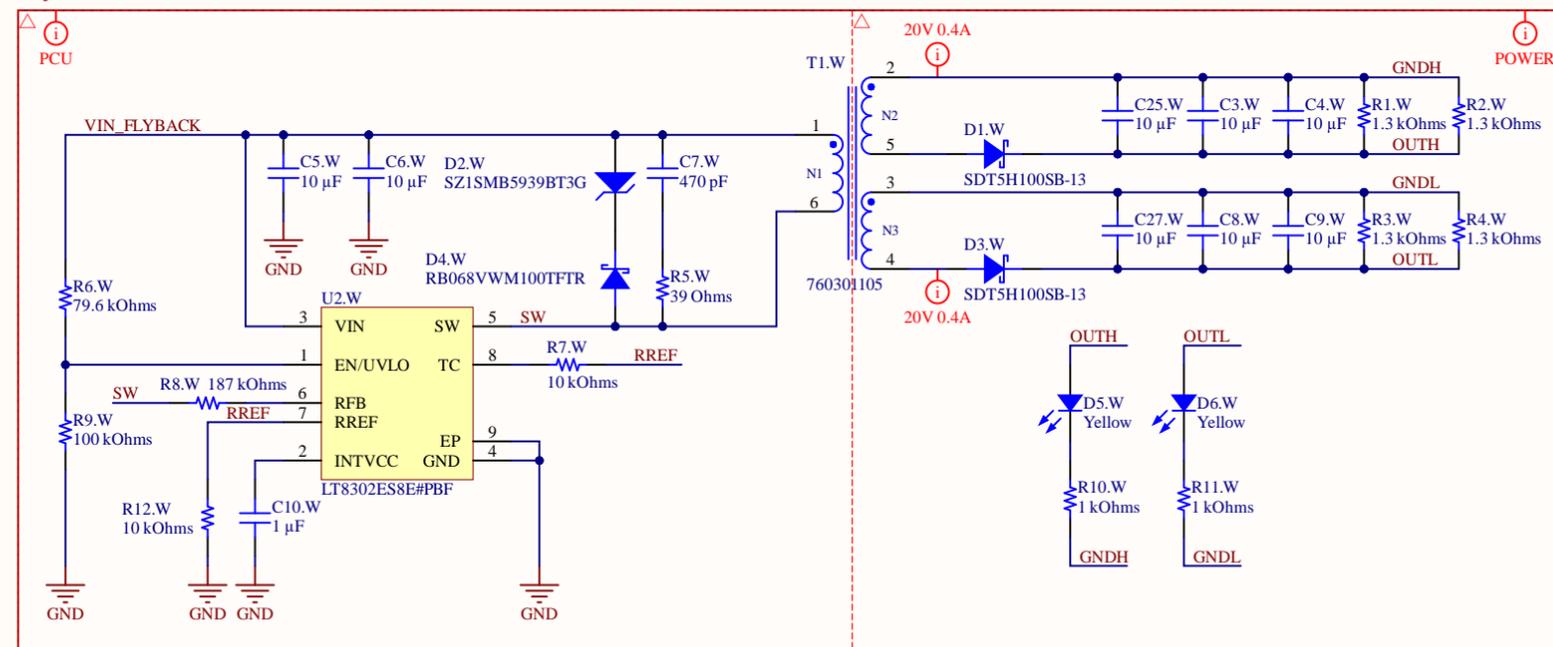


Title **03 - Flyback and Power.SchDoc**

Size: A3    Number: PPU    Created: 25/12/2022  
 Last Modification: 18/02/2024    Sheet 3 of 6  
 Author: Marco Pérez  
 Checked by: Alvaro Rey



### Flyback Converter

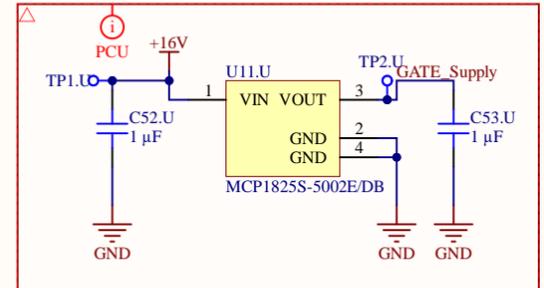


Title **03 - Flyback and Power.SchDoc**

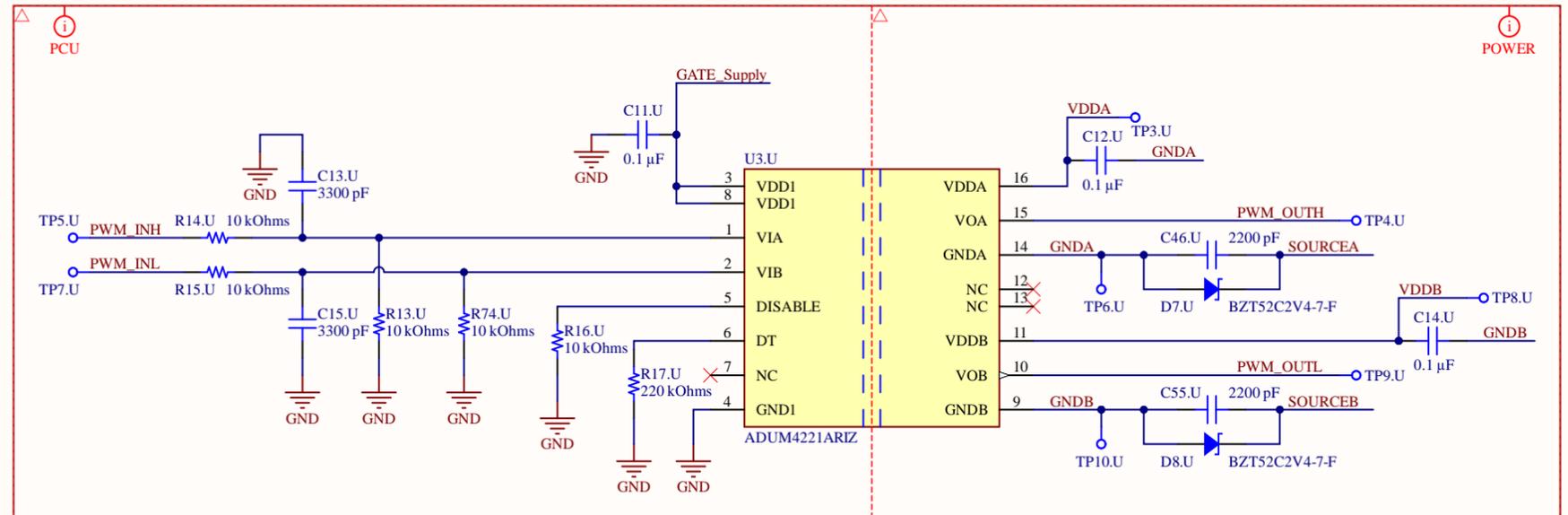
Size: A3    Number: PPU    Created: 25/12/2022  
 Last Modification: 18/02/2024    Sheet 3 of 6  
 Author: Marco Pérez  
 Checked by: Alvaro Rey



### Gate Driver Supply



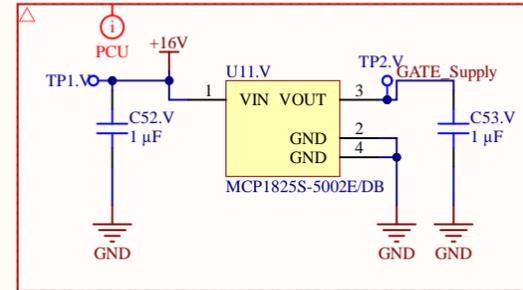
### Gate Driver



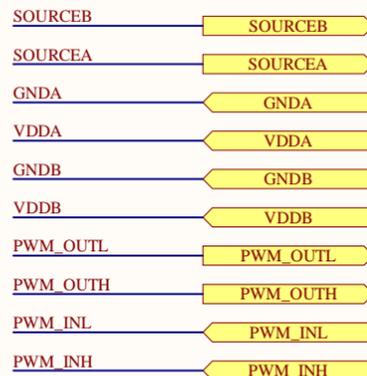
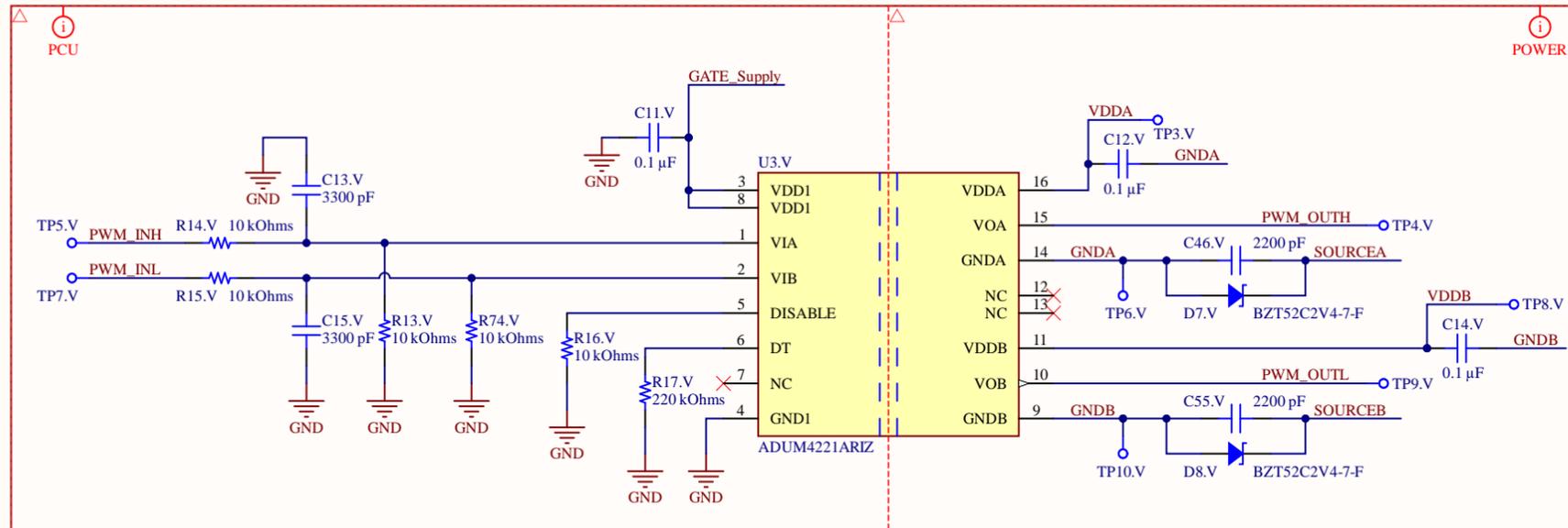
Title <b>04 - Gate Driver.SchDoc</b>		
Size: A3	Number: PPU	Created: 25/12/2022
Last Modification: 18/02/2024		Sheet 4 of 6
Author: Marco Pérez		
Checked by: Alvaro Rey		



### Gate Driver Supply



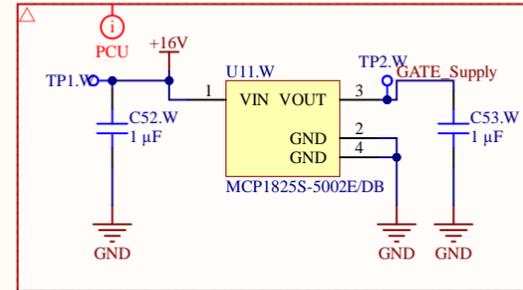
### Gate Driver



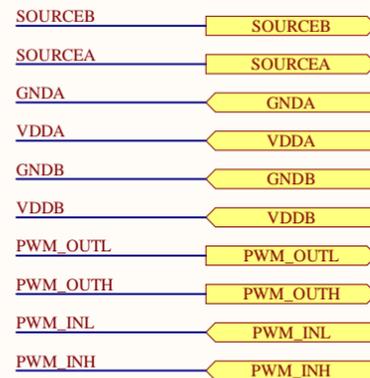
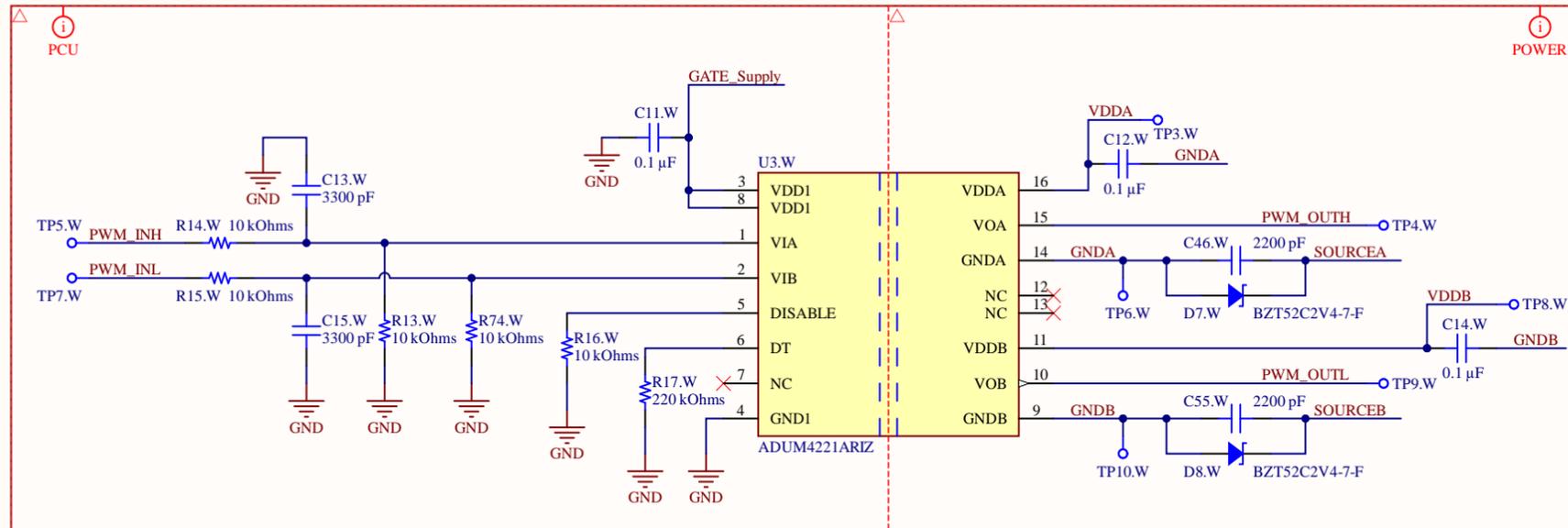
Title <b>04 - Gate Driver.SchDoc</b>		
Size: A3	Number: PPU	Created: 25/12/2022
Last Modification: 18/02/2024		Sheet 4 of 6
Author: Marco Pérez		
Checked by: Alvaro Rey		



### Gate Driver Supply



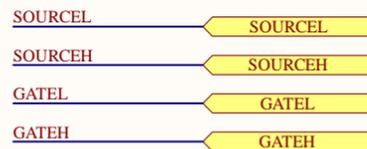
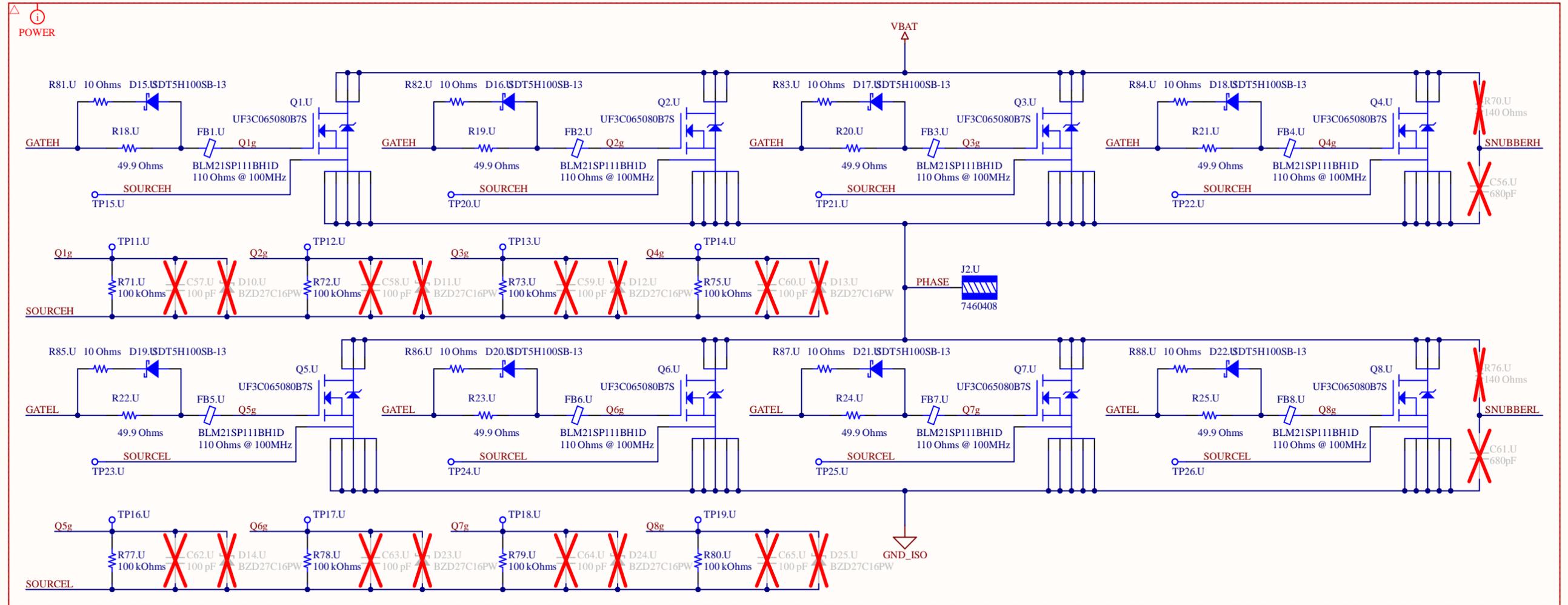
### Gate Driver



Title <b>04 - Gate Driver.SchDoc</b>		
Size: A3	Number: PPU	Created: 25/12/2022
Last Modification: 18/02/2024		Sheet 4 of 6
Author: Marco Pérez		
Checked by: Alvaro Rey		



### Half Bridge

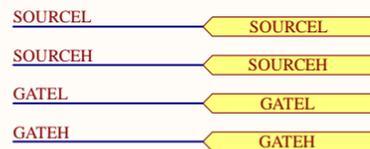
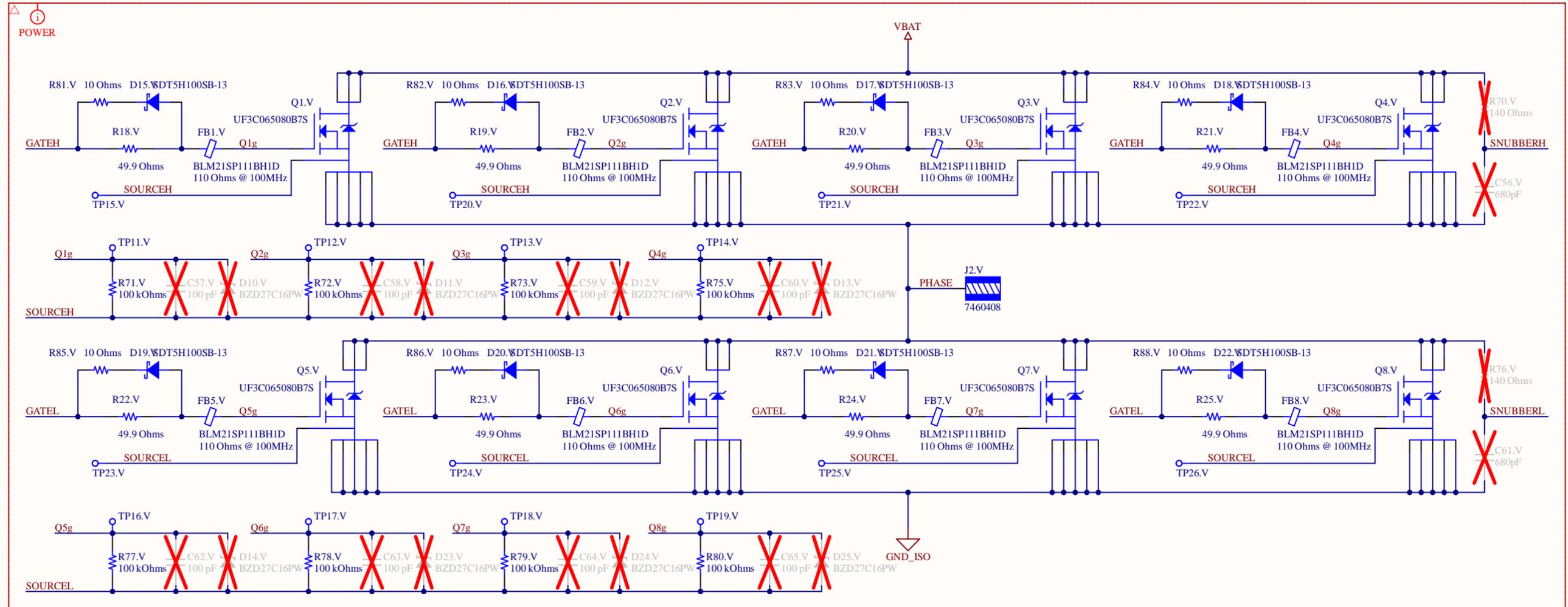


Title **05 - HalfBridges.SchDoc**

Size: A3    Number: PPU    Created: 25/12/2022  
 Last Modification: 18/02/2024    Sheet 5 of 6  
 Author: Marco Pérez  
 Checked by: Alvaro Rey



### Half Bridge

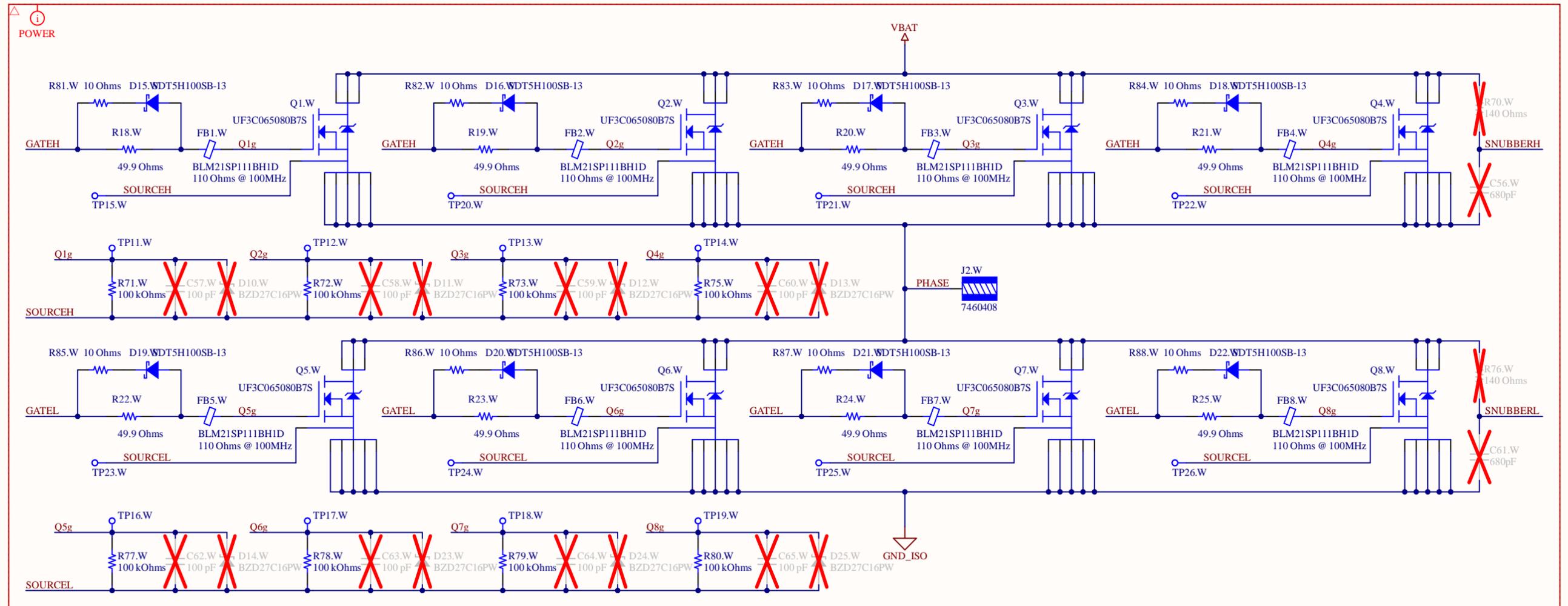


Title **05 - HalfBridges.SchDoc**

Size: A3    Number: PPU    Created: 25/12/2022  
 Last Modification: 18/02/2024    Sheet 5 of 6  
 Author: Marco Pérez  
 Checked by: Alvaro Rey



### Half Bridge

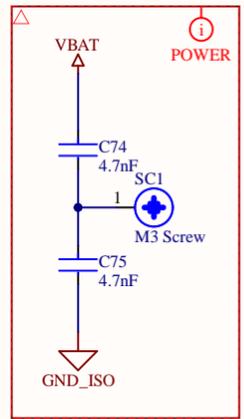


Title **05 - HalfBridges.SchDoc**

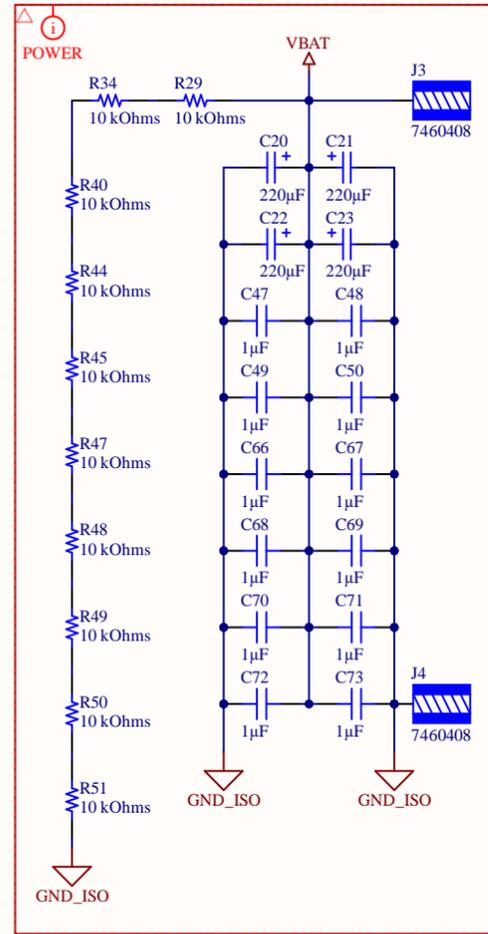
Size: A3    Number: PPU    Created: 25/12/2022  
 Last Modification: 18/02/2024    Sheet 5 of 6  
 Author: Marco Pérez  
 Checked by: Alvaro Rey



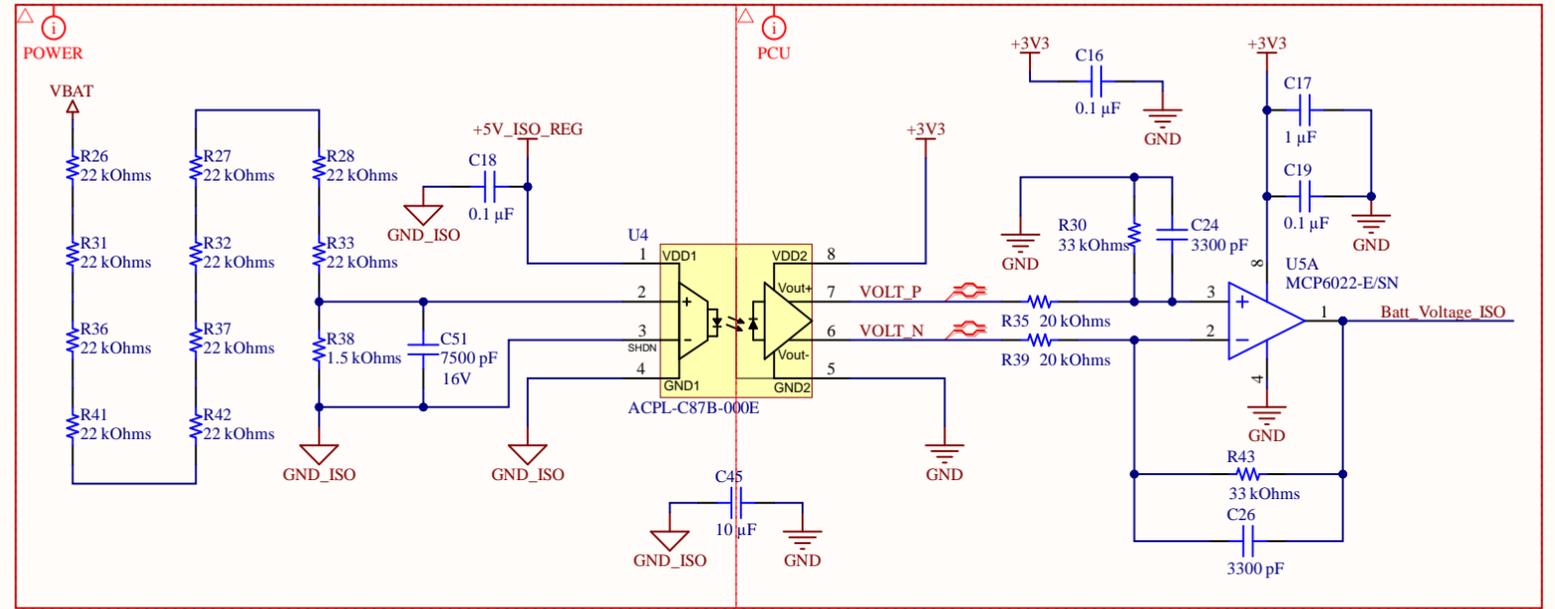
### Chassis Connection



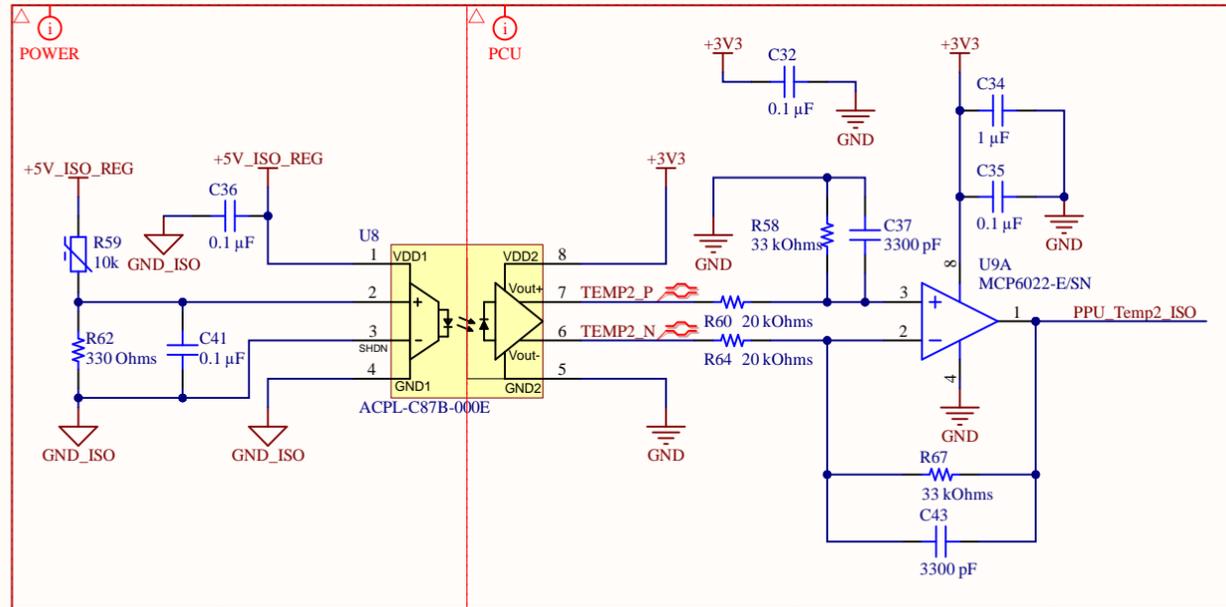
### Battery Connectors



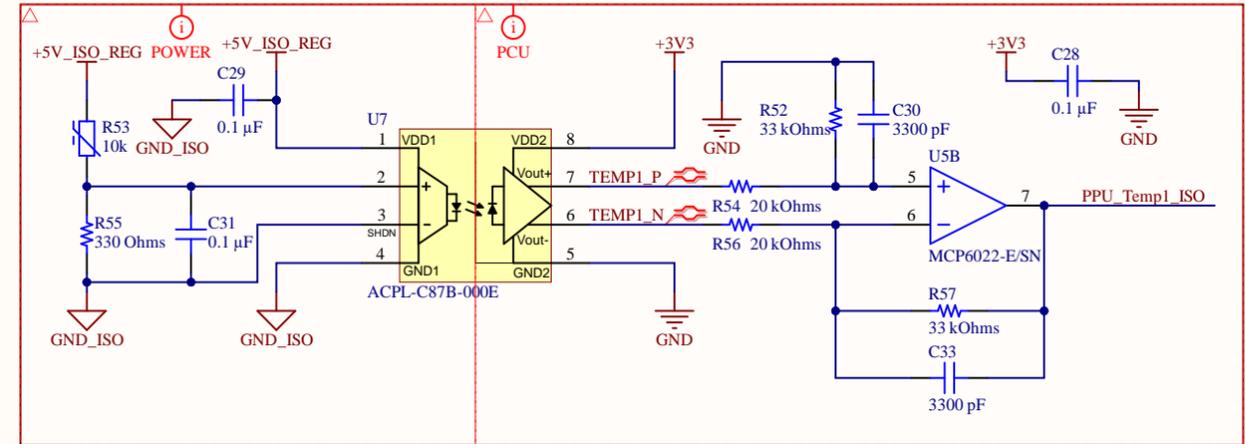
### Vbat Measure



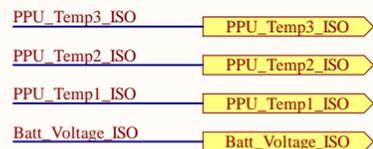
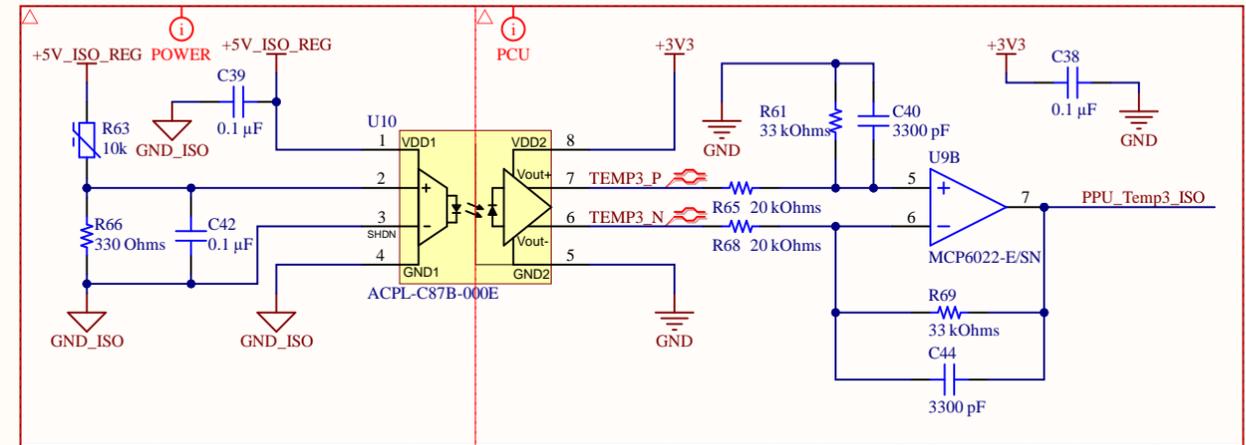
### MOSFET2 Temperature Measurement



### MOSFET1 Temperature Measurement



### MOSFET3 Temperature Measurement



Title <b>06 - Vbat Connectors and Measurement</b> .SchDoc		
Size: A3	Number: PPU	Created: 25/12/2022
Last Modification: 18/02/2024	Sheet 6 of 6	
Author: Marco Pérez		
Checked by: Alvaro Rey		





## **Apéndice E**

# **Archivos de fabricación PPU**

**NOTES: UNLESS OTHERWISE SPECIFIED.**

**BOARD:**

1. CONDUCTOR WIDTHS AND SPACING SHALL BE WITHIN  $\pm 10\%$  OR  $\pm 25\ \mu\text{m}$  (WHICHEVER IS SMALLER) OF ORIGINAL GERBER DATA.
2. STANDARD DENSITY INTERCONNECT WITH MINIMUM TRACE WIDTH  $100\ \mu\text{m}$  AND MINIMUM COPPER TO COPPER SPACING  $100\ \mu\text{m}$  (LINE/SPACING).

**CICUIT TYPE:**

3. DOUBLE SIDED (DS). TEST POINTS WHICH ARE ON TOP SIDE ARE NOT ASSOCIATED WITH ANY PARTS BUT FOOTPRINTS ONLY.

**LAYER:**

4. LAYER TO LAYER REGISTRATION SHALL BE WITHIN  $125\ \mu\text{m}$ .

5 4-LAYER PER LAYER STACK LEGEND.

**PADS AND VIAS:**

6. SURFACE MOUNT PAD/VIA PLATING FLAT TO A MAXIMUM OF  $75\ \mu\text{m}$  ABOVE BOARD SURFACE.
7. FINISHED PTH-PADS AND VIAS TO HAVE MINIMUM OF  $25\ \mu\text{m}$  OF PLATING INSIDE. TOOLING HOLES TOLERANCES ARE  $+75\ \mu\text{m} / -0.0\ \mu\text{m}$ .

**MATERIAL:**

8. MATERIALS AS PER LAYER STACK LEGEND OR EQUIVALENT.
9. FLAMMABILITY RATING 94V-0 OR BETTER. TG  $> 150\ ^\circ\text{C}$ . DIELECTRIC SHALL BE CAF RESISTANT.
10. TOTAL PROCESSED BOARD THICKNESS INCL. SOLDER MASK:  $1.58\text{mm} \pm 10\%$ .
11. TOLERANCE: PER IPC-600 LATEST REVISION CLASS II.
12. WARP & TWIST: PER IPC-600 LATEST REVISION CLASS II OR  $0.5\%$  OF BOARD LENGTH WHICHEVER IS SMALLER.
13. COPPER THICKNESS: AS PER PROVIDED LAYER STACK LEGEND.
  - OUTER RIGID (FINISHED):  $100\ \mu\text{m}$  MINIMUM IN ACCORDANCE WITH IPC-6012.
  - INNER RIGID:  $105\ \mu\text{m}$  STARTING COPPER THICKNESS IN ACCORDANCE WITH IPC-6012.

**DRILLING:**

14. VIEWED FROM: TOP.
15. REFERENCE: ORIGIN POINT AS SHOWN IN OUTPUT FILES.
16. ALL HOLES SHALL BE LOCATED WITHIN  $90\ \mu\text{m}$  DIAMETER OF TRUE POSITION.
17. ALL HOLES SURROUNDED BY LAND SHALL HAVE A MINIMUM ANNULAR RING IN ACCORDANCE WITH IPC-6012 CLASS II REQUIREMENTS.

**BOARD FINISH:**

18. REMOVE ALL BURRS AND BREAK SHARP EDGES  $50\ \mu\text{m}$  MAX IN CASE OF SINGLE BOARD DELIVERY.
19. LEGEND / SILKSCREEN PRINT: WHITE COLOUR WITH THICKNESS OF  $30\ \mu\text{m}$  OR LESS. USE INK JET TECHNIQUE. THERE SHALL BE NO SILKSCREEN ON ANY SOLDERABLE COMPONENT PAD. ADAPT SILKSCREEN IF REQUIRED.
20. SOLDER MASK: GREEN COLOUR. USE DIRECT IMAGE TECHNIQUE. MATERIAL: ELECTRA EMP110 DI (OR EQUIVALENT) WITH IPC-SM-840 CLASS H AS REFERENCE SPECIFICATION.

**TRACK FINISH:**

21. GOLD IMMERSION FINISH FOR THE WHOLE BOARD IN ACCORDANCE WITH IPC-4552.
22. ALL COPPER SET BACK SHALL BE MAINTAINED WITHIN ARTWORK ORIGINALS FROM ANY EDGE OF THE PCB.
23. ALL SURFACE MOUNT PADS SHALL BE FREE OF ANY BURRS OR DEVIATION OF  $10\%$  FROM ORIGINAL ARTWORK.
24. ALL PADS SHALL BE FREE OF ANY EXPOSED COPPER, NICKEL OR ANY SURFACE DEFECTS SUCH AS NODULES OR METAL BUMPS.
25. ALL CONDUCTOR WIDTHS SHALL BE WITHIN  $10\%$  OF THE ARTWORK. OUTER LAYERS SHALL HAVE NO SODA STRAWS OR SOLDER MASK THICKNESS ISSUES.
26. ALL CONDUCTOR SPACING SHALL BE WITHIN  $10\%$  OF THE ARTWORK.
27. NO ADHESION (FLAKING/PEELING) ON OUTER LAYER SOLDER MASKS.

**THROUGH HOLE PADS AND VIAS:**

28. ALL THROUGH HOLE PADS AND VIAS SHALL BE FREE OF ANY BURRS OR DEVIATION OF  $10\%$  FROM ORIGINAL ARTWORK.
29. ALL PADS AND VIAS SHALL BE FREE OF ANY EXPOSED COPPER, NICKEL OR ANY SURFACE DEFECTS SUCH AS NODULES OR METAL BUMPS.
30. THERE SHALL BE NO RESIDUE OR GREASE RESULT OF LPI OR HANDLING.
31. ETCH TRAPS CAN ONLY BE ELIMINATED FROM INNER AND OUTER LAYERS BY VENDOR WITH PRIOR APPROVAL FROM DESIGNERS CASE BY CASE.
32. ALL VIAS TO BE DRILLED  $\pm 75\ \mu\text{m}$  TOLERANCE.
33. FOLLOW IPC CLASS II REQUIREMENTS FOR THE ANNULAR RING.

**PROFILING:**

34. PCB SHAPE: AS DIMENSIONED, MEASURED AND CUT FROM SPECIFIED DATUM. USE GERBERS FOR MEASUREMENTS. BREAK-OFFS (IF ANY) SHOULD BE MAINTAINED AS NOT TO IMPACT THE FINAL OUTLINE AND SHAPE OF THE BOARD IN DELIVERY.
35. NO SHARP EDGES OR BURRS.

**ACCEPTABILITY:**

36. QUALIFICATION AND PERFORMANCE: IPC-600 LATEST REVISION, CLASS III UNLESS OTHERWISE SPECIFIED. MANUFACTURER UL CERTIFICATION, REACH, ROHS & WEEE COMPLIANT.
37. CLEANLINESS OF UNPOPULATED PCB: IPC-5701, JULY 2003 OR LATEST REVISION.
38. PACKAGING AND HANDLING: EACH PANEL SHALL BE WRAPPED WITH SULPHUR-FREE PAPER INDIVIDUALLY AND 20 PACKED IN ANTISTATIC VACUUMED BAG WITH HUMIDITY ABSORBER.
39. BOARD SHALL MEET THE REQUIREMENTS FLAMMABILITY RATING OF 94V-0 OR BETTER.
40. ALL COPPER SET BACK MUST BE MAINTAINED WITHIN ARTWORK ORIGINALS FROM ANY EDGE OF THE PCB.
41. CERTIFICATE OF CONFORMANCE (C OF C) SHALL BE PROVIDED.

**ELECTRICAL TEST:**

42. EACH BUILD SHALL INCLUDE THE RESULTS OF THE E-TEST.

**MARKINGS AND STANDARDS:**

43. VENDOR'S UL LOGO OR DESIGNATION AND DATE SHALL BE IN TOP SIDE SILKSCREEN.
- 44 BOARD PARTNUMBER AND REVISION IS IN TOP SIDE SILKSCREEN.
45. ROHS & WEEE MARKINGS SHALL BE IN TOP SIDE SILKSCREEN IN ACCORDANCE WITH IPC-4781.

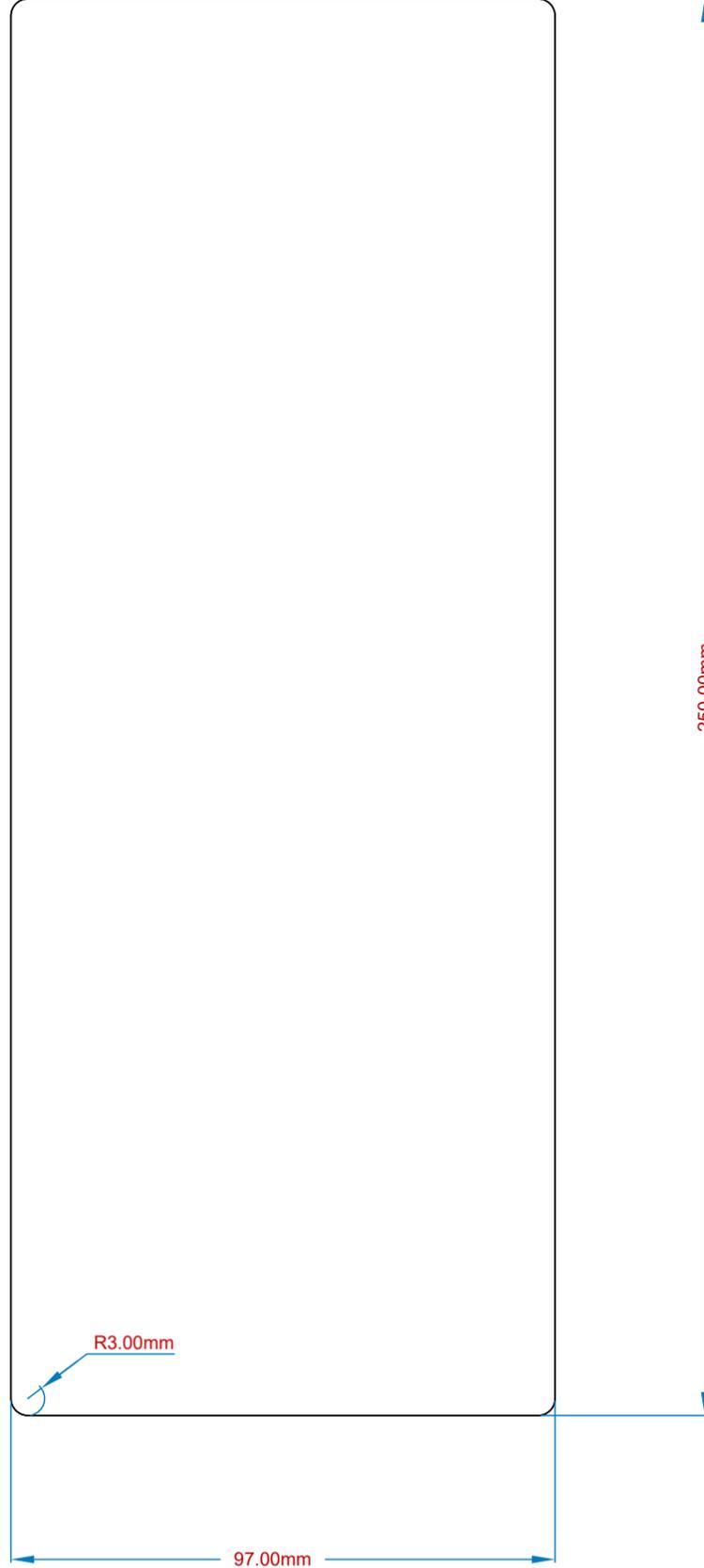
**MANUFACTURER'S ACCREDITATION:**

46. MANUFACTURERS SHALL COMPLY WITH ISO9001-2000. MANUFACTURER TO PROVIDE ITS REGISTRATION NUMBER ON TOP SIDE SILKSCREEN IN WHITE COLOUR IN ADDITION TO OTHER REQUIRED MARKINGS SUCH AS:
  - UL, CSA OR CE AS REQUIRED.
  - DATE OR CODE OF BUILT (YYWW).
  - SERIAL NUMBER.
  - VISUAL INSPECTION MARKS IN BLACK.
  - ROHS AND WEEE STAMP.
  - MANUFACTURING PROCESS SHALL FOLLOW IPC-2221 STANDARD CLASS II.
  - MANUFACTURER SHALL FOLLOW IPC-2223E SECTIONAL DESIGN STANDARDS FOR RIGID PRINTED BOARDS.

Title <b>PPU_FAB.PCBDwf</b>		
Size: A3	Number: PPU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 1 of 14
Author: Marco Pérez		
Checked by: Álvaro Rey		



Contour (Scale 1:1.25)



Title <b><i>PPU_FAB.PCBDwf</i></b>		
Size: A3	Number: PPU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 2 of 14
Author: Marco Pérez		
Checked by: Alvaro Rey		



Layer Stack Legend

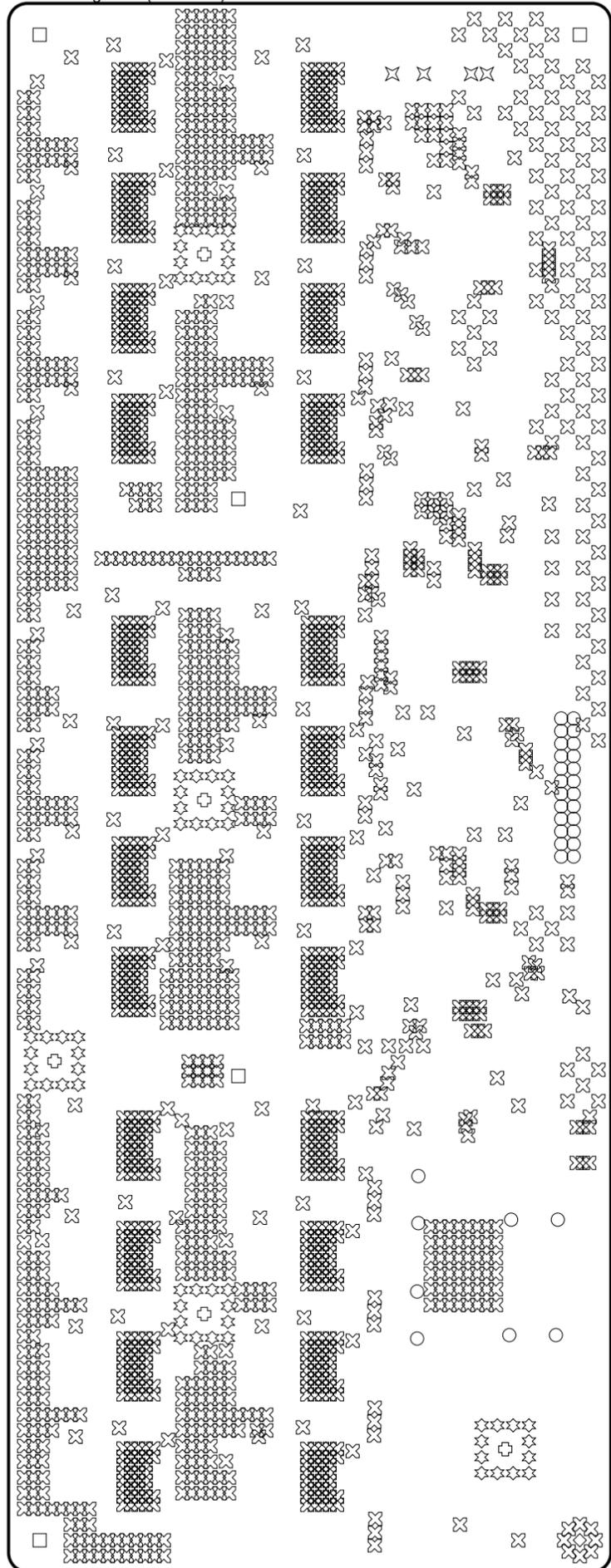
Material	Layer	Thickness	Dielectric Material	Type	Gerber
	Top Overlay			Legend	GTO
Surface Material	Top Solder	0.010mm	Solder Resist	Solder Mask	GTS
<b>Copper</b>	<b>Top Layer</b>	<b>0.036mm</b>		<b>Signal</b>	<b>GTL</b>
Prepreg		0.110mm	PP-006	Dielectric	
CF-004	Layer 1	0.036mm		Signal	G1
		1.200mm	FR-4	Dielectric	
CF-004	Layer 2	0.036mm		Signal	G2
Prepreg		0.110mm	PP-006	Dielectric	
<b>Copper</b>	<b>Bottom Layer</b>	<b>0.036mm</b>		<b>Signal</b>	<b>GBL</b>
Surface Material	Bottom Solder	0.010mm	Solder Resist	Solder Mask	GBS
	Bottom Overlay			Legend	GBO

Total thickness: 1.583mm

Title <b>PPU_FAB.PCBDwf</b>		
Size: A3	Number: PPU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 3 of 14
Author: Marco Pérez		
Checked by: Alvaro Rey		



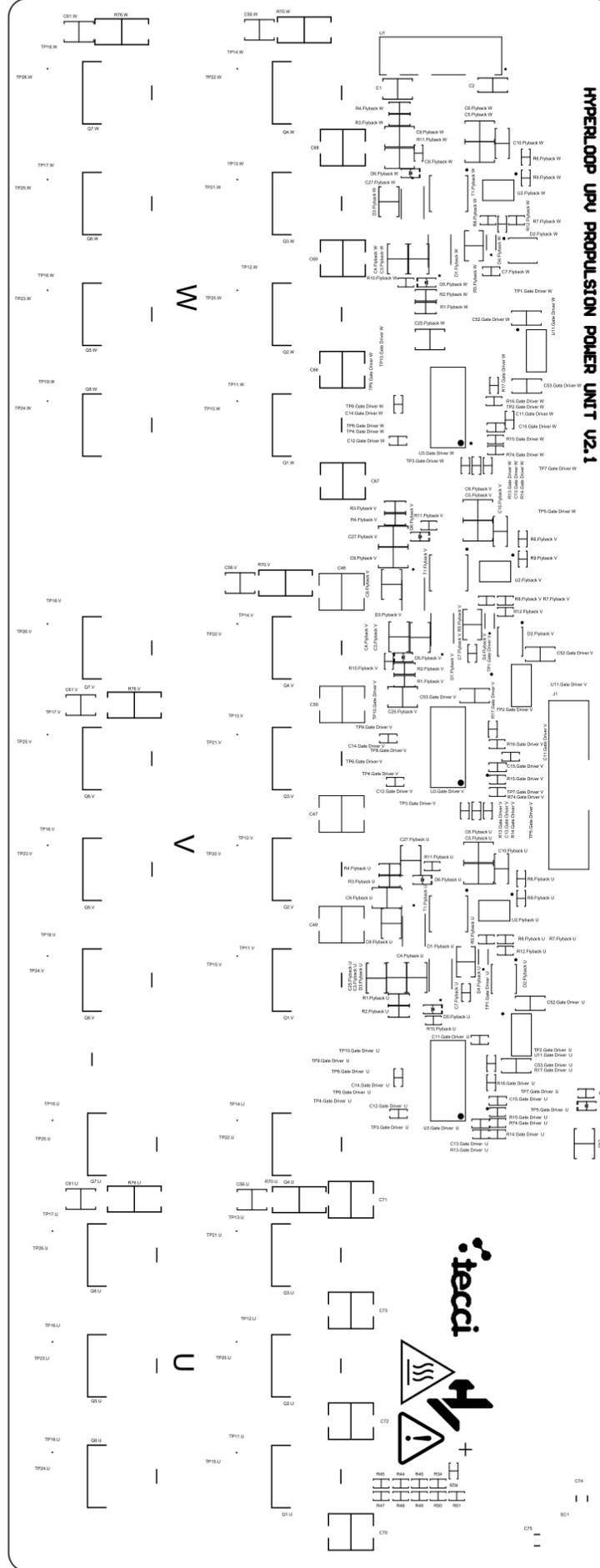
Drill Drawing View (Scale 1:1)



Drill Table

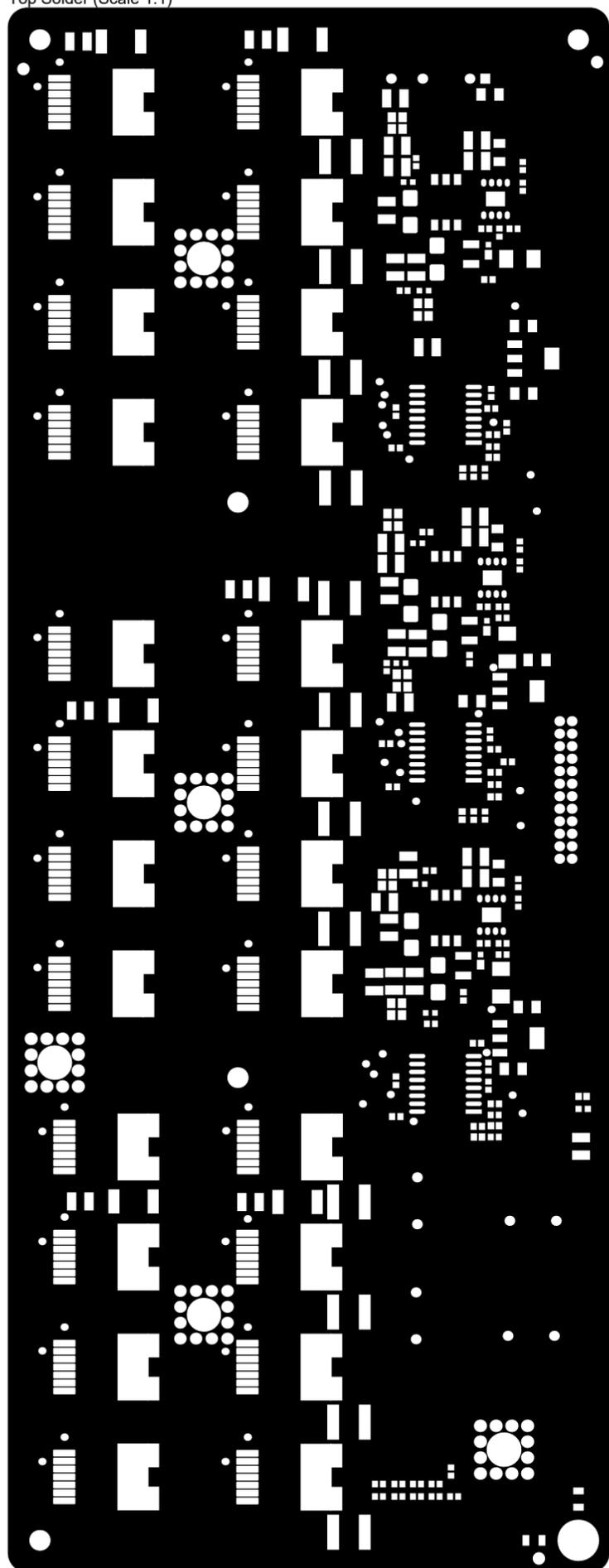
Symbol	Count	Hole Size	Plated	Hole Tolerance
⊗	2175	0.35mm	Plated	
○	32	0.90mm	Plated	
⊗	4	1.00mm	Plated	
⊛	60	1.48mm	Plated	
□	5	3.20mm	Non-Plated	
◇	1	3.20mm	Plated	
⊕	5	5.30mm	Non-Plated	
2282 Total				

Top Overlay (Scale 1:1)



Title <b>PPU_FAB.PCBDwf</b>		
Size: A3	Number: PPU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 5 of 14
Author: Marco Pérez		
Checked by: Álvaro Rey		

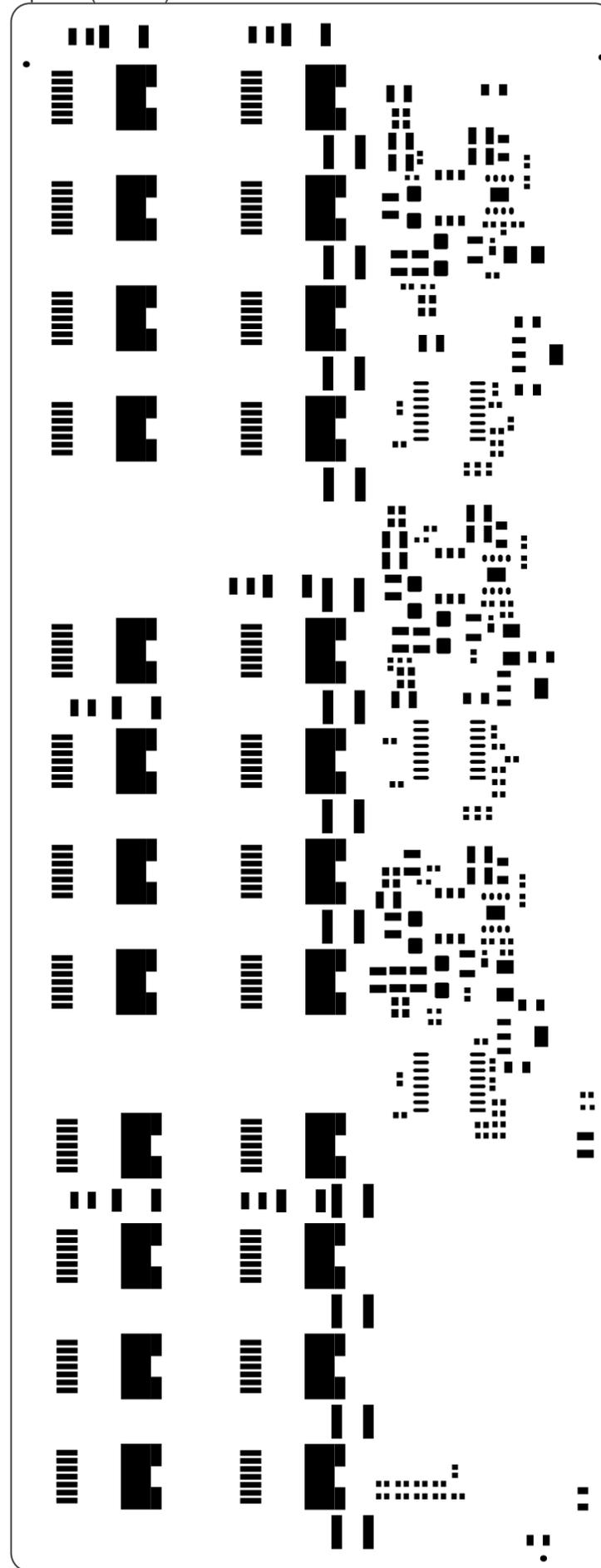
Top Solder (Scale 1:1)



Title <b>PPU_FAB.PCBDwf</b>		
Size: A3	Number: PPU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 6 of 14
Author: Marco Pérez		
Checked by: Álvaro Rey		



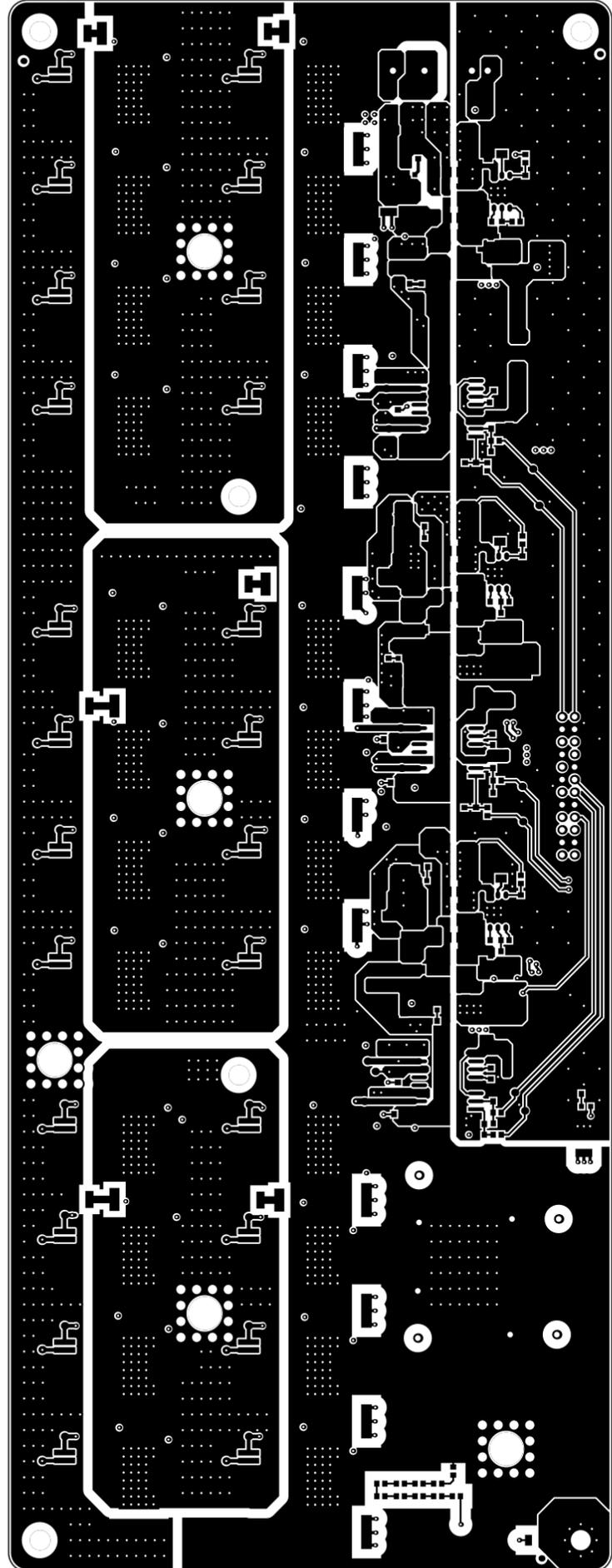
Top Paste (Scale 1:1)



Title <i>PPU_FAB.PCBDwf</i>		
Size: A3	Number: PPU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 7 of 14
Author: Marco Pérez		
Checked by: Álvaro Rey		



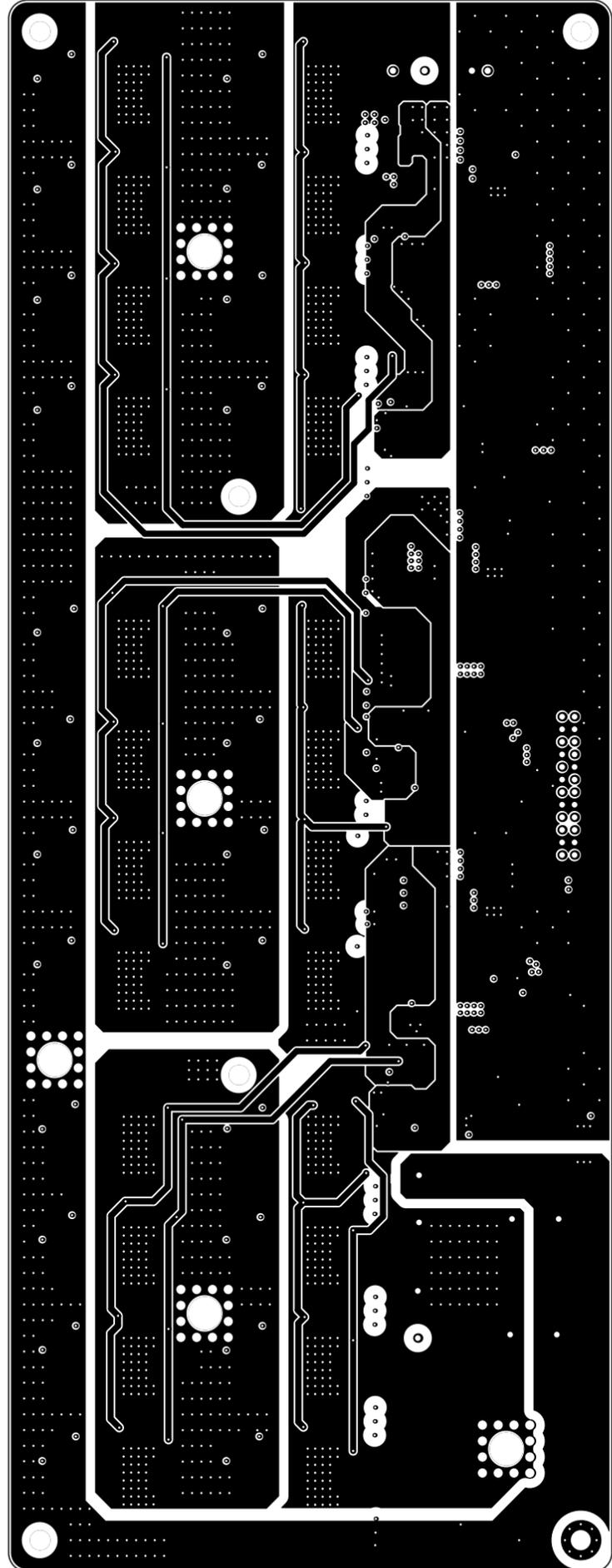
Top Layer (Scale 1:1)



Title <b>PPU_FAB.PCBDwf</b>		
Size: A3	Number: PPU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 8 of 14
Author: Marco Pérez		
Checked by: Alvaro Rey		



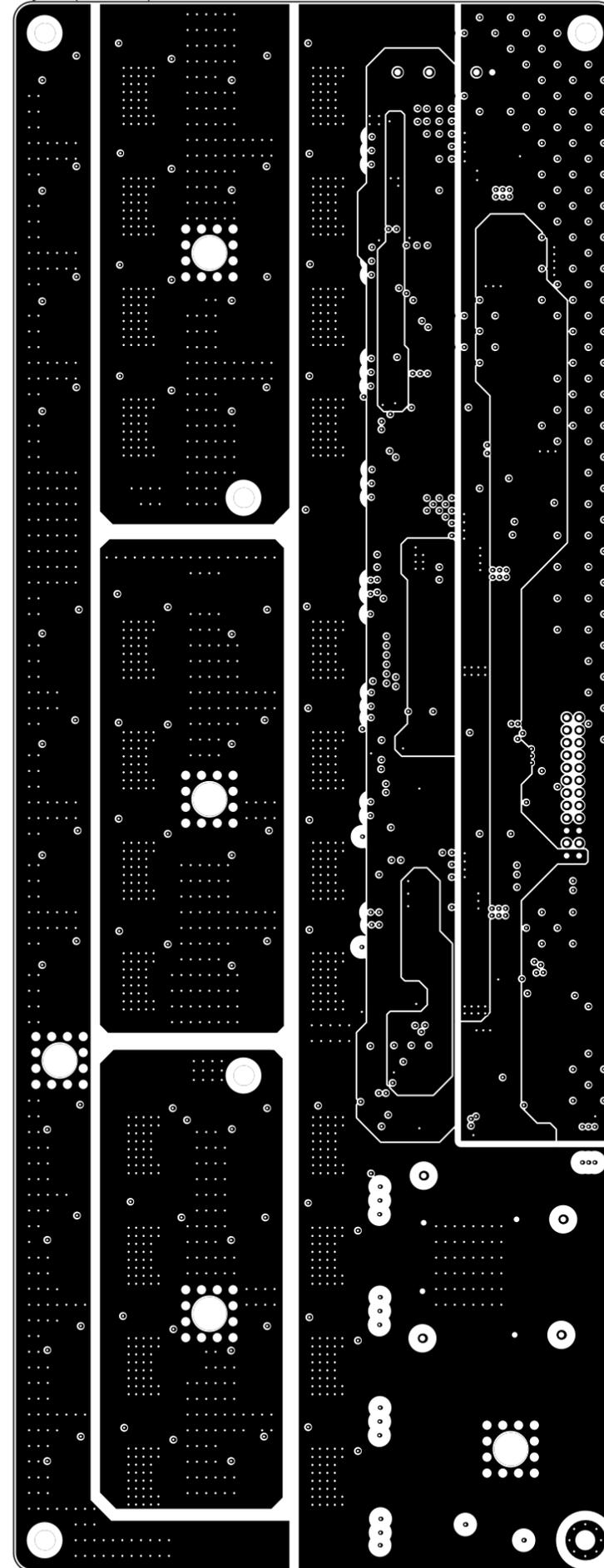
Layer 1 (Scale 1:1)



Title <b>PPU_FAB.PCBDwf</b>		
Size: A3	Number: PPU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 9 of 14
Author: Marco Pérez		
Checked by: Álvaro Rey		



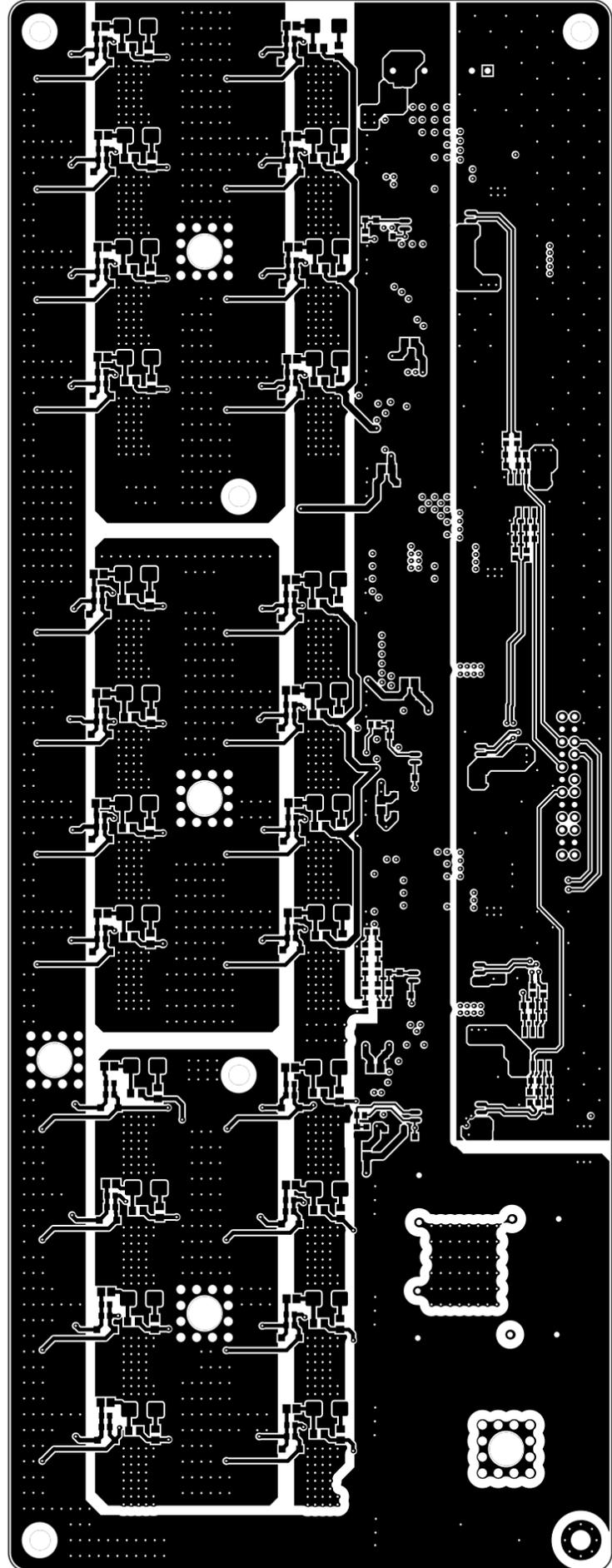
Layer 2 (Scale 1:1)



Title <b>PPU_FAB.PCBDwf</b>		
Size: A3	Number: PPU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 10 of 14
Author: Marco Pérez		
Checked by: Alvaro Rey		



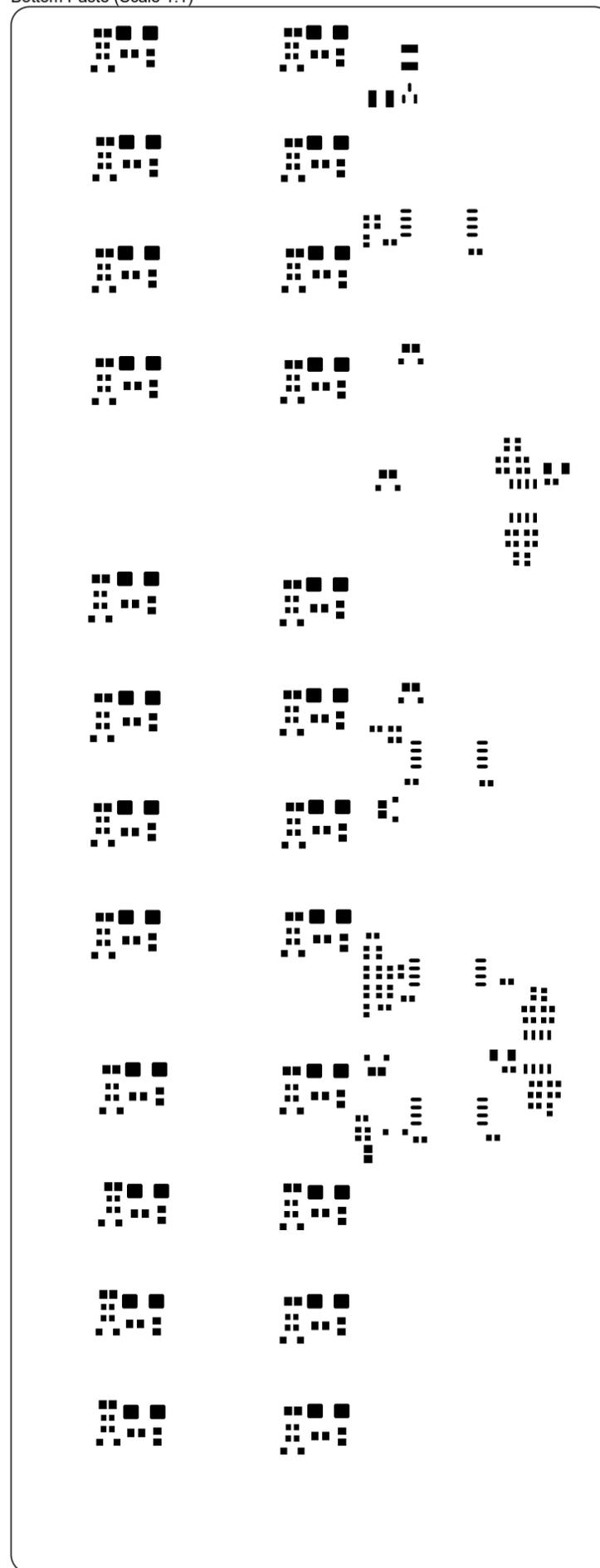
Bottom Layer (Scale 1:1)



Title <b>PPU_FAB.PCBDwf</b>		
Size: A3	Number: PPU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 11 of 14
Author: Marco Pérez		
Checked by: Alvaro Rey		



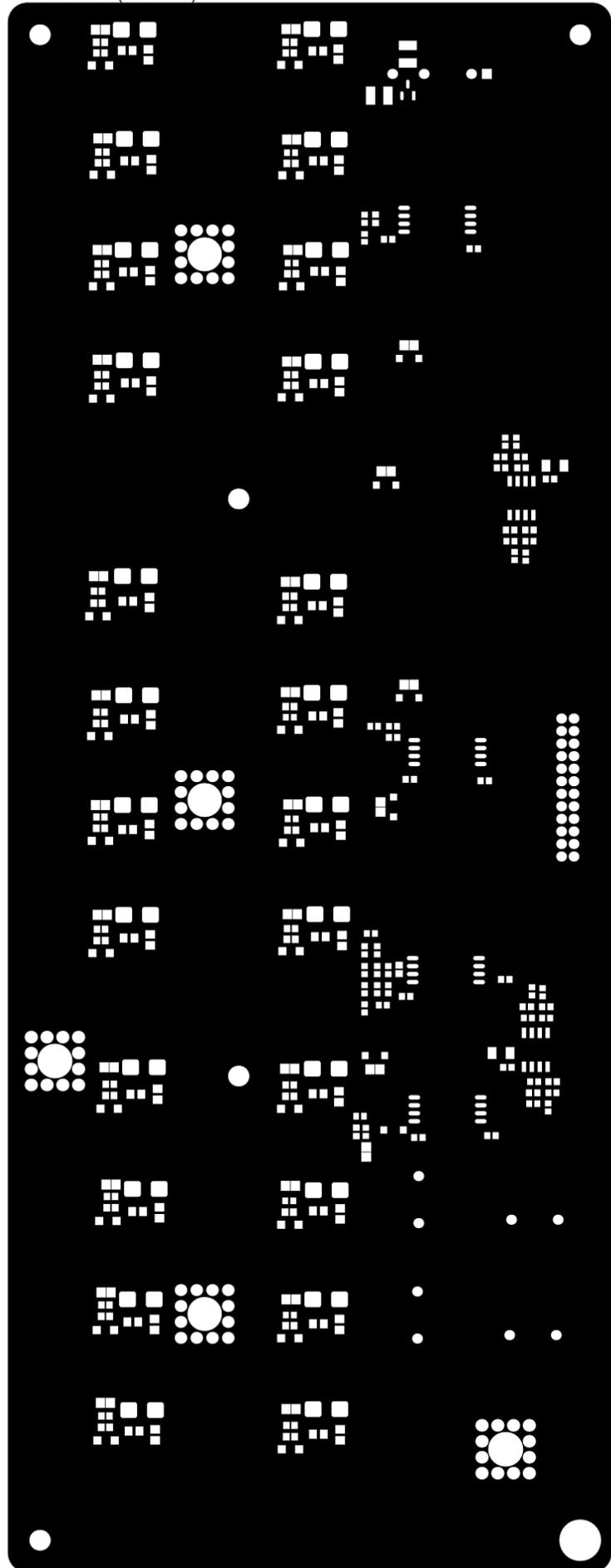
Bottom Paste (Scale 1:1)



Title <b>PPU_FAB.PCBDwf</b>		
Size: A3	Number: PPU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 12 of 14
Author: Marco Pérez		
Checked by: Alvaro Rey		



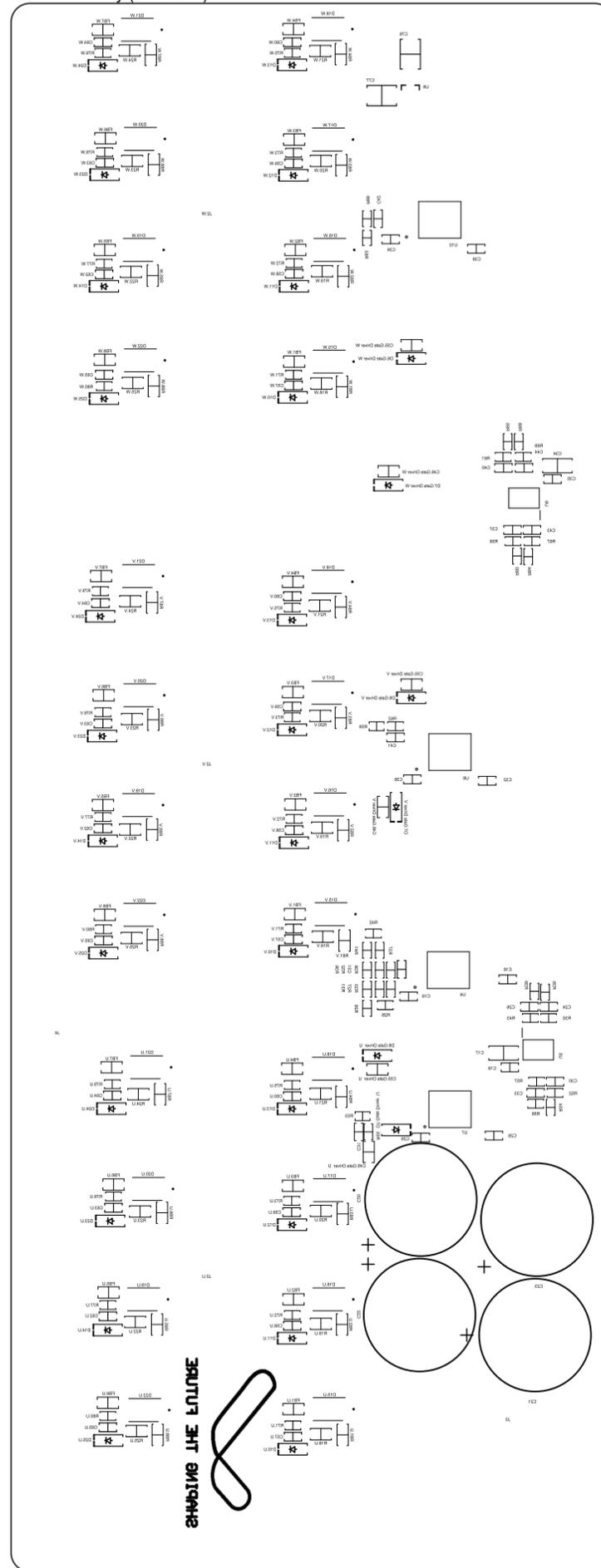
Bottom Solder (Scale 1:1)



Title <b>PPU_FAB.PCBDwf</b>		
Size: A3	Number: PPU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 13 of 14
Author: Marco Pérez		
Checked by: Álvaro Rey		



Bottom Overlay (Scale 1:1)



Title <b>PPU_FAB.PCBDwf</b>		
Size: A3	Number: PPU	Created: 13/01/2023
Last Modification: 18/02/2024		Sheet 14 of 14
Author: Marco Pérez		
Checked by: Álvaro Rey		

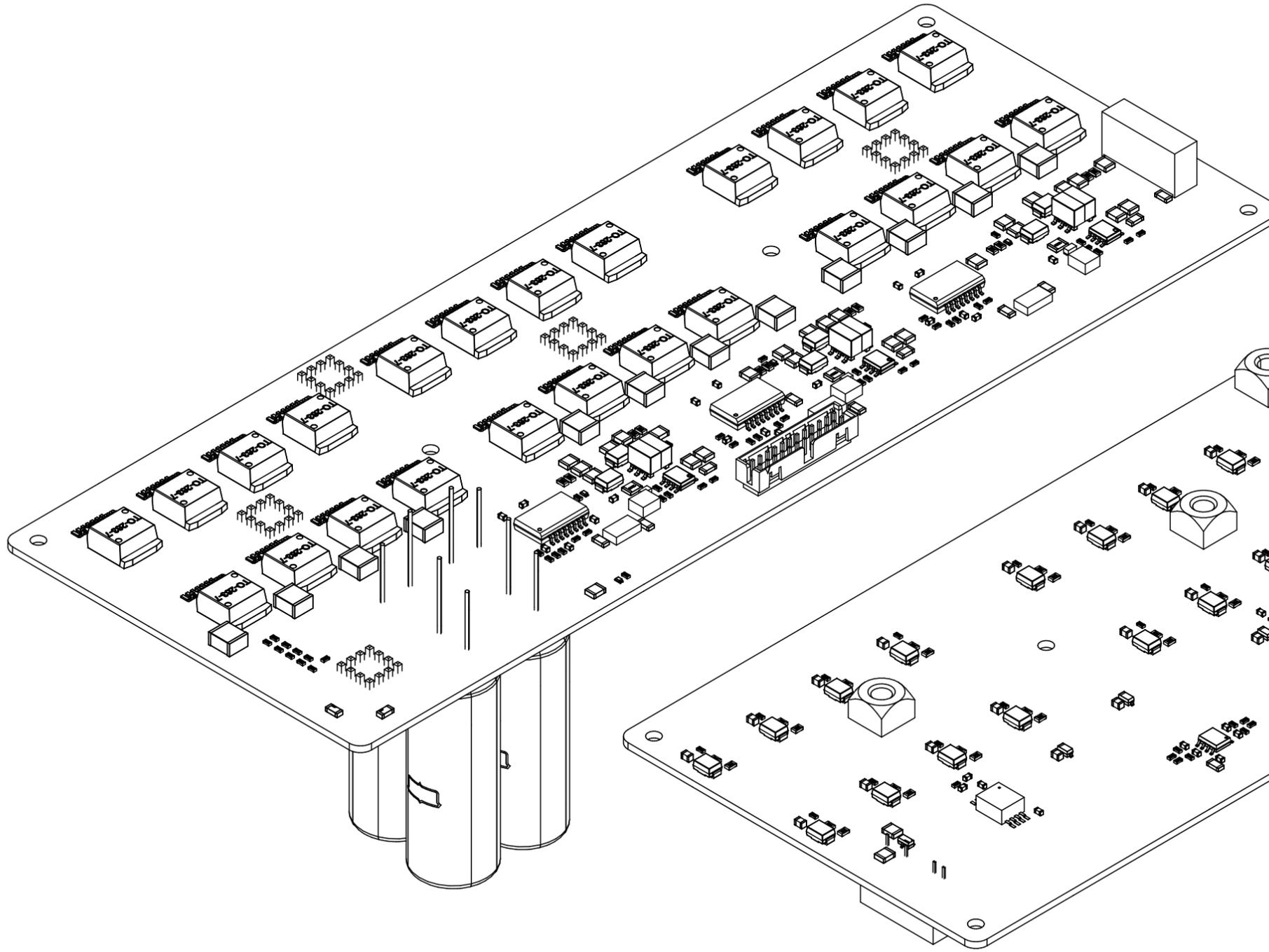




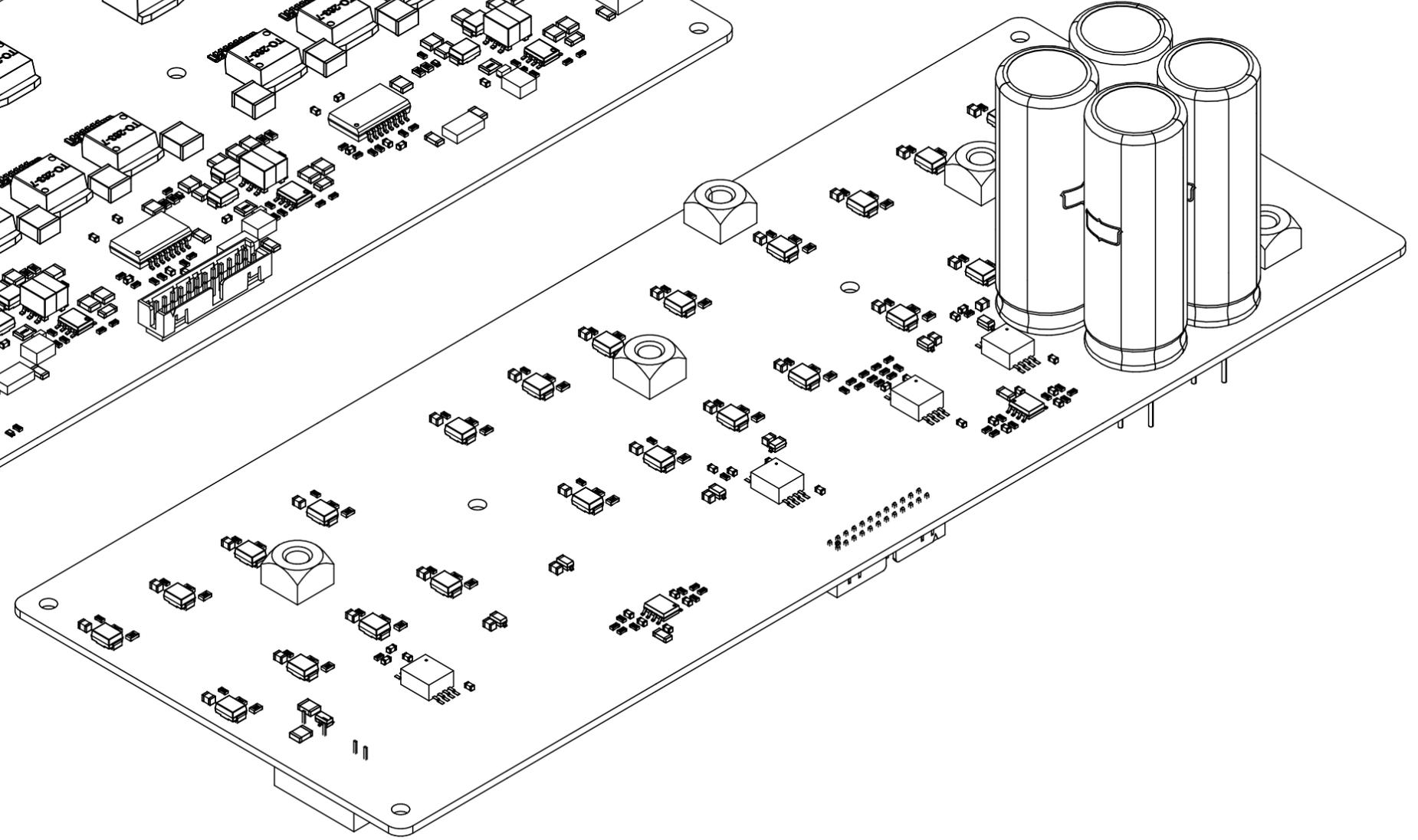
## **Apéndice F**

# **Plano de ensamblaje PPU**

Isometric View from Front side (Scale 1:1)



Isometric View from Back side (Scale 1:1)



1. USE ANTISTATIC BAG FOR STOCKING AND TRANSPORTING OF PCB ASSEMBLY.

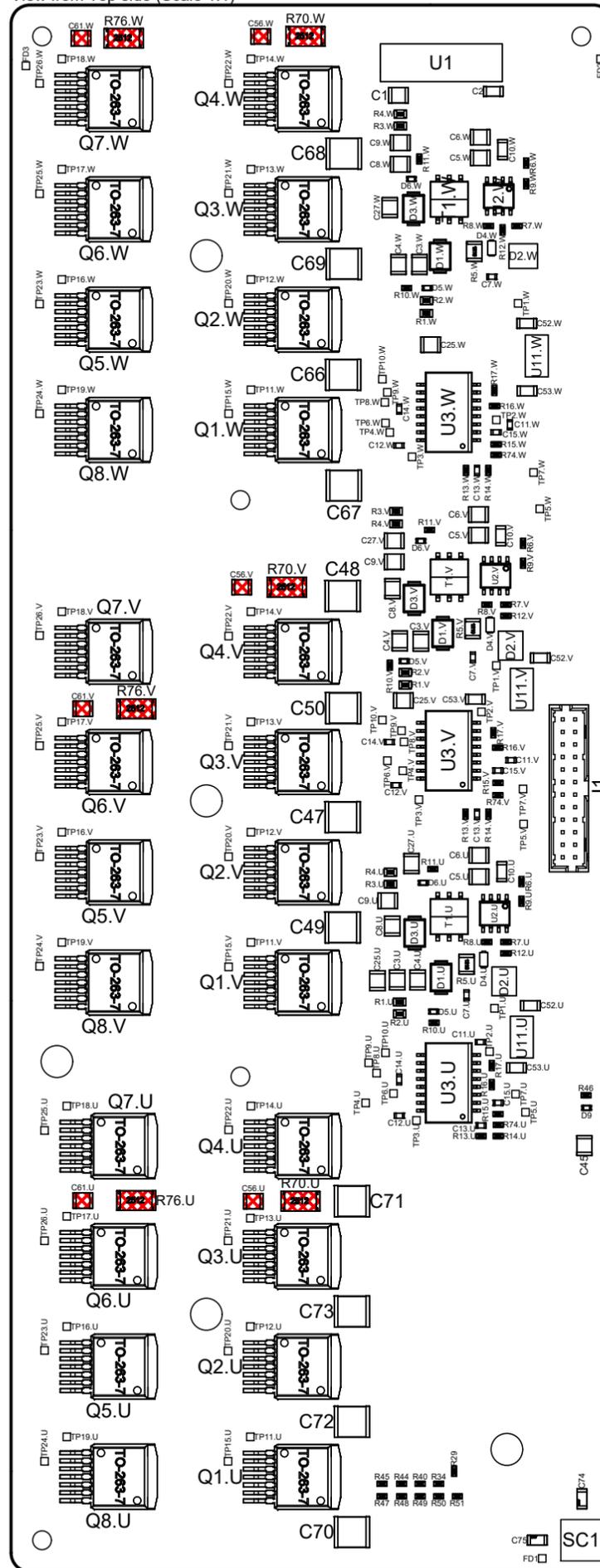
OTHERS:

- 2. DNP COMPONENTS ARE IDENTIFIED WITH RED MESHED
- 3. FOR ASSEMBLY PROCESSES FOLLOW VIEW FROM TOP SIDE (PAGE 2) AND VIEW FROM BOTTOM SIDE (PAGE 3)
- 4. TRIM ALL THRU HOLE COMPONENT LEADS TO 1.5 MM MAXIMUM

Title <b>PPU_ASSM.PCBDwf</b>		
Size: A3	Number: PPU	Created: 25/12/2022
Last Modification: 21/02/2024		Sheet 1 of 3
Author: Marco Pérez		
Checked by: Alvaro Rey		



View from Top side (Scale 1:1)



Title <b>PPU_ASSM.PCBDwf</b>		
Size: A3	Number: PPU	Created: 25/12/2022
Last Modification: 21/02/2024		Sheet 2 of 3
Author: Marco Pérez		
Checked by: Álvaro Rey		



