



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA



DEPARTAMENTO
DE INGENIERÍA
ELECTRÓNICA

UNIVERSITAT POLITÈCNICA DE VALÈNCIA

Dpto. de Ingeniería Electrónica

Diseño e Implementación de un Bandgap modular con
múltiples salidas en una tecnología CMOS 180nm

Trabajo Fin de Máster

Máster Universitario en Ingeniería de Sistemas Electrónicos

AUTOR/A: García Barrena, Jara

Tutor/a: Herrero Bosch, Vicente

CURSO ACADÉMICO: 2023/2024

Resumen

Los bandgaps son componentes imprescindibles en el desarrollo de circuitos integrados, ya que permiten obtener referencias de tensión compensadas en temperatura (y en ocasiones en variaciones del proceso) que se emplean ampliamente en muchas aplicaciones tales como convertidores AD y DA. Habitualmente su diseño se basa en el uso de transistores bipolares parásitos, sin embargo esto presenta ciertas contrapartidas tales como una mayor influencia del ruido de sustrato. En este trabajo se pretende emplear únicamente transistores CMOS en inversión débil, cuyo comportamiento es muy similar a los bipolares y permiten una mejor integración con el resto de los elementos del diseño. Por otra parte, se plantea otro objetivo novedoso, que consiste en el desarrollo del bandgap de una forma modular que permita la creación de múltiples salidas y que dichas salidas tengan la capacidad de soportar un mínimo de carga necesario para su conexión con otros elementos del diseño. Las especificaciones general del Bandgap deberán de ser similares a las de los disponibles comercialmente (en librerías IP) para una tecnología CMOS típica de 180nm.

Resum

Els bandgaps són components imprescindibles en el desenvolupament de circuits integrats, ja que permeten obtenir referències de tensió compensades en temperatura (i a vegades en variacions del procés) que s'empren àmpliament en moltes aplicacions com ara convertidors AD i DA. Habitualment el seu disseny es basa en l'ús de transistors bipolars paràsits, tanmateix això presenta unes certes contrapartides com ara una major influència del soroll de substrat. En aquest treball es pretén emprar únicament transistors CMOS en inversió feble, el comportament de la qual és molt similar als bipolars i permeten una millor integració amb la resta dels elements del disseny. D'altra banda, es planteja un altre objectiu nou, que consisteix en el desenvolupament del bandgap d'una forma modular que permeti la creació de múltiples eixides i que aquestes eixides tinguin la capacitat de suportar un mínim de càrrega necessari per a la seua connexió amb altres elements del disseny. Les especificacions general del Bandgap hauran de ser similars a les dels disponibles comercialment (en llibreries IP) per a una tecnologia CMOS típica de 180nm.

Abstract

Bandgaps components are key elements in the development of integrated circuits, since they allow to obtain temperature compensated voltage references (sometimes they also can provide process compensation) which are widely used in many applications such as AD and DA converters. Usually their design is based in parasitic bipolar transistors, however these components pick more noise from the substrate. This work aims at fully weak inversion CMOS based design with a very similar behavior to a bipolar based one but with a better integration with the rest of the design elements. On the other hand a novel objective is proposed for this work: the development of a modular scheme which allows to create several voltage outputs with a minimum driving capability to enable their direct connection to other design elements. Other general specifications should be similar to commercially available bandgaps (from IP libraries) for a 180nm CMOS technology.

RESUMEN EJECUTIVO

La memoria del TFM del MUISE debe desarrollar en el texto los siguientes conceptos, debidamente justificados y discutidos, centrados en el ámbito de la IT

CONCEPT (ABET)	CONCEPTO (traducción)	¿Cumple? (S/N)	¿Dónde? (páginas)
1. IDENTIFY:	1. IDENTIFICAR:		
1.1. Problem statement and opportunity	1.1. Planteamiento del problema y oportunidad	S	1-2
1.2. Constraints (standards, codes, needs, requirements & specifications)	1.2. Toma en consideración de los condicionantes (normas técnicas y regulación, necesidades, requisitos y especificaciones)	S	9-20
1.3. Setting of goals	1.3. Establecimiento de objetivos	S	2-3
2. FORMULATE:	2. FORMULAR:		
2.1. Creative solution generation (analysis)	2.1. Generación de soluciones creativas (análisis)	S	21-38
2.2. Evaluation of multiple solutions and decision-making (synthesis)	2.2. Evaluación de múltiples soluciones y toma de decisiones (síntesis)	S	21-38
3. SOLVE:	3. RESOLVER:		
3.1. Fulfilment of goals	3.1. Evaluación del cumplimiento de objetivos	S	39-59
3.2. Overall impact and significance (contributions and practical recommendations)	3.2. Evaluación del impacto global y alcance (contribuciones y recomendaciones prácticas)	S	61-61

Aunque esta memoria es el segundo trabajo de final de máster que presento este mes, considero injusto para todas las personas a las que tengo que reconocer su apoyo repetirles los mismos agradecimientos que les dediqué en el primero, ya que son gente que se merece recibir todas las palabras bonitas posibles, en cualquiera de sus formas y expresiones.

Gracias a mis padres, mamá y papá, por proporcionarme la mejor de las energías, por quitarme todos los agobios y por recordarme que yo podía.

Gracias a mis hermanas, Izarbe y Leyre, por cuidarme, animarme y formar conmigo el vínculo más bonito que pueda tener siempre.

Gracias a Vicente, por inspirarme a ser mejor y a valorarme, a demostrarme que valgo para lo que me gusta hacer y por ser más que un tutor, un amigo y compañero para todo.

Gracias a todos mis amigos, los de siempre y los que han aparecido este año, por ser tan especiales y darme apoyo a base de los mejores abrazos que he recibido nunca.

Gracias a todas estas personas por creer en mí, ser parte de mi confianza y animarme a continuar para alcanzar mis metas. Con este trabajo se cierra una etapa que recordaré con muchísimo cariño, tanto los momentos malos como los buenos, que fueron muchos más.

Índice general

I Memoria

1	Introducción	1
1.1	Efecto de la temperatura en semiconductores	1
1.2	Objetivos del diseño	2
1.3	Metodología y Fases del Proyecto	4
2	Estado del arte	9
3	Implementación del diseño	21
3.1	Condicionantes de diseño	21
3.2	Principio de funcionamiento	22
3.3	Arquitectura propuesta	25
3.3.1	Núcleo	25
3.3.2	Etapas de salida multitensión para cargas elevadas	27
3.3.3	Circuito de <i>Start-Up</i>	31
3.3.4	Análisis de ruido	32
3.4	Dimensionamiento de los componentes del circuito	36
3.5	Topología propuesta	38
4	Resultado de simulación	39
4.1	Compensación de corrientes	40
4.2	Tensión de salida compensada	42
4.3	Tensión de Referencia. Análisis de continua	44
4.4	Tensión de referencia. Montecarlo	46
4.5	TEMPCO. Montecarlo	48
4.6	Transitorio del circuito <i>Start-Up</i>	52
4.7	PSRR	54
4.8	Ruido. Valor Nominal	56
4.9	Ruido. Montecarlo	58
5	Conclusiones	61
6	Trabajo a futuro	63
	Bibliografía	65

Índice de figuras

1.1	Sistema de polarización a través de una corriente de referencia.	3
1.2	Flujos de diseño digital y analógico.	6
1.3	Diagrama de Gantt del proceso de realización del presente trabajo.	7
2.1	Copia de una corriente de referencia con un espejo de corriente.	10
2.2	Soluciones implementadas para conseguir una independencia con la tensión de alimentación.	10
2.3	Circuito para realizar la compensación de temperatura con dimensionamiento de BJTs y resistencia.	11
2.4	Gráfica de las tendencias de las tensiones V_{BE} de ambas ramas con la temperatura.	12
2.5	Circuito final que consigue un componente con un coeficiente en temperatura estable [4].	13
2.6	Circuito que permite establecer y fijar una tensión de salida deseada mayor.	14
2.7	Circuito que permite establecer y fijar una tensión de salida deseada menor [5].	15
2.8	Compensación del primer orden (componente lineal).	16
2.9	Gráfica del segundo orden al compensar el primer orden.	17
2.10	Compensación del segundo orden.	17
2.11	Gráfica del tercer orden al compensar el segundo orden.	18
2.12	BJT parásito formado con la unión PNP que existe dentro de la estructura interna de un MOSFET [7].	19
2.13	Cambio de topología del circuito que consigue un coeficiente en temperatura estable que utiliza transistores BJT parásitos.	19
3.1	Combinación de resistencias para obtener un determinado valor de TEMPCO deseado.	22
3.2	Circuito de un <i>bandgap</i> que se ha usado como referencia [11].	24
3.3	Lazo de realimentación de la etapa de salida del <i>bandgap</i>	27
3.4	Circuito equivalente de la red β según el tipo de realimentación.	27
3.5	Circuito de la segunda etapa del <i>bandgap</i> con la red β diseñada.	28
3.6	Respuesta en frecuencia de la impedancia de salida.	30
3.7	Circuito de <i>Start-Up</i> y conexiones con el <i>bandgap</i>	32
3.8	Modelo equivalente del núcleo formado por los transistores MP0a, MN1, MN2 y MN4.	33
3.9	Apertura del lazo del modelo equivalente del núcleo.	34
3.10	Esquemático completo del <i>bandgap</i>	38
4.1	Corriente de salida para una tensión de salida de 400mV.	40
4.2	Corriente de salida para una tensión de salida de 1V.	41

4.3	Corriente de salida para una tensión de salida de 1.4V.	41
4.4	Tensión de salida compensada de 400mV.	42
4.5	Tensión de salida compensada de 1V.	43
4.6	Tensión de salida compensada de 1.4V.	43
4.7	Tensión de referencia para una tensión de salida de 400mV.	44
4.8	Tensión de referencia para una tensión de salida de 1V.	45
4.9	Tensión de referencia para una tensión de salida de 1.4V.	45
4.10	Análisis de Montecarlo de la tensión de referencia para una tensión de salida de 400mV.	46
4.11	Análisis de Montecarlo de la tensión de referencia para una tensión de salida de 1V.	47
4.12	Análisis de Montecarlo de la tensión de referencia para una tensión de salida de 1.4V.	47
4.13	Valor del TEMPCO comercial para una tensión de salida de 400mV.	48
4.14	Valor del TEMPCO comercial para una tensión de salida de 1V.	49
4.15	Valor del TEMPCO comercial para una tensión de salida de 1.4V.	49
4.16	Valor del TEMPCO en rango extendido para una tensión de salida de 400mV.	50
4.17	Valor del TEMPCO en rango extendido para una tensión de salida de 1V.	51
4.18	Valor del TEMPCO en rango extendido para una tensión de salida de 1.4V.	51
4.19	Simulación del transitorio del circuito de <i>Start-Up</i> para una tensión de salida de 400mV.	52
4.20	Simulación del transitorio del circuito de <i>Start-Up</i> para una tensión de salida de 1V.	53
4.21	Simulación del transitorio del circuito de <i>Start-Up</i> para una tensión de salida de 1.4V.	53
4.22	Simulación del PSRR para una tensión de salida de 400mV.	54
4.23	Simulación del PSRR para una tensión de salida de 1V.	55
4.24	Simulación del PSRR para una tensión de salida de 1.4V.	55
4.25	Simulación de ruido nominal para una tensión de salida de 400mV.	56
4.26	Simulación de ruido nominal para una tensión de salida de 1V.	57
4.27	Simulación de ruido nominal para una tensión de salida de 1.4V.	57
4.28	Simulación de ruido estadístico para una tensión de salida de 400mV.	58
4.29	Simulación de ruido estadístico para una tensión de salida de 1V.	59
4.30	Simulación de ruido estadístico para una tensión de salida de 1.4V.	59

Índice de tablas

1.1	Especificaciones objetivo a conseguir con el diseño del <i>bandgap</i>	4
1.2	Características de los componentes del kit.	5
3.1	Características de los componentes del kit.	22
3.2	Valores ajustados de las resistencias R_A y R_B para conseguir una corriente I_{ZTAT}	37
3.3	Valores ajustados de la resistencia R_o para los diferentes valores de salida que se quieren alcanzar.	37
3.4	Valores establecidos para los componentes CM, CL y Rn.	37

Listado de siglas empleadas

BJT Bipolar Junction Transistor.

CMOS Complementary Metal-Oxide-Semiconductor.

GBP Gain Bandwidth Product.

LDO Low-dropout regulator.

MOSFET Metal Oxide Semiconductor Field-Effect Transistors.

NTAT Negative to Absolute Temperature.

NVM Non-Volatile Memory.

OPAMP Operational Amplifier.

PDK Process Design Kit.

PSRR Power Supply Rejection Ratio.

PTAT Positive to Absolute Temperature.

TEMPCO Temperature Coefficient.

ZTAT Zero to Absolute Temperature.

Parte I

Memoria

Capítulo 1

Introducción

En este Trabajo de Final de Máster se ha implementado un *bandgap* modular con múltiples salidas. Este tipo de circuito tiene como objetivo principal proporcionar una referencia de tensión constante con alta estabilidad térmica. Además, esta estructura se caracteriza por ser de bajo ruido.

1.1. Efecto de la temperatura en semiconductores

El circuito que se va a presentar en este trabajo resuelve una problemática bastante recurrente en los componentes o circuitos que se forman por semiconductores; la variación de sus prestaciones con respecto a la temperatura. Los semiconductores son materiales que tienen una conductividad eléctrica cuyas características se encuentran entre las de un material conductor y uno aislante. Dicha conductividad puede ser modificada mediante la adición de impurezas en un proceso llamado dopado, creando regiones con exceso de electrones (tipo n) o de huecos (tipo p). La dependencia de las características de estos elementos con la variación de la temperatura hace que el diseño y optimización de circuitos sean cruciales para garantizar un buen rendimiento y buenas prestaciones en condiciones de temperatura cambiantes.

El comportamiento de la temperatura en los componentes pasivos se suele expresar en función de un coeficiente de temperatura (ver ec. 1.1), el cual demuestra la variación en la temperatura de la resistencia o capacidad de un componente pasivo (X) en relación con la temperatura. Cabe destacar que este coeficiente suele expresarse en partes por millón de °C (ppm/°C), multiplicándolo por 10^6 [1].

$$TC_F = \frac{1}{X} \cdot \frac{dX}{dT} \quad (1.1)$$

Los principales parámetros que afectan a los dispositivos activos y que producen los cambios debidos a la temperatura son la movilidad (μ , ver ec. 1.2) y la tensión umbral (V_T , ver ec. 1.3).

$$\mu = K_\mu T^{-1,5} \quad (1.2)$$

$$v_T(T) = V_T(T_0) - \alpha(T - T_0) \quad (1.3)$$

También es interesante estudiar la tendencia de la temperatura en una unión pn. Esta, presenta una relación con la temperatura que resulta muy interesante al ser lineal, resolviendo la ecuación 1.6 (donde V_{G0} es la tensión del *bandgap* del silicio y V_t es la tensión térmica descrita en la ecuación 1.4) al mantener constante la corriente en la ecuación 1.5.

$$V_t = \frac{kT}{q} \quad (1.4)$$

$$\frac{1}{i_D} \cdot \frac{dI_D}{dT} = \frac{1}{I_s} \cdot \frac{dI_s}{dT} - \frac{V_D}{TV_t} = \frac{3}{T} + \left[\frac{V_{G0} - V_D}{TV_t} \right] \quad (1.5)$$

$$\frac{dv_D}{dT} = \frac{v_D}{T} - V_t \left(\frac{1}{I_s} \cdot \frac{dI_s}{dT} \right) = - \left(\frac{V_{G0} - V_D}{T} \right) - \frac{3V_t}{T} \quad (1.6)$$

Así como los componentes activos varían su comportamiento con la temperatura, los activos también pueden sufrir este efecto. Las resistencias compuestas de polisilicio ofrecen un coeficiente de temperatura muy elevado, lo que se traduce en una gran inestabilidad de prestaciones conforme varía la temperatura. En cambio, en resistencias fabricadas con metal, el TEMPCO es muy bajo, por lo que pueden considerarse bastante más estables en temperatura. Por último, las capacidades, si bien tienen una delgada capa de dieléctrico en su estructura, basado en óxido de silicio, están compuestas en su mayoría por metal, por lo que también se consideran elementos robustos ante las variaciones de temperatura.

Como en este diseño se va a hacer uso de resistencias hechas de polisilicio, habrá que buscar y formar combinaciones de distintas resistencias cuyos TEMPCOs se cancelen entre ellos, de manera que se consiga una estructura lo más estable posible en temperatura.

Otro parámetro que afecta a los semiconductores a parte de la temperatura es el ruido. Este ruido se genera a causa de las pequeñas fluctuaciones de la señal analógica dentro de los propios componentes. Dichas fluctuaciones provocan una dispersión en las magnitudes de tensión y corriente de los dispositivos, añadiendo una incertidumbre que limitará la relación señal a ruido (SNR) que puede alcanzarse en un diseño analógico.

1.2. Objetivos del diseño

La polarización es un proceso elemental aplicado a circuitos integrados que permite que estos funcionen correctamente. Las diferentes estructuras de un circuito pueden ser polarizadas directamente por corriente, la cual debe permitir que el circuito permanezca constante ante variaciones de temperatura para que los posibles desajustes provocados por estos cambios no se propaguen por el circuito. Hay que tener en cuenta que la corriente destinada a polarizar el circuito debe ser de tipo PTAT (evoluciona de manera positiva con la temperatura), ya que, como se ha explicado en el apartado anterior, la movilidad (ver ec. 1.2) tiene una tendencia negativa con la temperatura, y dicho parámetro se relaciona proporcionalmente a su raíz con la componente gm de los transistores a polarizar. Es decir, la *gm* tiene una tendencia negativa con la temperatura, por lo que se utiliza en los transistores una corriente positiva para poder compensar en temperatura los comportamientos de ambas partes.

Los *bandgaps* son capaces de llegar a este objetivo y, por ello, son utilizados como referencia de

corriente para llevar a cabo los procesos de polarización descritos. A partir de dicha referencia, se forman espejos de corriente utilizando MOSFETs en configuración diodo.

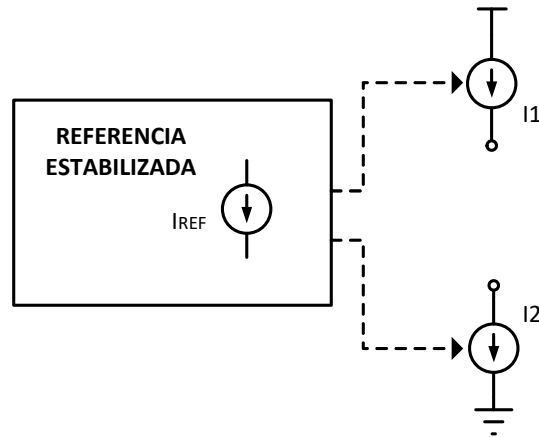


Figura 1.1: Sistema de polarización a través de una corriente de referencia.

Se pretende diseñar una estructura que se comporte como un *bandgap*, proporcionando, además de una corriente de polarización PTAT, una referencia de tensión constante ante variaciones de temperatura e independiente ante parámetros como la tensión de alimentación o incluso las desviaciones del proceso de fabricación. En la implementación de este circuito se buscará alcanzar una serie de características con el fin de conseguir el comportamiento deseado.

En primer lugar, el circuito será modular, es decir, se dividirá en dos partes diferenciadas: la primera se comportará como el núcleo del sistema, el cual proporcionará una corriente de tipo *zta* (coeficiente de temperatura nulo), que se copiará en la segunda parte del circuito. Cabe destacar que, aunque esta corriente no se utilice directamente, podría llegar a ser útil en otro tipo de aplicaciones (como en los DACs) pudiendo llegar a sacarse como otra posible salida de la célula. También se puede obtener de esta parte del circuito una corriente de tipo PTAT que se puede utilizar como referencia para el proceso de polarización antes explicado. La siguiente etapa será la encargada de producir la tensión de referencia de salida compensada y protegida ante cualquier carga que pueda conectarse a ella. La etapa en sí misma se compone de una realimentación que funciona como un *buffer*, haciendo que la salida no se vea afectada por las cargas que se conecten. Es importante tener en cuenta que este *buffer* debe añadirse como parte del circuito para que pueda estar compensado en temperatura igualmente. Otro de los objetivos del circuito es tener varias referencias de tensión, por lo que la segunda etapa explicada se replicará tantas veces como salidas se quiera tener. Se han establecido como salidas a diseñar las tensiones 0.4V, 1V y 1.4V.

Además, se ha optado por utilizar componentes MOSFETs y no BJT (como es habitual usar en este tipo de estructuras) ya que ayudan a mejorar las prestaciones del circuito, como se explicará más adelante.

En la Tabla 1.1 se muestran las especificaciones iniciales y objetivo que se van a buscar al diseñar el circuito presentado en este trabajo. Tal y como se ha explicado en el apartado anterior, se han fijado como especificaciones los fenómenos que afectan al comportamiento de los semiconductores: temperatura y ruido.

Especificación	Valor	Unidades
Coefficiente de temperatura (TEMPCO)	100	ppm/°C
Ruido	500	μV_{rms}

Tabla 1.1: Especificaciones objetivo a conseguir con el diseño del *bandgap*.

1.3. Metodología y Fases del Proyecto

La metodología llevada a cabo en este trabajo para conseguir el diseño de altas prestaciones presentado sigue un flujo de diseño típico utilizado en un proyecto de microelectrónica.

En primer lugar, hay que diferenciar entre un diseño microelectrónico digital y uno analógico, ya que, dependiendo del diseño en el que se quiera trabajar, el flujo de diseño a seguir es presenta diferencias fundamentales (ver Fig. 1.2).

El diseño en un dominio digital se realiza de una manera más automática. Se utilizan lenguajes de descripción de hardware (*HDL*) para modelar el sistema digital desde distintos niveles de abstracción, bien a alto nivel o a bajo nivel (código RTL, *Register Transfer Layer*). A través de un proceso de síntesis automático, se traduce dicho código en puertas lógicas. Por último, se genera una implementación física (proceso automatizado de extracción) para realizar el *tape out* (fabricación del diseño).

Sin embargo, en el dominio analógico el circuito a diseñar se implementa desde cero, es decir, no existe ningún proceso de trabajo automático. En primer lugar y antes de utilizar software, se plantea una primera propuesta de topología de circuito que se prevé pueda cumplir las especificaciones del diseño. Para esta fase se realiza una revisión bibliográfica y en caso de ser necesario, se plantean alternativas originales que puedan mejorar las existentes en algún aspecto. Posteriormente se establecen las ecuaciones de la topología en los distintos ámbitos de funcionamiento (AC, DC, gran señal etc.). Dichas ecuaciones permitirán ligar las especificaciones del diseño con el dimensionamiento, en términos de geometría y niveles de polarización, de los distintos componentes del mismo, tanto activos como pasivos. Después, el diseño se lleva a la herramienta de CAD y se estudia su comportamiento real a través de herramientas de simulación; tanto simulaciones con valores nominales, como simulaciones que estudiando los posibles resultados que se pueden encontrar tras el proceso de fabricación. Estas últimas jugarán un gran papel a la hora de estudiar el comportamiento del circuito diseñado en este trabajo, pudiendo ser de tipo *corner* o estadísticas. La simulación de *corners* pretende evaluar las variaciones extremas del proceso de fabricación bajo todas las condiciones posibles, incluyendo temperaturas a lo largo del rango de uso comercial. En el caso de las simulaciones estadísticas (como Montecarlo) que consiste en definir un modelo con variables de entrada, asignar distribuciones de probabilidad a estas variables, y luego realizar numerosas iteraciones en las que se muestrean aleatoriamente los valores de las variables para calcular el resultado del modelo.

Una vez comprobado que el esquemático funciona como se espera, el siguiente paso consiste en la elaboración de *layout*, basado en una estructura *common centroid* para que se consiga un buen *matching* entre os componentes y el diseño funcione correctamente. Una vez comprobado que el esquemático funciona como se espera, el siguiente paso consiste en la elaboración del *layout*. En este paso, es muy importante intentar minimizar los efectos de la dispersión de los valores nominales de los componentes debido al proceso de fabricación. Con esa finalidad se emplearán estructuras basada en el principio *common centroid* que permiten conseguir un buen *matching* entre los

distintos componentes, optimizando el funcionamiento del diseño.

Las herramientas utilizadas a lo largo del circuito presentado en esta memoria son el *Virtuoso Schematics* para la realización de esquemáticos y el *Spectre* y *ADEXL* para la simulación de resultados (nominales y estadísticas, respectivamente). Una funcionalidad característica del Virtuoso de Cadence es que permite trabajar de manera jerárquica, es decir, se pueden crear librerías donde se van diseñando distintas células independientes. Dentro de esas células, es posible crear diferentes vistas (esquemático, simulación, *layout*...) que trabajan con dicha célula realizando distintas acciones, lo que permite mantener un orden y coherencia en el diseño. En el caso del *layout* se utiliza el *Virtuoso Layout*, el cual dispone de herramientas de verificación física (*PVS - DRC*) y de extracción automática (*Quantus - QRC*).

Todas estas herramientas funcionan con la información que proporciona el kit de diseño de fabricación (PDK) que indica las reglas de diseño y fabricación indicadas por la fundición. En este trabajo se ha utilizado el PDK XP018 1.8V/5V de XFAB. El proceso XP018 es una tecnología modular CMOS de señal mixta analógica de alto rendimiento de $0,18\mu\text{m}$. Este PDK se basa en un proceso estándar industrial de un solo polisilicio con hasta seis capas metálicas de $0,18\mu\text{m}$ de puerta. Emplea un pozo de tipo N (N-well), e integra módulos de alto voltaje y memoria no volátil (NVM), la plataforma está diseñada para aplicaciones que necesitan una solución integrada y un proceso rentable para circuitos integrados de alto rendimiento [2]. En cuanto a los componentes característicos en este kit, se pueden encontrar en la Tabla 1.2.

Componente	Características
Transistores	12V - 60V HV
Resistencias	Medium R P-doped polysilicon 960ohm/sq
Resistencias	HR P-doped polysilicon 6.7kohm/sq
Condensadores	MIM ($1\text{fF}/\mu\text{m}^2$) o MIMH ($2.3\text{fF}/\mu\text{m}^2$)
Memorias	EEPROM (basadas en SONOS)

Tabla 1.2: Características de los componentes del kit.

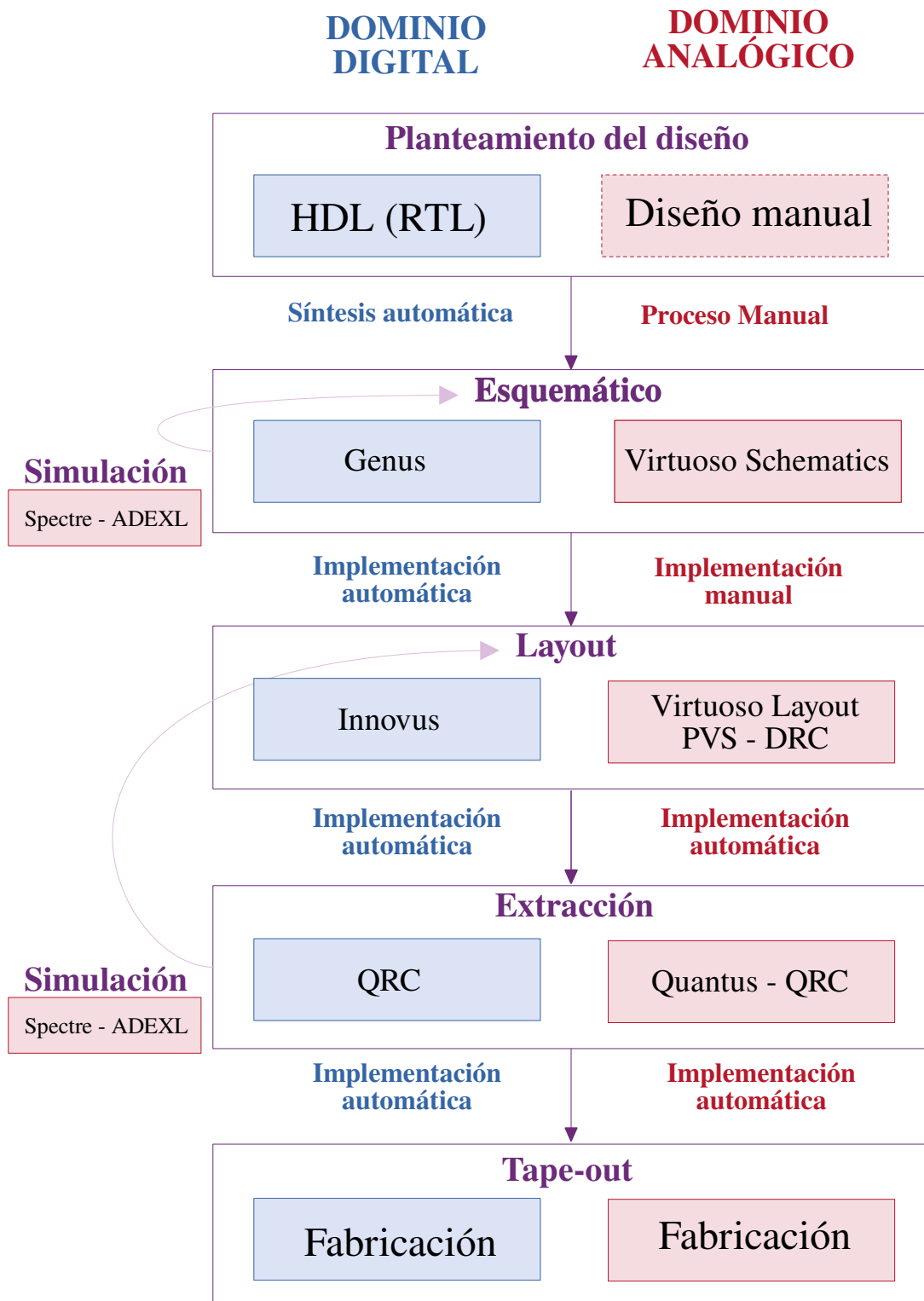


Figura 1.2: Flujos de diseño digital y analógico.

Teniendo en cuenta la metodología descrita anteriormente, se pueden definir de manera clara y concisa las diferentes fases del proyecto que se han seguido para alcanzar el objetivo establecido con las especificaciones iniciales.

Documentación y Bibliografía

- Búsqueda de información sobre *bandgaps* y posibles estructuras.
- Búsqueda de información sobre el estudio de la compensación en temperatura.

Proceso de diseño del circuito

- Planteamiento teórico del circuito: análisis de bloques y planteamiento de ecuaciones generales y de las diferentes etapas.

Esquemático y simulación en Virtuoso

- Esquemático de la estructura planteada del *bandgap*.
- Búsqueda de valores para sacar tres salidas compensadas en temperatura: 0.4V, 1V y 1.4V.
- Simulación de valores nominales del esquemático.
- Simulación de *corners*.
- Simulación estadística de tipo Montecarlo.

Redacción

- Redacción de la memoria del proyecto, la cual demuestre todo el trabajo realizado.
- Procesamiento de datos y elaboración de esquemáticos para complementar las explicaciones de la memoria, haciendo uso del software Visio.

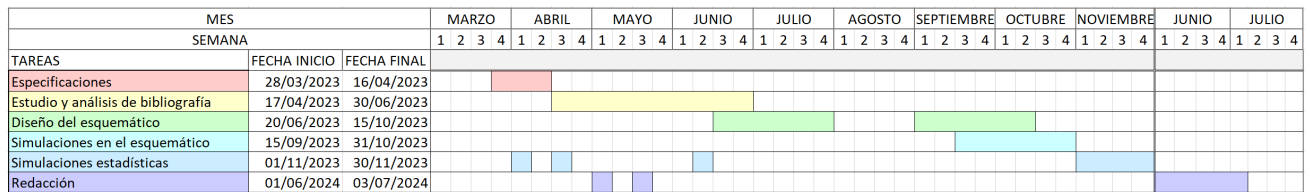


Figura 1.3: Diagrama de Gantt del proceso de realización del presente trabajo.

Capítulo 2

Estado del arte

Los *bandgaps* son estructuras que proporciona una tensión de salida constante con la temperatura y de las que se puede obtener también una componente de corriente de referencia constante PTAT para permitir una polarización independiente de la temperatura. Además, se busca que estos tipos de componentes también sean independientes a la tensión de alimentación del circuito y al proceso de fabricación. Si bien esta última es más difícil de conseguir, la independencia a la alimentación puede conseguirse implementando distintas soluciones.

En la Figura 2.1 se muestra un espejo de corriente que copia una corriente de referencia generada en una resistencia. Este circuito no es independiente a la alimentación, ya que si Vdd llegara a cambiar de valor, la corriente también lo haría. Si se implementa el mismo espejo pero realimentado (ver Fig. 2.2a), sí se consigue que la alimentación quede aislada de la corriente al estar esta encerrada en el lazo formado por la realimentación. Sin embargo, el problema reside en que no se puede fijar la corriente, por lo que no se sabe con qué corriente se podrá trabajar. La única manera de fijar la corriente consistiría en introducir un interruptor que proporcionara al circuito una corriente establecida, y rápidamente se cerrara para dejar a la corriente capturada en el bucle (formando un *latch* de corriente), lo cual no es fácil de implementar.

Otra solución en la que se podría fijar la corriente de manera más sencilla sería la mostrada en la Figura 2.2b. La resistencia fija la corriente deseada (ver ec. 2.2) y se consigue controlar este parámetro, haciendo que, en el caso de que la alimentación varíe, la corriente se mantenga constante. En cambio, en este circuito no se consigue una independencia con la temperatura, ya que ésta afecta a varios de los parámetros descritos en la ecuación 2.2.

$$V_{GS4} = V_{GS3} + I_{out}R_s \quad (2.1)$$

$$I_{out} = \frac{2}{K_{pp}(W/L)_4} \frac{1}{R_S^2} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad (2.2)$$

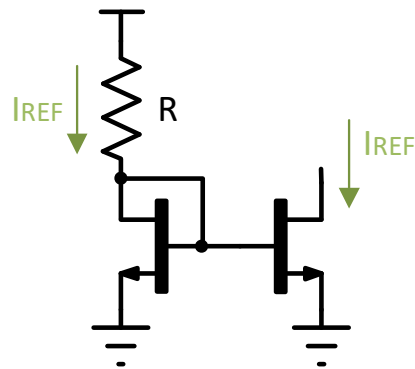
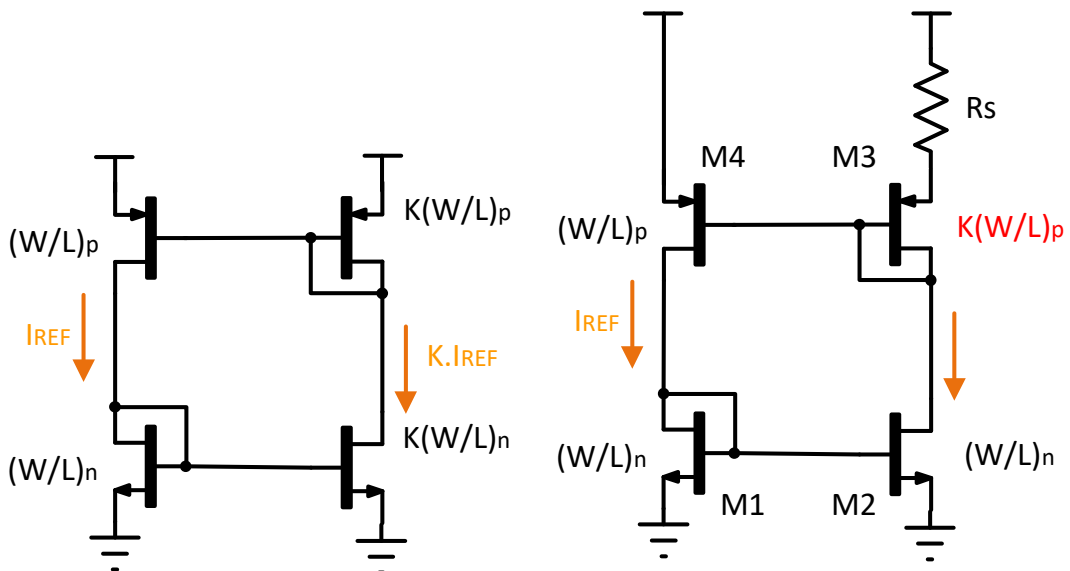


Figura 2.1: Copia de una corriente de referencia con un espejo de corriente.



(a) Realimentación de un espejo de corriente.

(b) Realimentación de un espejo de corriente con una resistencia.

Figura 2.2: Soluciones implementadas para conseguir una independencia con la tensión de alimentación.

Para conseguir un circuito del que se pueda obtener una tensión constante en temperatura, es necesario disponer de un componente con un coeficiente en temperatura estable y conocido, a ser posible con una buena linealidad. Un transistor bipolar (BJT) ofrece una V_{BE} con una dependencia en temperatura muy precisa y de tendencia negativa, operando a corriente de colector constante, la cual es muy parecida a la de un diodo (ver ec. 1.6).

En primer lugar, se plantea el circuito de la Figura 2.3, el cual consta de dos ramas con dos BJT, por las que pasa una determinada corriente. En una de las ramas se ha añadido una resistencia con la que poder generar una caída de tensión de la que se podrá aprovechar su tendencia también. A la hora de fijar las caídas de tensión en ambas ramas, hay que tener en cuenta que por la rama que contenga la resistencia, la V_{BE} deberá ser menor que la del transistor de la rama opuesta, ya que la misma caída de tensión tendrá que ser repartida por las ramas de manera equitativa (en una se tiene que tener en cuenta la caída de tensión de la resistencia y en otra no). Por ello, se puede establecer la corriente de dos formas distintas; se puede hacer pasar una corriente I por la rama sin resistencia, y una corriente I/n por la rama con la resistencia, o hacer pasar por ambas ramas la misma corriente, pero dimensionando el BJT con la resistencia de manera correcta. Cabe destacar que el dimensionamiento de corriente en un BJT es diferente al que se puede realizar en un MOSFET. En la Figura 2.3 se puede observar una estructura que implementa n BJT en paralelo, de manera que la corriente se repartirá por los n caminos que forman los colectores de los bipolares, consiguiendo rebajar la corriente n veces, tal y como quiere conseguirse en la rama del BJT con la resistencia.

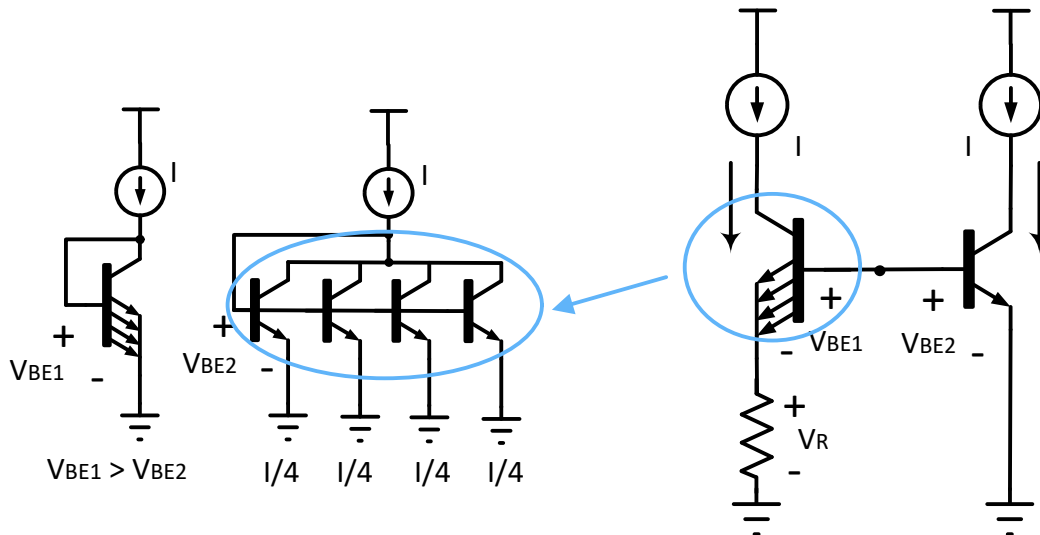


Figura 2.3: Circuito para realizar la compensación de temperatura con dimensionamiento de BJTs y resistencia.

Como ya se ha explicado, la tensión V_{BE} tiene una tendencia NTAT con la temperatura, por lo que se necesitará otra tendencia positiva que la contrarreste para poder obtener la tensión compensada. Al ser la corriente de una rama menor que la otra, las V_{BE} variarán en temperatura como lo mostrado en la gráfica 2.4 (a mayor corriente, mayor dependencia con la temperatura). cabe destacar que si se extrapola la relación entre V_{BE} y la temperatura hasta $0K$, las curvas tiene un origen común en $V_{BE} \approx 1,238V$. Como puede observarse, la diferencia entre ambas es positiva y creciente con la temperatura (ver ec. 2.5), por lo que la caída en la resistencia será PTAT y, por consiguiente, la corriente que pase por la misma también (ver ec. 2.6). Teniendo una tendencia positiva en corriente, y otra negativa en tensión, se puede conseguir una tensión compensada al combinar ambas tendencias.

Añadiendo una segunda resistencia (ver Fig. 2.5) por la que pase dos veces la corriente PTAT que

pasa por una rama (ver ec. 2.7), se consigue una tensión PTAT, que sumada a la tensión V_{BE2} puede conseguirse la compensación en la tensión alcanzada en el punto x, que sigue la expresión mostrada en la ecuación 2.8 (haciendo uso de un operacional) [3].

Cabe destacar que esta solución presenta dos lazos de realimentación; uno negativo, formado por el transistor Q2 y el terminal positivo y salida del OPAMP y uno positivo formado por el transistor Q1, con la R1, y el terminal negativo y salida del OPAMP. El lazo de realimentación negativa presenta una ganancia mayor (ver ec. 2.3) que la realimentación positiva (ver ec. 2.4), por lo que el sistema asegura que nunca podrá llegar a un estado de inestabilidad.

$$A_- = -\frac{R}{R_2} \quad (2.3)$$

$$A_+ = \frac{R}{R_1 + R_2} \quad (2.4)$$

$$V_{R1} = V_{BE2} - V_{BE1} \rightarrow PTAT \quad (2.5)$$

$$I_{R1} = \frac{V_{R1}}{R_1} \rightarrow PTAT \quad (2.6)$$

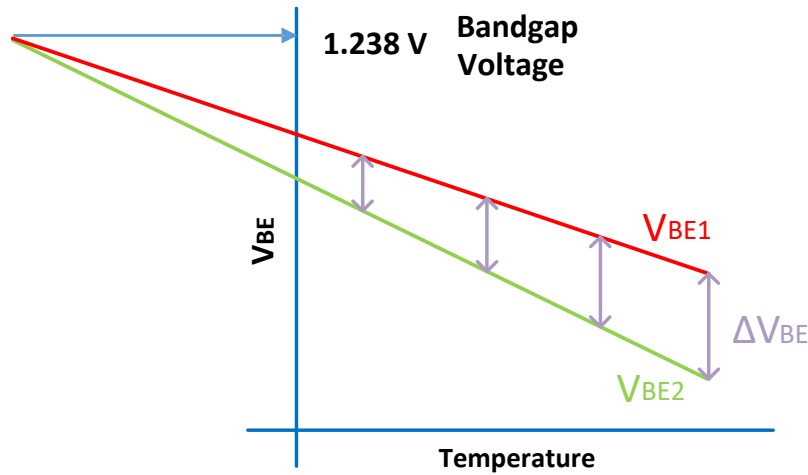


Figura 2.4: Gráfica de las tendencias de las tensiones V_{BE} de ambas ramas con la temperatura.

$$I_{R2} = I_{R1} + I_C \approx 2I_C \quad (2.7)$$

$$V_{out} = V_{BE2} + V_{R2} = V_{BE2} + 2\frac{\Delta V_{BE}}{R_1} R_2 \quad (2.8)$$

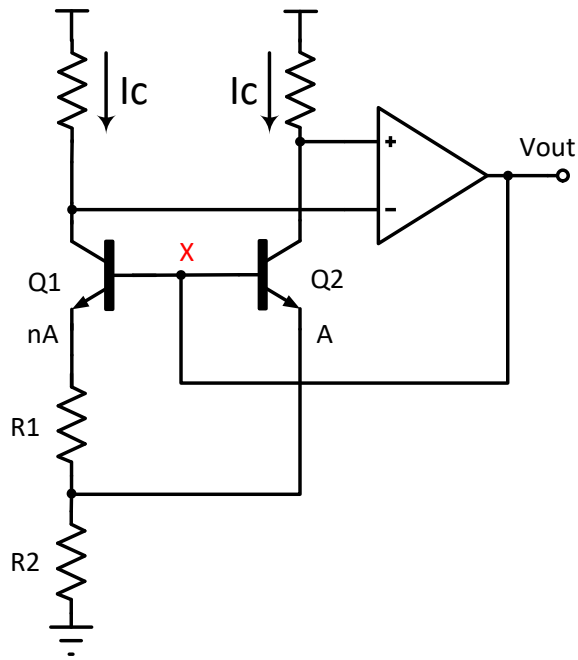


Figura 2.5: Circuito final que consigue un componente con un coeficiente en temperatura estable [4].

Cabe destacar que el circuito presentado proporciona una tensión constante en temperatura pero su valor no puede fijarse o modificarse. Es posible introducir una serie de modificaciones que permitan controlar dicha tensión de salida, y configurarla a un valor específico de interés.

En la Figura 2.6 se presenta el circuito anteriormente analizado, al que se le ha añadido un divisor resistivo a la salida del OPAMP, formado por las resistencias R3 y R4. Al añadir a la ecuación anterior 2.8 el efecto de dichas resistencias, se obtiene una nueva ecuación que define la tensión resultante de aplicar el divisor (ver ec. 2.9). A partir de esta ecuación, se puede deducir la expresión de la V_{out} de salida compensada (ver ec. 2.11), con la que se puede comprobar que la tensión resultada puede configurarse a partir de las resistencias del divisor y, además, la tensión siempre será mayor que la que se puede obtener en el circuito 2.5.

$$V_{outR} = V_{BE2} + V_{R2} = (V_{BE2} + 2 \frac{\Delta V_{BE}}{R_1} R_2) \cdot (1 + \frac{R_3}{R_4}) \quad (2.9)$$

$$V_{out} - V_{outR} = 2I_B \cdot R_3 \quad (2.10)$$

$$V_{out} = (V_{BE2} + 2 \frac{\Delta V_{BE}}{R_1} R_2) \cdot (1 + \frac{R_3}{R_4}) + 2I_B \cdot R_3 \quad (2.11)$$

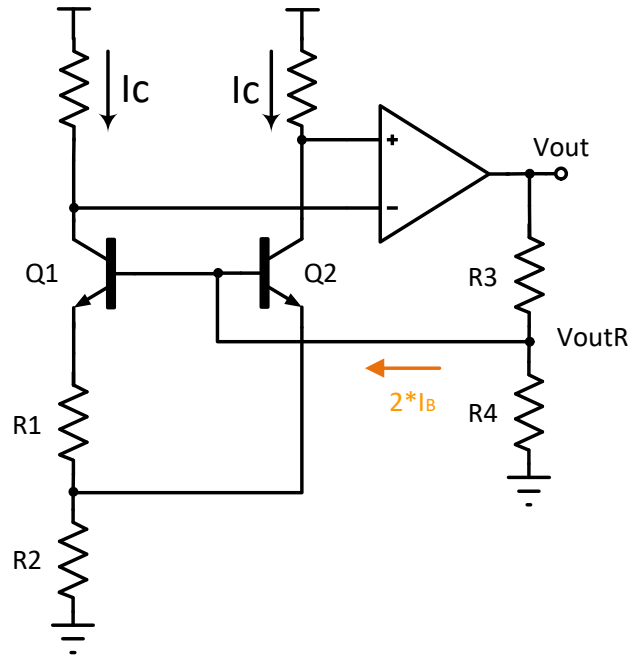


Figura 2.6: Circuito que permite establecer y fijar una tensión de salida deseada mayor.

Por otra parte, el circuito de la Figura 2.7 permite conseguir una tensión configurable menor [5]. Esta estructura añade las resistencias R1 y R2 para crear corrientes I_{1b} e I_{2b} de tipo NTAT a partir de las tensiones V_a y V_b (de tipo NTAT, ver ec. 2.12) que combinadas con las ya obtenidas corrientes I_{1a} e I_{2a} PTAT (del ejemplo anterior) consiguen proporcionar una corriente compensada, ya que se diseña para tener coeficientes con el mismo módulo pero signo contrario (ver ec. 2.13). Las sumas de los pares de las corrientes a y b son recogidas a través de los transistores M1 y M2 (se obtiene la misma corriente compensada por todas las ramas, ver ec. 2.14) que junto con el OPAMP forman un lazo de realimentación que garantiza el funcionamiento del *bandgap*. El transistor M3 actúa como un espejo de corriente de copia (y escala si es necesario) la corriente de M1 y M2 inyectándola en R4 para generar la tensión de salida compensada.

$$V_a = V_b = V_T \cdot \ln \frac{I_{1a}}{I_s} \rightarrow NTAT \quad (2.12)$$

$$I_{1a} = I_{2a} = \frac{V_T}{R_3} \ln n \rightarrow PTAT \quad , \quad I_{1b} = I_{2b} = \frac{V_{F1}}{R_2} \rightarrow NTAT \quad (2.13)$$

$$I_{out} = I_{M2} = I_{M1} = I_{1a} + I_{2b} = \frac{V_T}{R_3} \ln n + \frac{V_{F1}}{R_2} \quad (2.14)$$

$$V_{out} = I_{out} R_4 \quad (2.15)$$

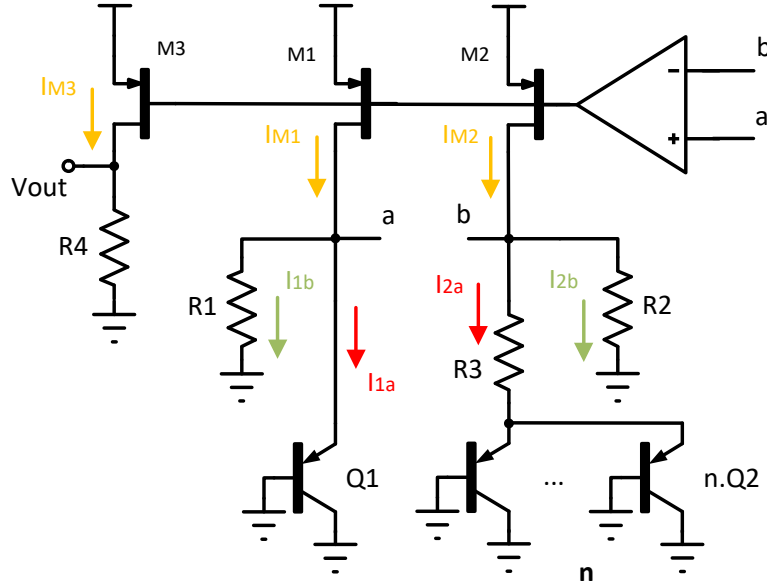


Figura 2.7: Circuito que permite establecer y fijar una tensión de salida deseada menor [5].

Hasta este punto, para conseguir una compensación en temperatura se ha presentado como solución una idea basada en combinar un comportamiento PTAT con uno NTAT, de manera que estas tendencias se cancelen y obtener un TEMPCO nulo. En la práctica, no es posible obtener un comportamiento totalmente igual en ambas tendencias, ya que estas componentes sufren una distorsión no lineal (curvatura del *bandgap*), y la V_{BE} no es una magnitud que evolucione linealmente. De la ecuación real de la tensión V_{BE} (ver ec. 2.16), se puede deducir otra expresión (ver ec. 2.17) donde se diferencien dos partes importantes: la componente lineal y la componente no lineal [6].

$$V_{BE}(T) = V_{G0}\left(1 - \frac{T}{T_f}\right) + V_{BE}(T_f)\frac{T}{T_f} - \rho\frac{kT}{q}\ln\frac{T}{T_f} + \frac{kT}{q}\ln\frac{I_C(T)}{I_C(T_f)} \quad (2.16)$$

$$V_{BE}(T) = V_{lineal}(T) + V_{nolineal}(T) \quad (2.17)$$

$$V_{lineal}(T) = V_{G0} + (V_{BE}(T_f) - V_{G0})\frac{T}{T_f} \quad (2.18)$$

$$V_{nolineal}(T) = (\rho - \emptyset)\frac{kT}{q}\ln\frac{T}{T_f} \quad (2.19)$$

Aplicando este nuevo enfoque de V_{BE} , el desarrollo presentado del circuito 2.5 puede modificarse, de manera que se introduzca a su comportamiento la componente no lineal que caracteriza a la V_{BE} .

$$V_{out} = V_{BE2} + 2\frac{\Delta V_{BE}}{R_1}R_2 = V_{BE2} + 2\frac{R_2}{R_1}V_T \ln n \quad (2.20)$$

$$V_{out}(T) = V_{G0} + V_{ntat} + V_{ptat} - V_{nolineal} \quad (2.21)$$

Se diseñará el circuito de manera que las componentes lineales PTAT y NTAT se anulen, y la tensión de salida depende únicamente de la componente no lineal:

$$V_{ntat} + V_{ptat} = (V_{BE}(T_f) - V_{G0}) \frac{T}{T_f} + 2 \frac{R_2}{R_1} V_T \ln n \rightarrow \text{se anulan} \quad (2.22)$$

$$V_{nonlineal} = (\rho - \emptyset) \frac{kT}{q} \ln \frac{T}{T_f} \quad (2.23)$$

La expresión 2.23 tiene un comportamiento complejo formado por distintos órdenes, cuyo efecto en el mecanismo de compensación es difícil de visualizar.

Por ello, se plantea otra forma de representar la expresión de V_{BE} empleando una aproximación por serie de Taylor (ver ec. 2.24), con la que se puede identificar de manera diferenciada los términos que se corresponden a cada orden.

$$V_{BE}(T) = a_o + b_o(T - T_o) + c_o(T - T_o)^2 + \dots + n_o(T - T_o)^n \quad (2.24)$$

El término que viene dado por el coeficiente b_o es el término de primer orden. Teniendo en cuenta el desarrollo llevado a cabo anteriormente, dicho término se correspondería a la parte lineal (ver ec. 2.18) que, haciendo uso del diseño, podría llegar a compensarse (ver Fig. 2.8).

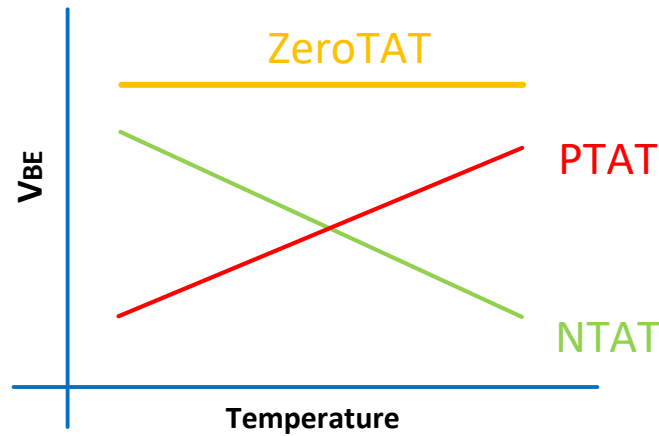


Figura 2.8: Compensación del primer orden (componente lineal).

Al eliminar el primer orden de la ecuación 2.24, las componentes que definen la V_{BE} son el segundo orden y siguientes, los cuales ya son partes no lineales de la expresión, por lo que se corresponderían con el comportamiento del resultado obtenido en el anterior desarrollo (ver ec. 2.23). Como el término predominante en la ecuación sería, en este punto, el segundo orden, la respuesta de V_{BE} mostraría el comportamiento de esta componente (ver Fig. 2.9a). En el caso de no conseguir una compensación lineal total como la mostrada en la Figura 2.8 (consiguiendo una ZTAT), el segundo orden se mostrará como en la Figura 2.9b.

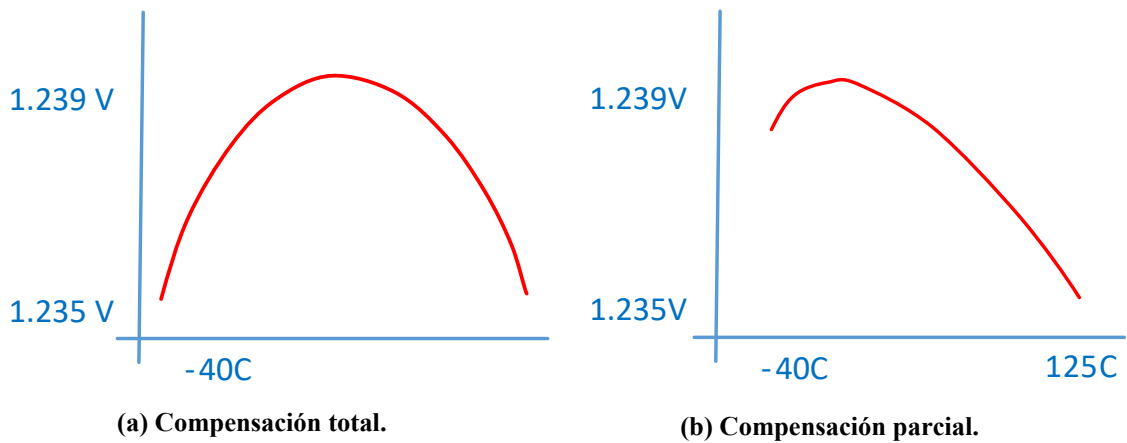


Figura 2.9: Gráfica del segundo orden al compensar el primer orden.

Siguiendo el mismo razonamiento que en la compensación del primer orden, se podría compensar el segundo consiguiendo sumar otro segundo orden con el mismo módulo pero signo contrario. Esta tendencia opuesta puede conseguirse añadiendo al circuito 2.5 una resistencia con un coeficiente de temperatura propio diferente a cero (hasta ahora, en todos los desarrollos se ha supuesto que las resistencias empleadas eran ideales y constantes en temperatura). Para compensar el segundo orden con tendencia negativa mostrado en la gráfica 2.9a, se debería introducir una resistencia de TEMPCO cóncavo (positivo de segundo orden) (ver Fig. 2.10a).

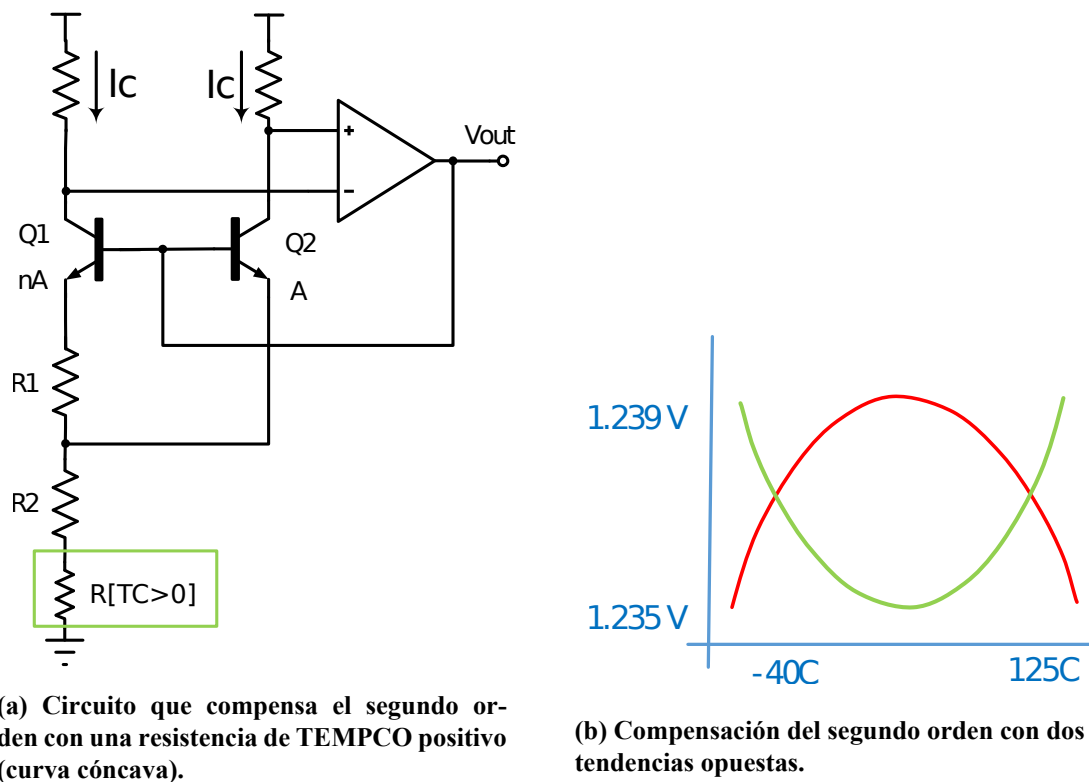


Figura 2.10: Compensación del segundo orden.

De la misma manera que al compensar el término lineal, en la gráfica se podía observar la influencia principal del segundo orden, al compensar este último con la gráfica mostrada en 2.10b se pasa a observar la siguiente componente, la de tercer orden (ver Fig. 2.11). Es importante prestar especial atención al eje de las gráficas que describe el rango de tensión de los órdenes representados. A mayor orden, el rango de tensiones es menor y, por tanto, la tensión está más compensada en temperatura.

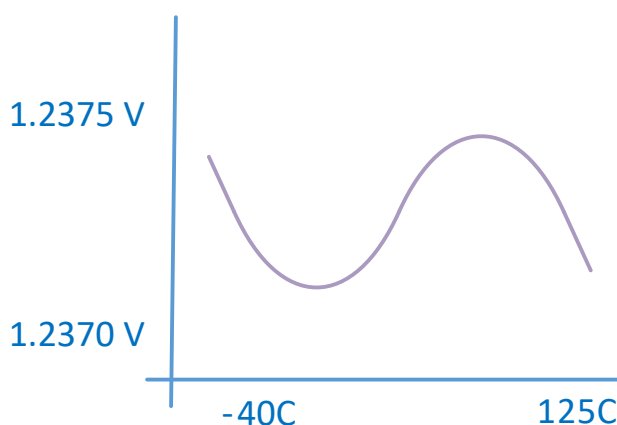


Figura 2.11: Gráfica del tercer orden al compensar el segundo orden.

Las estructuras anteriormente presentadas consiguen proporcionar a su salida una tensión constante con la temperatura, pero según su configuración, también introducen una serie de problemas que pueden afectar al comportamiento del circuito y las demás prestaciones que ofrece.

Por una parte, el uso de un OPAMP tiene una serie de inconvenientes que se han de tener en cuenta. El más importante de ellos es el *offset* que aparece entre los terminales del operacional. En el circuito 2.5, esta diferencia de tensión puede causar un desbalanceo de las corriente I_C y, al no ser iguales, no poder llegarse a dar la compensación de la tensión de salida. Existen algunos circuitos que consiguen solucionar este problema [7], pero en este trabajo se ha optado por no utilizar el OPAMP debido a que, a parte del problema del *offset*, también puede acarrear valores elevados de ruido. Además, se busca diseñar una estructura que pueda “autopolarizarse”, es decir, comenzar a funcionar por ella misma (proporcionándose una corriente que le permita encenderse) y polarizarse de manera correcta sin utilizar una referencia como las anteriormente explicadas.

Por otra parte, diseñar circuitos basados en transistores bipolares (BJTs) como los empleados en las estructuras de compensación ya analizadas, puede traducirse en un problema si se quiere fabricar el circuito utilizando tecnología CMOS. El número de máscaras necesarias para crear un transistor bipolar incrementa mucho la complejidad del proceso y su coste.

Una posible solución sería aprovechar la unión PNP de un MOSFET para formar un BJT parásito (ver Fig. 2.12), aprovechando el pozo y el contacto de sustrato. Sin embargo, para que funcione, es necesario conectar la base y el colector a tierra, por lo que habría que introducir una serie de modificaciones en el circuito 2.5 para poder utilizar los BJTs parásitos. La Figura 2.13 muestra este cambio de topología.

Considerando que las dos resistencias R_1 y R_2 son iguales, se puede deducir la expresión de V_{out} del circuito presentado (ver ec. 2.20). Dicha ecuación es similar a la obtenida en el caso del uso de

BJT comunes (ver ec. 2.26) por lo que se demuestra que con la utilización de transistores bipolares parásitos también se puede conseguir una compensación en temperatura.

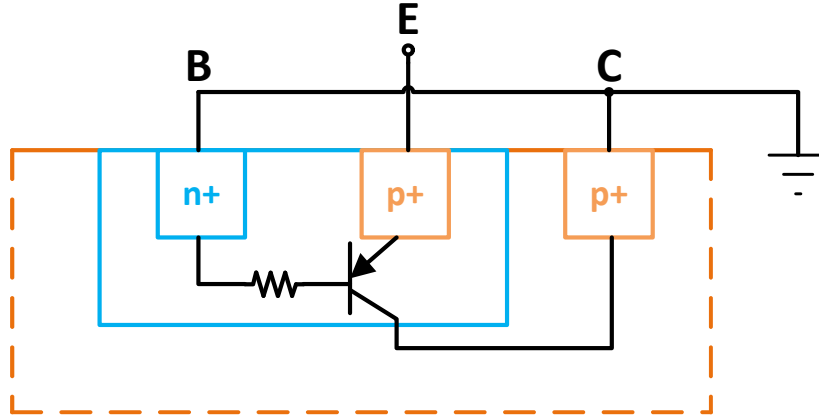


Figura 2.12: BJT parásito formado con la unión PNP que existe dentro de la estructura interna de un MOSFET [7].

$$V_{BE1} - V_{BE2} = V_T \ln n \quad (2.25)$$

$$V_{out} = V_{BE1} + V_T \ln n \frac{R_2}{R_3} \quad (2.26)$$

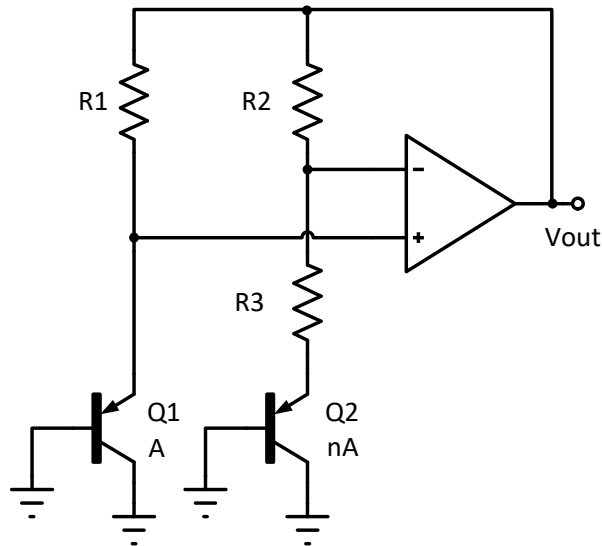


Figura 2.13: Cambio de topología del circuito que consigue un coeficiente en temperatura estable que utiliza transistores BJT parásitos.

No obstante, el aprovechamiento de esta unión PNP tiene un gran inconveniente, ya que el ruido proveniente del resto del circuito tiene una gran influencia sobre esta estructura al poder introducirse por el contacto del sustrato hacia el pozo, provocando que el *bandgap* capture interferencias de otras partes del diseño y las envíe a su salida.

Por ello, se ha optado por utilizar en el diseño de este trabajo un circuito basado en dispositivos MOSFETs únicamente para evitar los problemas y complejidad que supone usar los BJT parásitos. Si se consigue un índice de inversión adecuado (muy débil, ver ecs. 2.27 y 2.28) en los transistores MOSFET, estos pueden llegar a tener un comportamiento muy similar al de los BJT, permitiendo que sea posible diseñar circuitos que proporcionen una referencia de corriente o tensión compensadas en temperatura [8].

$$I_{Cbjt} = I_s e^{\frac{V_{BE}}{V_T}} \quad (2.27)$$

$$I_{Cmosfet} = I_o \frac{W}{L} \left(e^{\frac{V_{GS}-V_{th}}{nV_T}} \right) \quad (2.28)$$

Capítulo 3

Implementación del diseño

Tras haber explicado en el capítulo anterior el comportamiento del sistema que se quiere diseñar y la teoría que reside detrás del mismo, se va a desarrollar en el presente capítulo las ecuaciones generales de las distintas partes del circuito que se utilizan como punto de partida en el diseño.

3.1. Condicionantes de diseño

Como ya se ha presentado en el capítulo anterior, se han tomado una serie de decisiones al estudiar la teoría que reside detrás de los bandgaps, en cuanto qué componentes utilizar en el diseño del circuito.

Se ha optado por no implementar una estructura que contenga un OPAMP, con el fin de evitar los problemas que introduce. En este diseño, se ha preferido llevar a cabo un circuito de dos etapas, la primera que se encargue de la compensación de temperatura, y la segunda que proteja la salida de los posibles cambios de carga y al mismo tiempo complete dicha compensación de la primera parte. Es decir, esta última etapa simularía el comportamiento del operacional, estando éste implícito en el propio *bandgap*, por lo que no se pierde la compensación en temperatura, y se evitan los problemas característicos del OPAMP y su polarización.

Además, el *bandgap* se diseñará utilizando transistores MOSFETs para evitar los problemas que aparecen en el circuito al utilizar BJTs (ver explicación en 2.12).

También hay que tener en cuenta que en el *kit* que se está utilizando, las resistencias válidas para este diseño son las compuestas por polisilicio, ya que las de metal tienen valores demasiado pequeños. Como ya se introdujo anteriormente, las resistencias de polisilicio presentan un TEMPCO distinto a cero (positivo o negativo), y dependiendo de su dopado (P o N), las curvas son distintas (no son puramente lineales). En la Tabla 3.1 se muestran las características de las resistencias de polisilicio disponibles en el kit. Se observa que tanto los valores nominales como el signo de los TEMPCOs son distintos.

Aprovechando que las diferencias de los coeficientes, se utilizarán combinaciones variadas de resistencias en paralelo y en serie (ver Fig. 3.1) para conseguir los valores de resistencia necesarios en cada punto del circuito, y unos TEMPCOs controlados [9]. Concretamente, las resistencias que se han utilizado en estas combinaciones para conseguir el comportamiento requerido en el diseño son las rpp1k y las rdp.

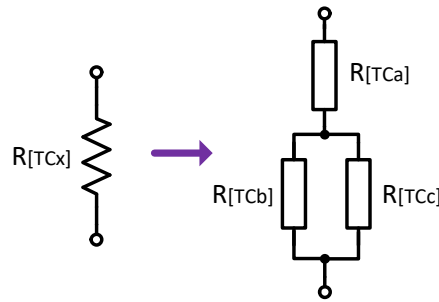


Figura 3.1: Combinación de resistencias para obtener un determinado valor de TEMPCO deseado.

Tipo de Resistencia	R[Ohms/□]	TCR (ppm)
rnp1h	6513.66	-4016.18
rpp1k1	988.46	-855.88
rnp1	339.26	-1384.19
rpp1	290.28	-117.13
rdp	137.16	1293.38
rpn	66.48	1419.98
rpp1s	7.42	2911.05

Tabla 3.1: Características de los componentes del kit.

3.2. Principio de funcionamiento

Antes de explicar el funcionamiento del circuito que se ha diseñado en este trabajo, se va a proceder a presentar una serie de desarrollos en los que se ha encontrado una manera adecuada de justificar y solucionar el diseño del *bandgap* debido a la similitud entre la bibliografía que se va a exponer y lo que se quiere conseguir.

La estructura a diseñar se basará en componentes MOSFET únicamente, pero cabe destacar que la tensión de interés de este tipo de transistores, la V_{GS} no puede aproximarse de la misma manera que la tendencia en temperatura anteriormente solucionada de la V_{BE} en los transistores BJT. Para demostrar que un transistor MOSFET en inversión débil (ver ec. 2.28) se comporta de forma equiparable a un BJT en cuanto a evolución en temperatura se refiere, se ha utilizado el modelo de simulación BSIM3v3 [10]. Según este modelo, el comportamiento de la I_D de un transistor MOSFET se rige de la aproximación de la fórmula 3.1. Esta corriente I_D también se puede expresar a través de una aproximación física de los potenciales del sustrato (ver ec. 3.2). Haciendo uso de las dos posibles aproximaciones, aunque no se conozca el comportamiento en temperatura de la tensión V_{GS} , sí se puede igualar a los potenciales de la aproximación física de los cuales se conoce su tendencia para poder sacar conclusiones (ver ec. 3.3).

$$I_D = S\mu U_T^2 \sqrt{\frac{q\epsilon_{si}N_{CH}}{4\phi_B}} \exp\left(\frac{V_{GS} - V_{TH} - V_{OFF}}{nU_T}\right) \quad (3.1)$$

$$I_D = S\mu U_T^2 \sqrt{\frac{q\epsilon_{si}N_{CH}}{4\phi_B}} \exp\left(\frac{\phi_s - 2\phi_B}{U_T}\right) \quad (3.2)$$

$$\frac{V_{GS} - V_{TH} - V_{OFF}}{n} = \phi_s - 2\phi_B \quad (3.3)$$

Donde:

- I_D es la corriente de drenador.
- S es la relación de aspecto del transistor (W/L).
- μ es la movilidad de los portadores del canal.
- U_T es la tensión térmica.
- ϵ_{si} es la permitividad del silicio.
- N_{CH} concentración de dopaje del canal.
- ϕ_s es el potencial de superficie.
- ϕ_B es el potencial de Fermi del sustrato.
- V_{TH} es al tensión umbral.

A partir de lo explicado, se procede a estudiar la tendencia en temperatura de los potenciales del sustrato, ϕ_s y ϕ_B (ver ecs. 3.4 y 3.5).

$$\phi_s(T) = \phi_s(T_o) \frac{T}{T_o} - \frac{3kT}{q} \ln\left(\frac{T}{T_o}\right) + \frac{E_g(T)}{q} - \frac{E_g(T_o)}{q} \frac{T}{T_o} \quad (3.4)$$

$$\phi_B(T) = \phi_B(T_o) \frac{T}{T_o} - \frac{3kT}{q} \ln\left(\frac{T}{T_o}\right) + \frac{E_g(T)}{2q} - \frac{E_g(T_o)}{2q} \frac{T}{T_o} \quad (3.5)$$

Realizando la resta de los dos potenciales de la ecuación 3.3, se obtiene:

$$\phi_s(T) - 2\phi_B(T) = (\phi_s(T_o) - 2\phi_B(T_o)) \cdot \frac{T}{T_o} \quad (3.6)$$

Utilizando los potenciales deducidos en función de la temperatura y despejando V_{GS} se puede obtener una expresión (ver ec. 3.7) que defina la tendencia de dicha magnitud con la temperatura y de la que podamos sacar conclusiones sobre su comportamiento.

$$V_{GS} = V_{th}(T) + V_{OFF} + \frac{n(T)}{n(T_o)} (V_{GS}(T_o) - V_{th}(T_o) - V_{OFF}) \frac{T}{T_o} \quad (3.7)$$

Realizando las aproximaciones mostradas en 3.9, 3.10 y 3.11 se obtiene la ecuación final de la $V_{GS}(T)$. Para un valor típico de K_T , V_{OFF} y $V_{GS}-V_{TH}$, K_G se define con un valor negativo y, por tanto, hace que la V_{GS} tienda a disminuir con la temperatura (ver ec. 3.8) para un valor fijo de

$$V_R = \alpha V_{GS1}(I_B) + \beta U_T \quad (3.15)$$

$$\alpha = \left(\frac{R_4}{R_3} + 1\right) \frac{S_5 R_2}{S_4 R_1} - \frac{S_5 R_4}{S_6 R_1} \quad (3.16)$$

$$\beta = \left(\frac{R_4}{R_3} + 1\right) \ln\left(\frac{S_8 S_5}{S_7 S_4}\right) \quad (3.17)$$

$$V_{GS}(T) \approx V_{GS}(T_o) + K_G \left(\frac{T}{T_o} - 1\right) \quad (3.18)$$

La solución que se plantea en la ecuación 3.15 se basa en utilizar los dos coeficientes α y β para compensar la tensión de referencia.

El coeficiente α acompaña al término negativo en temperatura, $V_{GS1}(I_B)$ (ver ec.3.19) y el coeficiente β , el término con el que se relaciona es el positivo, U_T (ver ec. 3.20). El objetivo de estos coeficientes es que al hacer la derivada en temperatura de la tensión de referencia V_R , el resultado de la suma de ambos términos sea nulo (ver ec. 3.21).

$$\frac{\partial V_{GS1}}{\partial T} < 0 \quad (3.19)$$

$$\frac{\partial U_T}{\partial T} > 0 \quad (3.20)$$

$$\frac{\partial U_T}{\partial T} = \alpha \frac{\partial V_{GS1}}{\partial T} + \beta \frac{\partial U_T}{\partial T} = 0 \quad (3.21)$$

El análisis del circuito que se va a plantear en el siguiente apartado seguirá la misma línea de desarrollo que el anteriormente demostrado.

3.3. Arquitectura propuesta

Como ya se ha indicado en los objetivos, el circuito que se ha diseñado utiliza tecnología MOSFET y se dividirá en dos parte diferenciadas: el núcleo y la etapa de salida que proporcionará tres tensiones distintas compensadas. Además, se añadirá un circuito de *Start-Up* que permitirá al diseño salvar los problemas de arranque característicos de los *bandgaps*.

3.3.1. Núcleo

El núcleo es la primera parte del circuito (ver Fig. 3.10), la cual se encarga de generar y proporcionar una corriente constante en temperatura (TEMPCO nulo) a la segunda etapa del *bandgap*.

Para ello, se genera una corriente PTAT (ver ec. 3.22) en la resistencia R_B a través de la diferencia de las V_{GS} de los transistores MN2 y MN3 (de la misma forma con la que se creó una I_{PTAT} en el circuito de la Figura 2.5 y la diferencia de tensión de las V_{BE}). Dicha corriente, se copia a través de

la estructura de espejos formada por los transistores MP0a, MP0b, MP1a, MP1b, y será conducida hacia el transistor MN2, por el que pasará una versión escalada de la corriente I_{PTAT} creada en la resistencia R_B , la I_{PTAT2} (ver ec. 3.23). Además, el transistor MN4 alimenta a R_A con la corriente que fija la tensión V_{GS-MN2} , de la misma manera que en el circuito 2.7, se genera una corriente I_{NTAT} (ver ec. 3.24). El punto clave de esta etapa es el drenador del transistor MN1, en el cual se mezclan las tres corrientes mencionadas, donde se busca alcanzar una corriente I_{ZTAT} (TEMPCO nulo) a través de dicha mezcla (ver ec. 3.25).

$$I_{PTAT} = U_T n \ln \left(\frac{S_{P0A}}{S_{P0B}} \cdot \frac{S_{MN3}}{S_{MN2}} \right) \cdot \frac{1}{R_B} \quad (3.22)$$

$$I_{PTAT2} = I_{PTAT} \frac{S_{P0A}}{S_{P0B}} \quad (3.23)$$

$$I_{NTAT} = [V_{GS2}(T_o) + K_{MN2} \left(\frac{T}{T_o} - 1 \right)] \cdot \frac{1}{R_A} \quad (3.24)$$

$$I_{ZTAT} = I_{PTAT} + I_{PTAT2} + I_{NTAT} \quad (3.25)$$

Para saber cuáles son las variables que modificarán el coeficiente de temperatura de la corriente, se ha aplicado la compensación de primer orden dimensionando unos coeficientes α y β según lo explicado en el apartado . Introduciendo las ecuaciones 3.22, 3.23 y 3.24 en la expresión 3.26, se pueden identificar los coeficientes α (ver ec. 3.27, positivo en temperatura), β (ver ec. 3.28, negativo en temperatura) y el término constante de la ecuación (ver ec. 3.29). Teniendo en cuenta las ecuaciones estudiadas, se ajustarán los valores de las resistencias R_A y R_B (ver valores en la Tabla 3.2) y de los transistores que forman los espejos de corriente (MP0A y MP0B). Una vez conseguida la corriente constante en temperatura, el núcleo se dejará como parte fija del circuito, proporcionando siempre la misma corriente I_{ZTAT} , independientemente de la tensión de salida que se pretenda conseguir.

$$I_{ZTAT} = \alpha T + \beta T + K_{cte} \quad (3.26)$$

$$\alpha = \left(1 + \frac{S_{P0A}}{S_{P0B}} \right) \cdot n \ln \left(\frac{S_{P0A}}{S_{P0B}} \cdot \frac{S_{MN3}}{S_{MN2}} \right) \cdot \frac{k}{qR_B} \quad (3.27)$$

$$\beta = \frac{K_{MN2}}{R_A} \cdot \frac{1}{T_o} \quad (3.28)$$

$$K_{cte} = \frac{V_{GS2}(T_o)}{R_A} - \frac{K_{MN2}}{R_A} \quad (3.29)$$

3.3.2. Etapa de salida multitensión para cargas elevadas

En la segunda parte del circuito se busca obtener una tensión de salida compensada en temperatura, a la vez de proteger al circuito de posibles cambios de carga a su salida (ver Fig. 3.10). Para lograr esto, se crea una etapa que introduzca un lazo de realimentación (ver Fig. 3.3).

Cabe destacar que, según el estudio de tendencias mostrado en la ecuación 3.30, abriendo el lado por el punto V_x , se puede demostrar que la realimentación es negativa.

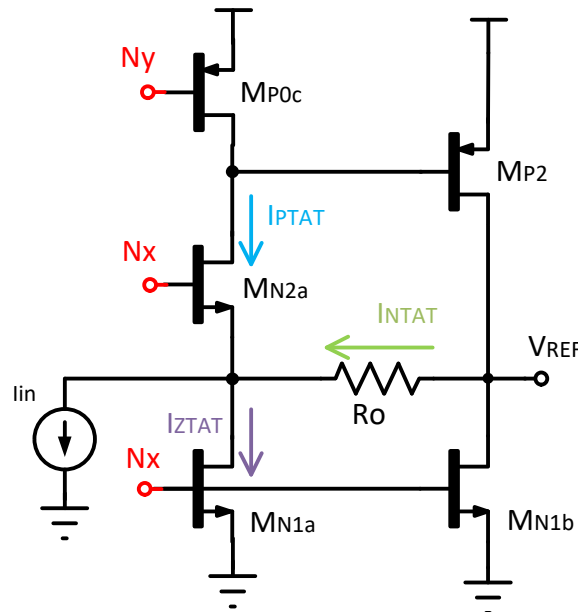


Figura 3.3: Lazo de realimentación de la etapa de salida del *bandgap*.

$$V_x \uparrow \Rightarrow V_{GSP2} \downarrow \Rightarrow i_{dP2} \downarrow \Rightarrow I_{Ro} \downarrow \Rightarrow i_{dN2a} \uparrow \Rightarrow V_{x'} \downarrow \quad (3.30)$$

Llevando a cabo el estudio del tipo de realimentación del lazo, se puede identificar como red β a la resistencia de salida R_o . De esta manera, el tipo de realimentación sería de sensado de tensión y mezcla de corriente.

Teniendo en cuenta estas primeras consideraciones, se plantean los modelos equivalentes de la Figura 3.4 y el sistema de ecuaciones 3.31. De dicho sistema se deducen los valores de los elementos que conformarán la red β (ver ecs. 3.31, 3.33 y 3.34), despreciando el efecto de la realimentación inversa β_{rev} .

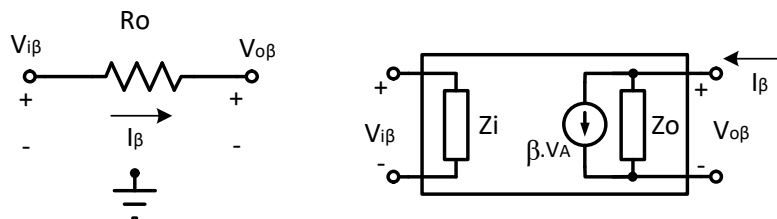


Figura 3.4: Circuito equivalente de la red β según el tipo de realimentación.

$$\begin{aligned} i_{o\beta} &= \beta V_{i\beta} + Z_o^{-1} V_{o\beta} \\ i_{i\beta} &= Z_i^{-1} V_{i\beta} + \beta_{rev} V_{o\beta} \end{aligned} \quad (3.31)$$

$$\beta = \left. \frac{i_{o\beta}}{V_{i\beta}} \right|_{V_{o\beta}=0} = \frac{-1}{R_o} \quad (3.32)$$

$$Z_o^{-1} = \left. \frac{i_{o\beta}}{V_{o\beta}} \right|_{V_{i\beta}=0} = \frac{1}{R_o} \quad (3.33)$$

$$Z_i^{-1} = \left. \frac{i_{i\beta}}{V_{i\beta}} \right|_{\beta_{rev}=0} = \frac{1}{R_o} \quad (3.34)$$

El objetivo de este procedimiento es llegar a desarrollar la expresión de la ganancia completa del sistema (ver ec. 3.35), siendo la $A\beta$ la ganancia de lazo formada por la realimentación y la A^* la ganancia del amplificador cargado con la red β pero sin realimentación.

$$A = \frac{A^*}{1 + A\beta} \quad (3.35)$$

A continuación, se plantea el nuevo circuito insertando la red β diseñada (ver Fig. 3.5). Con este nuevo modelo, se estudia la ganancia de lazo (ver ec. 3.38).

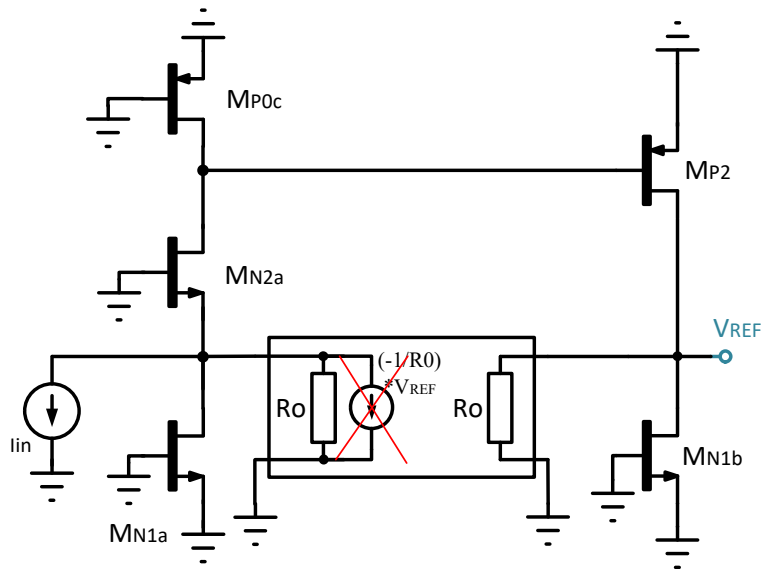


Figura 3.5: Circuito de la segunda etapa del *bandgap* con la red β diseñada.

$$V_{REF} = \beta V'_{REF} rd_{P0C} gm_{P2} R_o = V'_{REF} rd_{P0C} gm_{P2} \quad (3.36)$$

$$Z_o = rd_{MP2} // rd_{MN1b} // R_o \approx R_o \quad (3.37)$$

$$A\beta = \frac{V_{REF}}{V'_{REF}} = rd_{P0C} gm_{P2} \quad (3.38)$$

Por otro lado, se plantea el circuito, esta vez sin los efectos de la red β , es decir, anulando el parámetro β (ver Fig. 3.5 con la cruz roja).

Con este circuito, se deduce la expresión de la ganancia del amplificador cargado (ver ec. 3.39).

$$A^* = \frac{V_o}{I_i} = rd_{P0C} gm_{P2} R_o \quad (3.39)$$

Sustituyendo en la ecuación 3.35 los términos obtenidos en los cálculos anteriores, se obtiene la expresión final mostrada en la ecuación 3.40.

$$A = \frac{rd_{P0C} gm_{P2} R_o}{1 + rd_{P0C} gm_{P2}} \approx R_o \quad (3.40)$$

Es interesante estudiar el comportamiento de la impedancia de salida al cerrar el lazo, ya que con ello se puede comprobar que esta etapa que se está analizando trabaja como una protección ante cambios de carga (como si fuera una especie de *buffer*). Siendo la impedancia de salida en lazo abierto la R_o , se puede obtener la impedancia de salida en lazo cerrado en continua (ver ec. 3.41) y en alta frecuencia (ver ec. 3.42). La variación de la impedancia de salida con la frecuencia se puede observar en la Figura 3.6, donde se demuestra que la impedancia de salida mejora con el efecto de la realimentación.

$$Z_{oDC} = \frac{Z_{oOL}}{1 + A_o} = \frac{R_o}{1 + rd_{P0C} gm_{P2}} \quad (3.41)$$

$$Z_{oHF} = Z_{oOL} \quad (3.42)$$

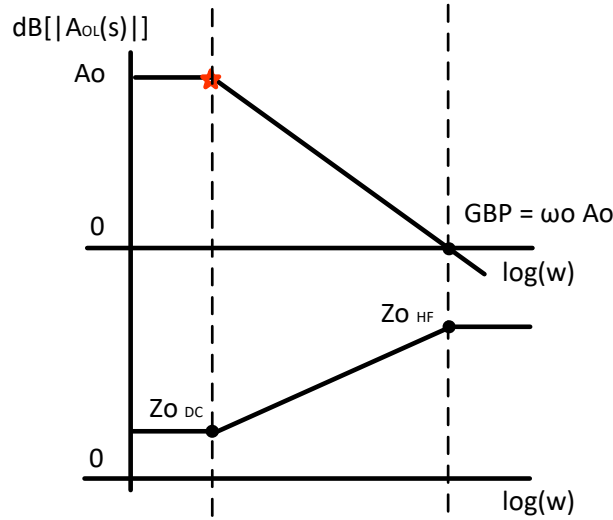


Figura 3.6: Respuesta en frecuencia de la impedancia de salida.

Una vez entendido cómo funciona el lazo de realimentación, se pueden deducir los comportamientos y ecuaciones de las tensiones y corrientes que van a verse implicadas en el proceso de compensación. En primer lugar, se copia la corriente I_{ZTAT} a través del espejo de corriente formado por los transistores MN1 y MN1a (de las mismas dimensiones). Por otra parte, se copia la corriente I_{PTAT} de la primera etapa del *bandgap* por los transistores MP0C y MP1C, de manera que por el transistor MN2a se consiga hacer pasar una corriente positiva en temperatura. Por último, la tensión V_A , la cual es positiva en temperatura, se consigue con la diferencia de tensión formada por la V_{GSN1} y la V_{GSN2a} (ver ec. 3.43), de manera similar con la que se conseguía la corriente I_{PTAT} en la resistencia R_B .

$$V_A = V_{GSN1}(T_o) + K_{N1}\left(\frac{T}{T_o} - 1\right) - V_{GSN2a}(T_o) - K_{N2}\left(\frac{T}{T_o} - 1\right) \quad (3.43)$$

Teniendo en cuenta que en el punto V_A se mezclan una corriente I_{PTAT} con la I_{ZTAT} conseguida en el núcleo, se puede deducir que la corriente que pasa por la resistencia R_o será de carácter NTAT, para poder conseguir la corriente de TEMPCO nulo al sumar la I_{PTAT} y dicha corriente de salida (ver ec. 3.44).

$$I_o = I_{ZTAT} - \frac{S_{P0C}}{S_{P0B}} \cdot I_{PTAT} \quad (3.44)$$

Teniendo en cuenta que la I_{PTAT} anterior es la mostrada en la ecuación 3.22, se desarrolla la corriente I_o de salida de la siguiente manera, observando que es una I_{NTAT} :

$$I_o = I_{ZTAT} - \frac{S_{P0C}}{S_{P0B}} \cdot U_T n \ln\left(\frac{S_{P0A}}{S_{P0B}} \cdot \frac{S_{MN3}}{S_{MN2}}\right) \cdot \frac{1}{R_B} \quad (3.45)$$

Con el análisis de las ecuaciones anteriores (ecs. 3.43 y 3.44), se puede desarrollar la expresión de la tensión de salida compensada en temperatura (ver ec. 3.46). Siguiendo la misma solución del planteamiento de unos coeficientes que ayuden a compensar el primer orden, se obtiene la ecuación 3.47, la cual, a su vez, se puede dividir en un término constante en temperatura (ver ec. 3.49), el coeficiente α (ver ec. 3.50) y el coeficiente β (ver ec. 3.51).

$$V_{REF} = V_A + I_o R \quad (3.46)$$

$$V_{REF} = V_{GSN1}(T_o) - V_{GSN2a}(T_o) + (K_{N1} - K_{N2})\left(\frac{T}{T_o} - 1\right) + RI_{ZTAT} - R \frac{S_{P0C}}{S_{P0B}} \cdot U_T n \ln\left(\frac{S_{P0A}}{S_{P0B}} \cdot \frac{S_{MN3}}{S_{MN2}}\right) \cdot \frac{1}{R_B} \quad (3.47)$$

$$V_{REF} = K_{CTE} - \alpha T + \beta T \quad (3.48)$$

$$K_{CTE} = V_{GSN1}(T_o) - V_{GSN2a}(T_o) + RI_{ZTAT} - (K_{N1} - K_{N2}) \quad (3.49)$$

$$\alpha = R \frac{S_{P0C}}{S_{P0B}} \cdot \frac{k}{q} n \ln\left(\frac{S_{P0A}}{S_{P0B}} \cdot \frac{S_{MN3}}{S_{MN2}}\right) \cdot \frac{1}{R_B} \quad (3.50)$$

$$\beta = \frac{K_{N1} - K_{N2}}{T_o} \quad (3.51)$$

3.3.3. Circuito de *Start-Up*

Un circuito de *Start-Up* es un circuito externo que se utiliza para hacer que otro comience a funcionar y consiga llegar al valor de salida nominal de interés.

En el caso de que el *bandgap* diseñado en este trabajo se encuentre en un estado de apagado, el circuito no podrá comenzar a funcionar por su cuenta, ya que no hay manera de que en los espejos formados por MP0a, MP1a, MP0b, MP1b, MP0c y MP1c se genere una corriente que haga funcionar al resto del circuito.

Para ello, se utiliza el circuito de *Start-Up* de la Figura 3.7. Dicha estructura le proporciona a la primera etapa del sistema un camino por el que pase una corriente y poder cargar los nodos a una determinada tensión. Al conectar la alimentación, la tensión de entrada del inversor formado por los transistores MPS2 y MNS2 es nula o muy baja, por lo que su salida será alta, permitiendo al MNS3 funcionar. Este transistor conecta el núcleo del espejo formado por los transistores en modo diodo MP0b y MP1b con el nodo Nx, de manera que asegure dicho camino de corriente. Los transistores MP0b y MP1b comienzan a funcionar en el momento en el que se conecte la alimentación (ya que están configurados en modo diodo) y hacen pasar una corriente por el transistor MNS3 hacia el nodo Nx. Al inyectar corriente en el nodo, se carga su capacidad parásita haciendo que la tensión del nodo aumente linealmente. Por otro lado, el transistor MPS1 del *Start-Up* funciona como espejo del núcleo MP0b y MP1b, haciendo pasar una corriente hasta MNS1, el cual convierte dicha corriente en la tensión de entrada del inversor. Por ello, cuando el inversor alcance

una tensión que supere el umbral de funcionamiento, proporcionará una salida baja que hará que el transistor MNS3 se apague, cortando la conexión con el circuito principal.

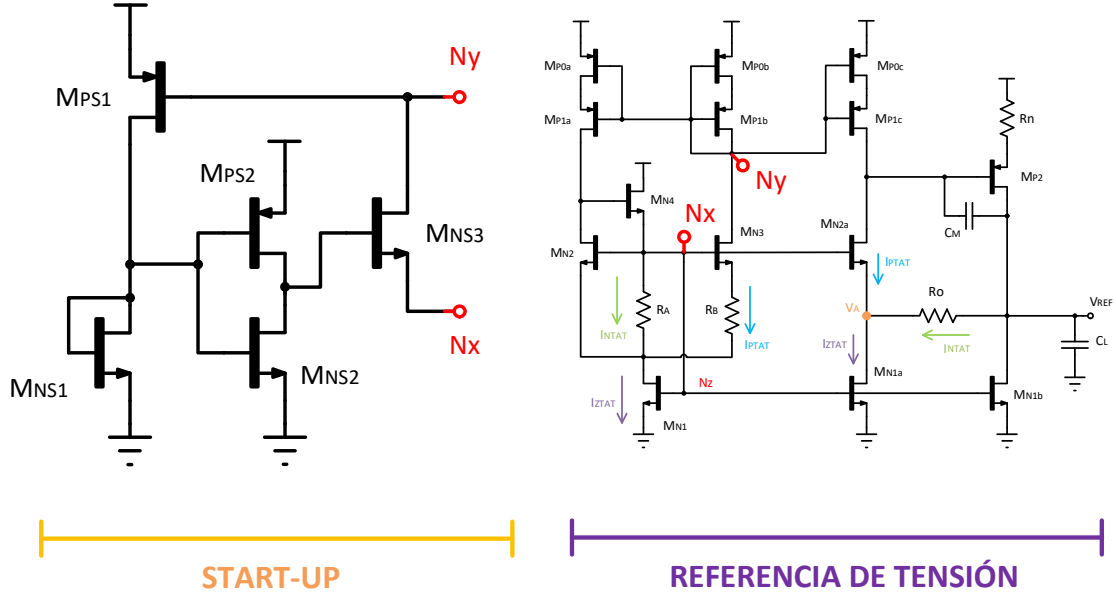


Figura 3.7: Circuito de *Start-Up* y conexiones con el *bandgap*.

3.3.4. Análisis de ruido

El estudio del ruido del circuito se ha llevado a cabo en cada etapa del *bandgap* por separado, con el fin de abordar el problema con mayor facilidad.

En primer lugar, se ha analizado el ruido de la etapa de salida. La contribución de ruido a la salida del sistema será la suma de las contribuciones de cada etapa del circuito (ver ec. 3.52).

$$\overline{v_{noetapa2}^2} = \overline{v_{nN1ao}^2} + \overline{v_{nP0co}^2} + \overline{v_{nP2o}^2} + \overline{v_{nN1bo}^2} \quad (3.52)$$

$$\overline{v_{nN1ao}^2} = \overline{v_{nN1a}^2} \cdot gm_{nN1a}^2 \cdot rd_{P0c}^2 \cdot gm_{P2}^2 \cdot R_o^2 \quad (3.53)$$

$$\overline{v_{nP0co}^2} = \overline{v_{P0c}^2} \cdot gm_{P0c}^2 \cdot rd_{P0c}^2 \cdot gm_{P2}^2 \cdot R_o^2 \quad (3.54)$$

$$\overline{v_{nP2o}^2} = \overline{v_{nP2}^2} \cdot gm_{P2}^2 \cdot R_o^2 \quad (3.55)$$

$$\overline{v_{nN1bo}^2} = \overline{v_{nN1b}^2} \cdot gm_{N1b}^2 \cdot R_o^2 \quad (3.56)$$

Para obtener el ruido equivalente en corriente en la entrada de la etapa de salida (ver ec. 3.57) estudiada, basta con dividir el ruido equivalente a la salida por la ganancia del amplificador cargado

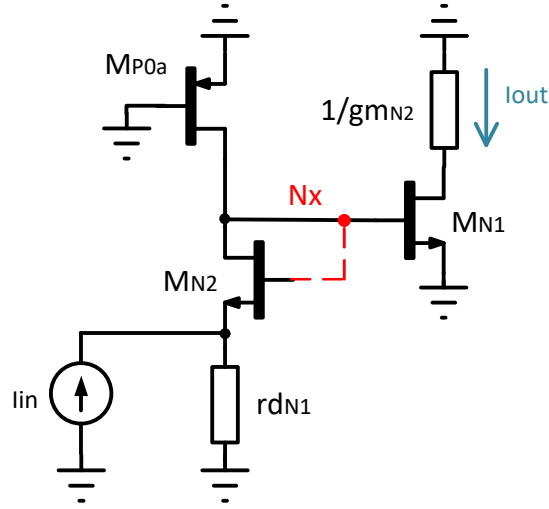


Figura 3.9: Apertura del lazo del modelo equivalente del núcleo.

$$\overline{i_{nN1o}^2} = \overline{v_{nN1}^2} \cdot gm_{N1}^2 \quad (3.59)$$

$$\overline{i_{nP0ao}^2} = \overline{v_{nP0a}^2} \cdot gm_{P0a}^2 \cdot rd_{P0a}^2 \cdot gm_{N1}^2 \quad (3.60)$$

$$A_{1i}^2 = rd_{P0a}^2 \cdot gm_{N1}^2 \quad (3.61)$$

$$\overline{i_{nieq}^2} = \frac{\overline{i_{nN1o}^2} + \overline{i_{nP0ao}^2}}{A_{1i}^2} = \overline{v_{nP0a}^2} \cdot gm_{P0a}^2 + \frac{\overline{v_{nN1}^2}}{rd_{P0a}^2} \quad (3.62)$$

Para desarrollar la ecuación completa de la contribución de ruido de esta etapa, se tendrán que estudiar las contribuciones de corriente de ruido que llegan al drenador del transistor MN1 de los demás dispositivos que la forman; el transistor MN4, el transistor MP0b y las resistencias R_A y R_B .

$$\overline{i_{N4}^2} = \overline{v_{nN4}^2} \cdot gm_{N1}^2 \quad (3.63)$$

$$\overline{i_{RA}^2} = 4kT \frac{1}{R_A} \quad (3.64)$$

$$\overline{i_{RB}^2} = 4kT \frac{1}{R_B} \quad (3.65)$$

$$\overline{i_{P0b}^2} = \overline{v_{nP0b}^2} \cdot gm_{P0a}^2 \quad (3.66)$$

Para llevar la suma de estas corrientes a la salida del *bandgap*, se multiplica por la relación de espejos del MN1 y el MN1a y la ganancia total de la segunda etapa (ver ec. 3.40), obteniendo la contribución de ruido de la primera etapa del circuito completo a la salida (ver ec. 3.68).

$$V_{refn_{etapa1}}^2 = [\overline{i_{nieq}^2} + \overline{i_{N4}^2} + \overline{i_{RA}^2} + \overline{i_{RB}^2} + \overline{i_{P0b}^2}] \frac{1}{gm_{N1}^2} gm_{N1a}^2 \cdot R_o^2 \quad (3.67)$$

$$\begin{aligned} V_{refn_{etapa1}}^2 = & (\overline{v_{nP0a}^2} \cdot gm_{P0a}^2 + \frac{\overline{v_{nN1}^2}}{rd_{P0a}^2}) \cdot \frac{1}{gm_{N1}^2} gm_{N1a}^2 \cdot R_o^2 + \\ & + \overline{v_{nN4}^2} \cdot gm_{1a}^2 \cdot R_o^2 \\ & + 4kT \frac{1}{R_A} \cdot \frac{1}{gm_{N1}^2} gm_{N1a}^2 \cdot R_o^2 \\ & + 4kT \frac{1}{R_B} \cdot \frac{1}{gm_{N1}^2} gm_{N1a}^2 \cdot R_o^2 \\ & + \overline{v_{nP0b}^2} \cdot gm_{P0a}^2 \cdot \frac{1}{gm_{N1}^2} gm_{N1a}^2 \cdot R_o^2 \end{aligned} \quad (3.68)$$

Teniendo en cuenta el desarrollo completo del ruido de ambas etapas, se puede obtener la expresión del ruido a la salida total, sumando ambas contribuciones, y teniendo en cuenta la contribución de la propia resistencia de salida.

$$V_{refn_{total}}^2 = V_{refn_{etapa1}}^2 + V_{refn_{etapa2}}^2 + 4kTR_o \quad (3.69)$$

Una vez analizadas y obtenidas todas las expresiones de las contribuciones, se puede sacar varias conclusiones que podrán ser de gran ayuda de cara a evaluar los resultados en las simulaciones.

El ruido térmico en modo corriente es proporcional a la gm de los transistores, por lo que diseñarlos con un valor reducido de dicho parámetro, hará que el ruido sea menor. Como la corriente I_D de los transistores es baja, este objetivo se podrá conseguir. Por otro lado, el ruido flicker es inversamente proporcional a la frecuencia y al área de los transistores. En general, el circuito está dimensionado con unos transistores de tamaño elevado ya que se busca llevar a dichos transistores a un estado de inversión débil con el fin de que trabajen de manera similar a los transistores BJT, por lo que la aportación de ruido flicker también podrá verse reducida.

En cuanto a las contribuciones estudiadas en las ecuaciones anteriores, se observa que las aportaciones de los ruidos en modo corriente tendrán un gran impacto en el ruido total del sistema al verse multiplicado por su ganancia, la R_o . Además, los ruidos térmicos de las resistencias también constituirán un papel importante en el ruido de la salida V_{REF} .

En el caso de la resistencia R_n conectada al surtido MP2, es importante explicar que su efecto sirve para rebajar el ruido que pueda introducir dicho transistor debido a su conexión con Vdd. Se ha decidido colocar únicamente esa resistencia en el MP2, ya que si se decidiera aplicar este método en los transistores MP0a, MP0b y MP0c, habría que tener en cuenta que, al ser espejos, se necesita que su comportamiento sea totalmente idéntico con el fin de que siga funcionando correctamente, lo cual puede introducir más problemas que soluciones.

Cabe destacar que el ancho de banda del sistema puede reducir considerablemente el ruido. Al calcular el ruido eficaz, la densidad de potencia de ruido calculada puede ser integrada hasta cierto valor de ancho de banda (ver ec. 3.70). Para establecer este valor, se escoge la frecuencia en el que la integral de la densidad de ruido deje de aumentar, es decir, se estabilice.

$$V_{refn_{rms}} = \int_{10Hz}^{BW_{eq}} V_{refn_{total}}^2 dx \quad (3.70)$$

Por último, es importante explicar el papel del condensador de Miller (CM en la Figura 3.10). En la respuesta en frecuencia, el condensador de Miller modifica la posición del polo dominante (ancho de banda en lazo abierto) y del GBP. Es decir, a mayor condensador de Miller, el ancho de banda del sistema se reduce (lo cual puede ayudar a mejorar la respuesta de ruido, como se ha explicado anteriormente) y, a su vez se mejora la estabilidad (se separa el GBP del segundo polo del sistema). Por otro lado, la capacidad de carga que controla el segundo polo, también puede ayudar a la hora de modificar la cantidad de ruido del sistema. Si se aumenta la capacidad de carga, la posición del segundo polo bajará en frecuencia, permitiendo que el ancho de banda de algunas aportaciones de ruido sea menor y controlando que el sistema siga siendo estable.

3.4. Dimensionamiento de los componentes del circuito

Los componentes del circuito se han ido dimensionando y diseñando teniendo en cuenta todos los desarrollos teóricos explicados en cada parte de la estructura. Según las características y objetivos necesitados, se han tenido una serie de consideraciones a la hora de establecer los valores de cada elemento.

En primer lugar, como ya se ha explicado, se buscan que los transistores MN2 y MN3 trabajen con un índice de baja inversión. Los demás transistores también se ha decidido que trabajen en inversión débil, no por necesidad a que trabajen como los BJT, sino para tener controladas el espacio de sus V_{GS} en el camino de Vdd a tierra. Para ello, todos los transistores están diseñados para alcanzar este objetivo, siendo su ratio (W/L) considerable y la corriente que pasa por ellos baja, excepto los transistores MN1 y MN1a. Estos transistores no están trabajando en inversión débil debido a varias razones: en primer lugar, debido a la cantidad de corriente que deben manejar, no es posible conseguir alcanzar ese estado tan bajo de inversión. Además, si la V_{GS} del transistor MN1 fuera tan baja como para alcanzar la inversión débil, la tensión VA debería ser muy baja, obligando a la corriente I_o , o la resistencia R_o a tener un valor muy elevado. Por último, debería tenerse en cuenta que la puerta del transistor MN1 está conectada al nodo Nx. En el caso de que el transistor MN1 estuviera en inversión débil, la V_{GS} del transistor MN3 sería muy baja también, haciendo que la tensión de la resistencia RB fuera casi cero o nula.

Los transistores MP0a y MP1a copian la corriente del núcleo del espejo formado por MP0b y MP1b con un factor de escala de 1.5, es decir, la corriente IPTAT2 será 1.5 veces mayor que la IPTAT. Los transistores MP0c y MP1c también copian corriente, y su factor dependerá de los diferentes casos de tensión de salida que se quiera conseguir.

Los transistores MN1 y MN1a también forman un espejo, cuyo factor de escala es la unidad, lo que quiere decir que se copia sin hacer ningún escalado, la corriente IZTAT que se consigue a la salida del núcleo con el fin de llevarla a hacia la segunda etapa de *bandgap*.

Por otro lado, las resistencias R_A y R_B se han diseñado de manera que consigan ofrecer una corriente I_{ZTAT} en el drenador del transistor MN1. Para ello, se han llevado a cabo una serie de simulaciones hasta conseguir los valores mostrados en la tabla 3.2.

En el caso de la resistencia R_o , su valor y su TEMPCO han ido cambiando según la tensión de referencia a la salida que se quería conseguir, con el objetivo de mantener una estructura modular y de salida multitensión, y buscar la compensación de la tensión V_{REF} . Se presentan los valores que se ha asignado a la resistencia R_o en la Tabla 3.3 para los distintos casos de tensión de referencia compensada (0.4V, 1V y 1.4V).

Resistencia	Valor	Unidades
R_A	49	$k\Omega$
R_B	31	$k\Omega$

Tabla 3.2: Valores ajustados de las resistencias R_A y R_B para conseguir una corriente I_{ZTAT} .

Resistencia	Valor	Unidades	Tempco	Unidades
$R_{o_{400mV}}$	21	$k\Omega$	0	ppm/ $^{\circ}C$
$R_{o_{1V}}$	55	$k\Omega$	40	ppm/ $^{\circ}C$
$R_{o_{1,4V}}$	79	$k\Omega$	5	ppm/ $^{\circ}C$

Tabla 3.3: Valores ajustados de la resistencia R_o para los diferentes valores de salida que se quieren alcanzar.

Por último, se presenta una última tabla (ver Tabla 3.4) que muestra los valores escogidos para el condensador de Miller, la capacidad de carga, y la resistencia R_n encargada de añadir un factor más de control de ruido.

Componente	Valor	Unidades
CM	6	pF
CL	500	fF
R_n	5	$k\Omega$

Tabla 3.4: Valores establecidos para los componentes CM, CL y R_n .

3.5. Topología propuesta

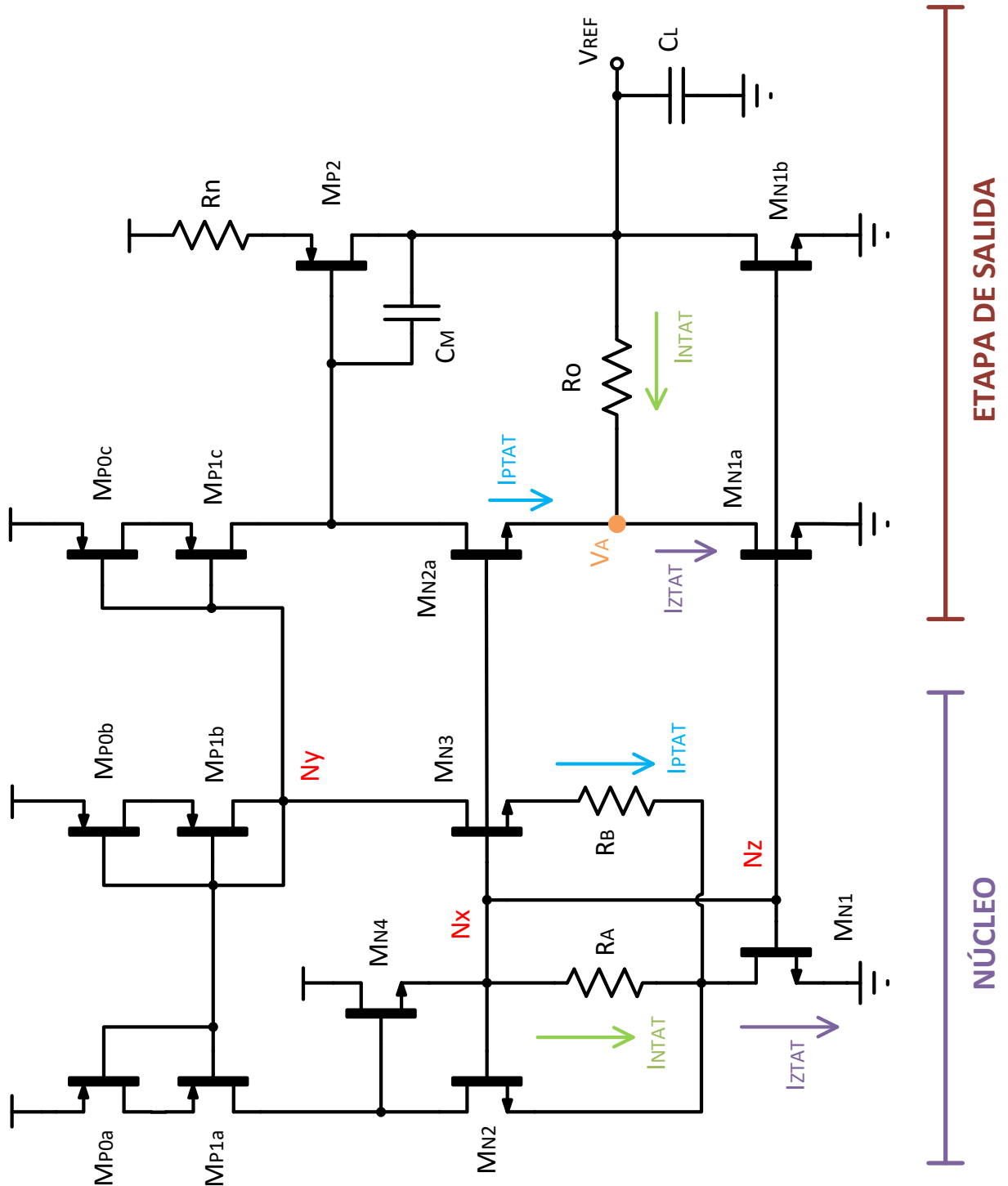


Figura 3.10: Esquemático completo del bandgap.

Capítulo 4

Resultado de simulación

Este capítulo resultaría ser el último paso del flujo de diseño que se ha seguido para obtener el *bandgap* explicado en este trabajo. Tras obtener todos los desarrollos teóricos y aplicarlos en el dimensionamiento de los transistores, se procede a elaborar el esquemático en el software Virtuoso de Cadence. Para poder comprobar que los cálculos han sido llevado a cabo con éxito y que los parámetros de los transistores que forman el circuito son correctos, se establece una serie de simulaciones que proporcionan los valores y resultados que caracterizan el circuito diseñado y se comparan con las especificaciones objetivo iniciales.

4.1. Compensación de corrientes

Tal y como se ha explicado en el apartado 3.3.1, uno de los objetivos de la etapa del núcleo es conseguir transmitir a la segunda etapa una corriente compensada completamente en temperatura, es decir, IZTAT, con el fin de tener en la etapa de salida un juego con corrientes de distintas tendencias que permita compensar la tensión de salida.

Uno de los primeros resultados que se ha querido observar es el comportamiento de las tres corrientes que se van a combinar en la etapa de salida para conseguir la compensación final y comprobar que tienen la forma esperada. En estas gráficas se ha estudiado la tendencia de la IZTAT generada en el núcleo, la IPTAT que pasa por el transistor MN2a y la INTAT que pasa por la resistencia de salida Ro.

Se han simulado estas tres corrientes para las diferentes tensiones de salida para las que se ha diseñado el circuito (400mV, 1V y 1.4V). En las gráficas 4.1, 4.2 y 4.3 se puede comprobar que las tendencias IPTAT y INTAT son positiva y negativa respectivamente, como lo esperado. Sus pendientes, al combinarlas encajan con la pendiente que caracteriza a la corriente IZTAT (siendo ésta casi nula, ya que se buscaba que estuviera compensada en temperatura). Cabe destacar que las pendientes de la corriente IZTAT en ambos casos no coinciden debido a un error de medida en los cursores, pero que debería ser la misma ya que en las tres salidas se obtiene del mismo núcleo.

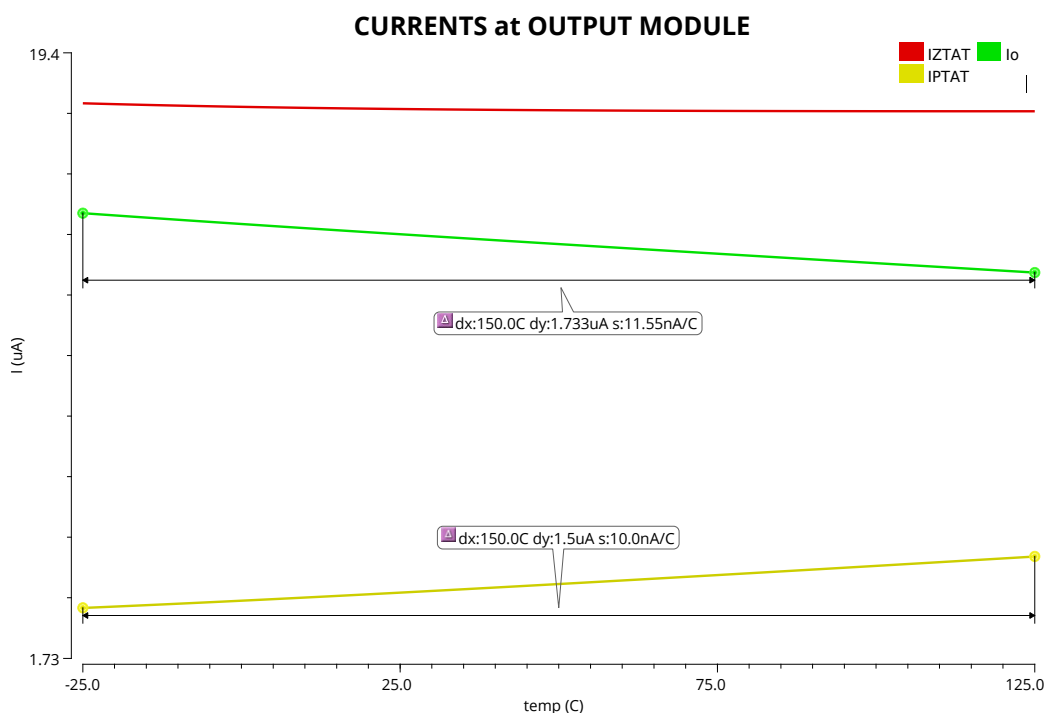


Figura 4.1: Corriente de salida para una tensión de salida de 400mV.

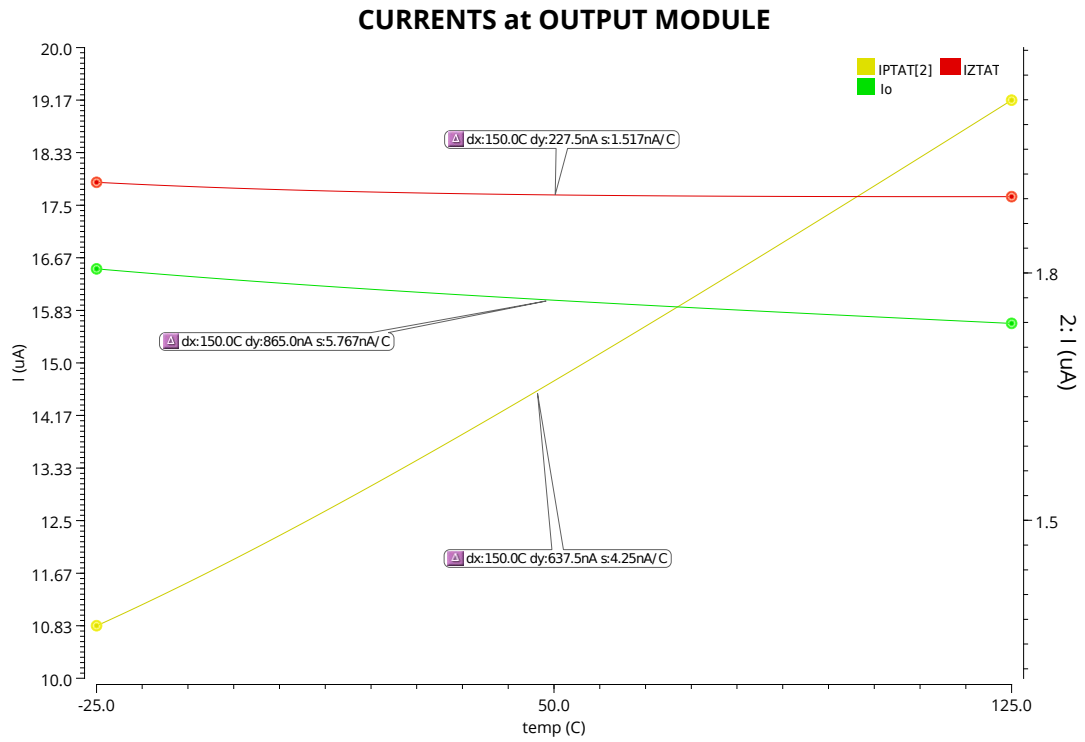


Figura 4.2: Corriente de salida para una tensión de salida de 1V.

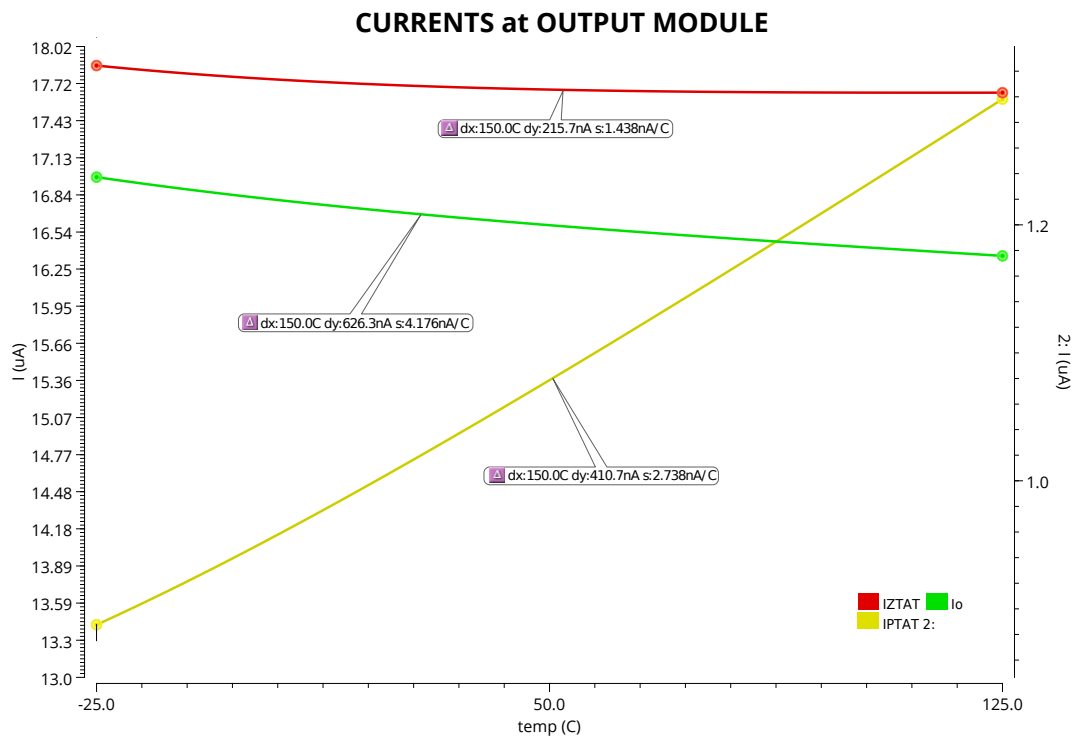


Figura 4.3: Corriente de salida para una tensión de salida de 1.4V.

4.2. Tensión de salida compensada

Una vez estudiada la interacción de las corrientes que permiten llevar a cabo la compensación de la tensión de salida, junto con la resistencia R_o , se han obtenido de la misma manera las gráficas de las dos tensiones que interactúan para obtener igualmente dicha compensación de la salida V_{REF} . Las tensiones analizadas son la tensión V_A , la cual se estudió en el apartado 3.3.2 permitiendo saber que viene caracterizada por una tendencia positiva en temperatura, y la tensión en bornes de la resistencia R_o , la cual debería ser negativa debido al efecto de la corriente I_o de carácter NTAT que pasa por dicha resistencia.

En las gráficas 4.4, 4.5 y 4.6 se puede analizar, para cada valor de tensión de salida, el efecto de estas tensiones. Se observa de manera clara que la tensión V_A es, efectivamente, PTAT y que la tensión de la resistencia es NTAT. El objetivo de conseguir una compensación de órdenes se intentará alcanzar al buscar que ambas magnitudes tengan una pendiente igual en valor absoluto. Al ser de tendencia contraria, se conseguirá su cancelación al combinarlas. Por ello, surge la necesidad de que en cada caso de tensión de salida, se deba buscar una R_o con un TEMPCO diferente, a fin de cambiar la pendiente de la tensión en bornes de la resistencia R_o (ver Tabla 3.3) y buscar esa cancelación total en las pendientes de las tensiones.

Cabe destacar que en el caso de salida de 400mV (ver Fig. 4.4) las pendientes de ambas tensiones son casi idénticas, haciendo que la compensación del primer y segundo orden de esta salida sea total, pudiéndose llegar a ver en los resultados posteriores, la aparición del tercer orden (tal y como se estudió en la teoría del capítulo 2). En el caso de las otras dos salidas, las pendientes son también bastante similares, pero no iguales, lo que no permitirá ver el tercer orden en las gráficas como en la salida anterior, pero si la compensación lineal y la aparición del segundo orden.

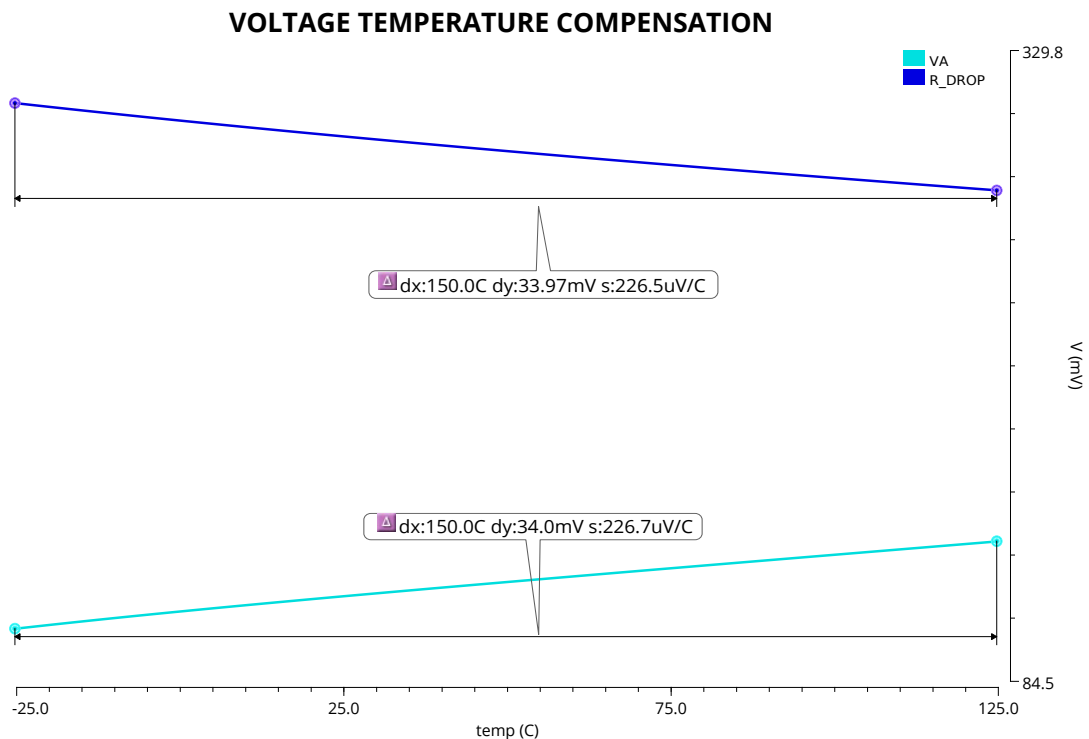


Figura 4.4: Tensión de salida compensada de 400mV.

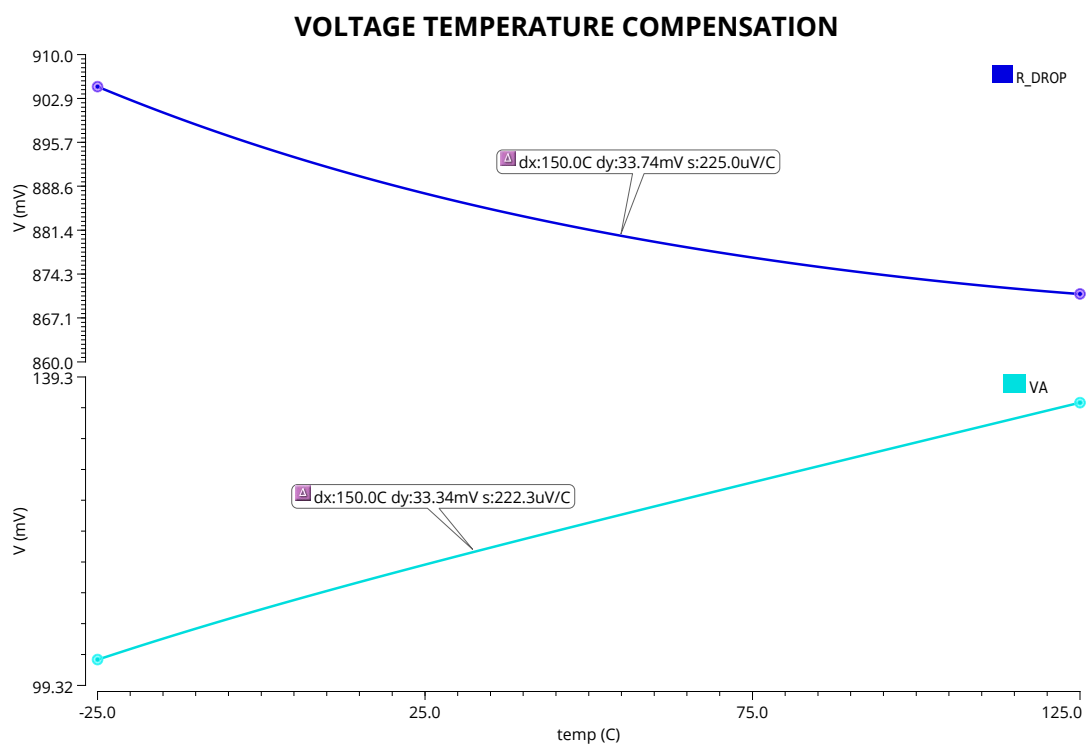


Figura 4.5: Tensión de salida compensada de 1V.

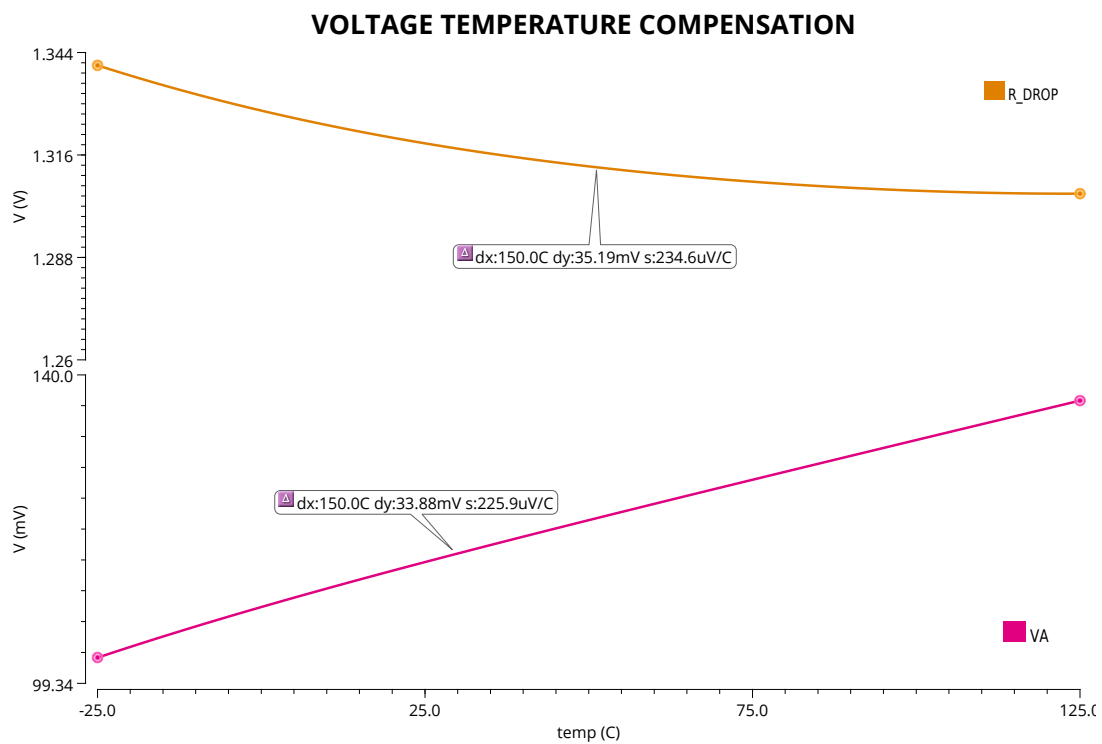


Figura 4.6: Tensión de salida compensada de 1.4V.

4.3. Tensión de Referencia. Análisis de continua

Con las conclusiones obtenidas en las gráficas anteriores (ver Figs. 4.4, 4.5 y 4.6), se procede a analizar la salida V_{REF} en los diferentes casos, con el fin de comprobar la compensación de los diferentes órdenes.

En la Figura 4.7 se puede estudiar la tensión de salida de 400mV compensada. Si se presta atención en el eje y que mide la tensión de la curva, puede observarse que el rango de tensiones es de menos de 1mV. Además, por la forma de la curva en las temperaturas negativas, puede identificarse que lo que se está observando en esta tensión de salida es el tercer orden (como se presentó en las explicaciones teóricas con la gráfica 2.11).

En cuanto al coeficiente de temperatura de la tensión de salida, se ha analizado en dos rangos distintos: el rango comercial (de 0°C a 70°C) y en un rango más extendido (de -25°C a 125°C) con el fin de obtener más información de los resultados. Comparado con la bibliografía que se ha ido estudiando [12], los valores de TEMPCOs se podrían considerar bastante reducidos (ninguno pasa de los $20\text{ppm}/^{\circ}\text{C}$), lo cual tiene sentido ya que en este caso se ha conseguido una compensación del primer y del segundo orden.

En el caso de las tensiones de salida de 1V y 1.4V (ver Figs. 4.8 y 4.9, respectivamente), puede verse, como ya se ha explicado, la curva del segundo orden, ya que este no ha sido compensado por entero (como se presentó en las explicaciones teóricas con la gráfica 2.9a). A pesar de ello, el valor de los TEMPCOs en ambos rangos es menos de $40\text{ppm}/^{\circ}\text{C}$ (sigue siendo un valor menos que los encontrados en la bibliografía [12]) en el caso de 1V de salida, y menor de $50\text{ppm}/^{\circ}\text{C}$ en el caso de 1.4V (el cual sigue siendo menor que en la mayoría de resto de casos de la bibliografía). En los tres casos se cumple el objetivo de la Tabla 1.1 de conseguir un TEMPCO a la salida menor a $100\text{ppm}/^{\circ}\text{C}$.

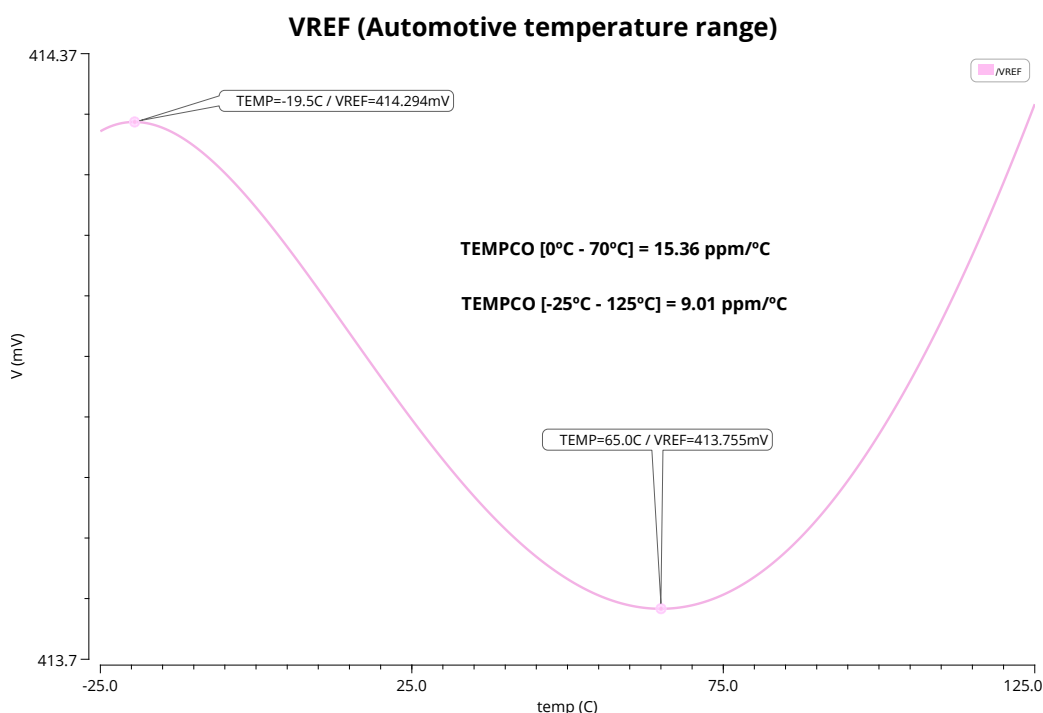


Figura 4.7: Tensión de referencia para una tensión de salida de 400mV.

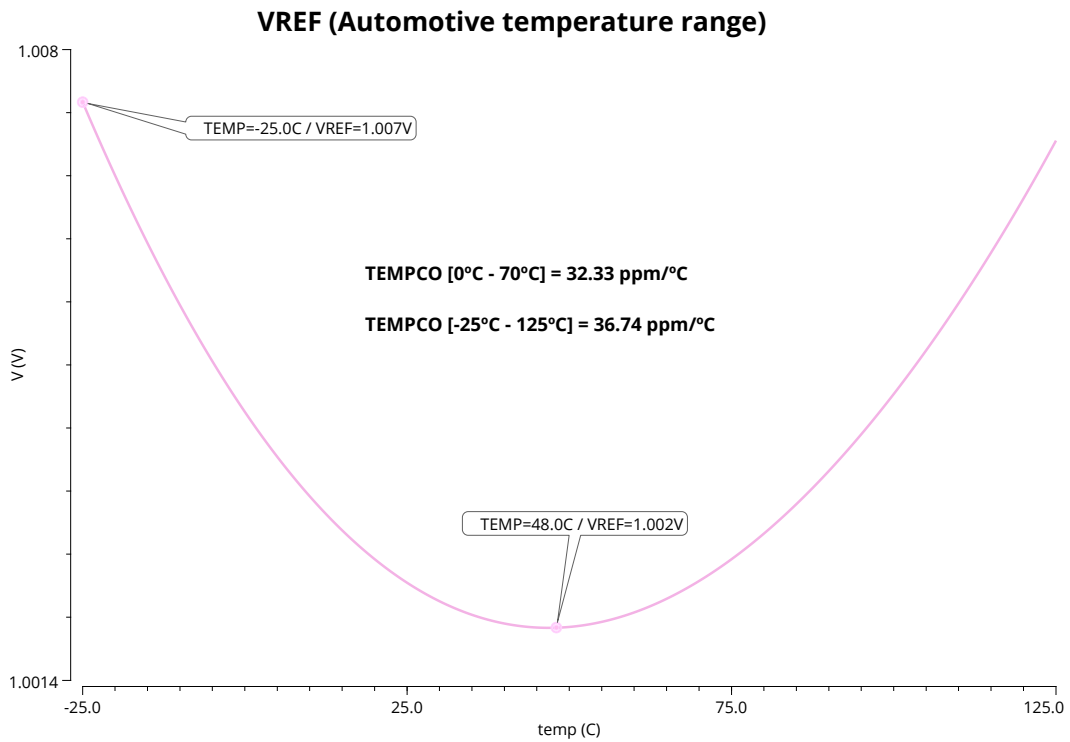


Figura 4.8: Tensión de referencia para una tensión de salida de 1V.

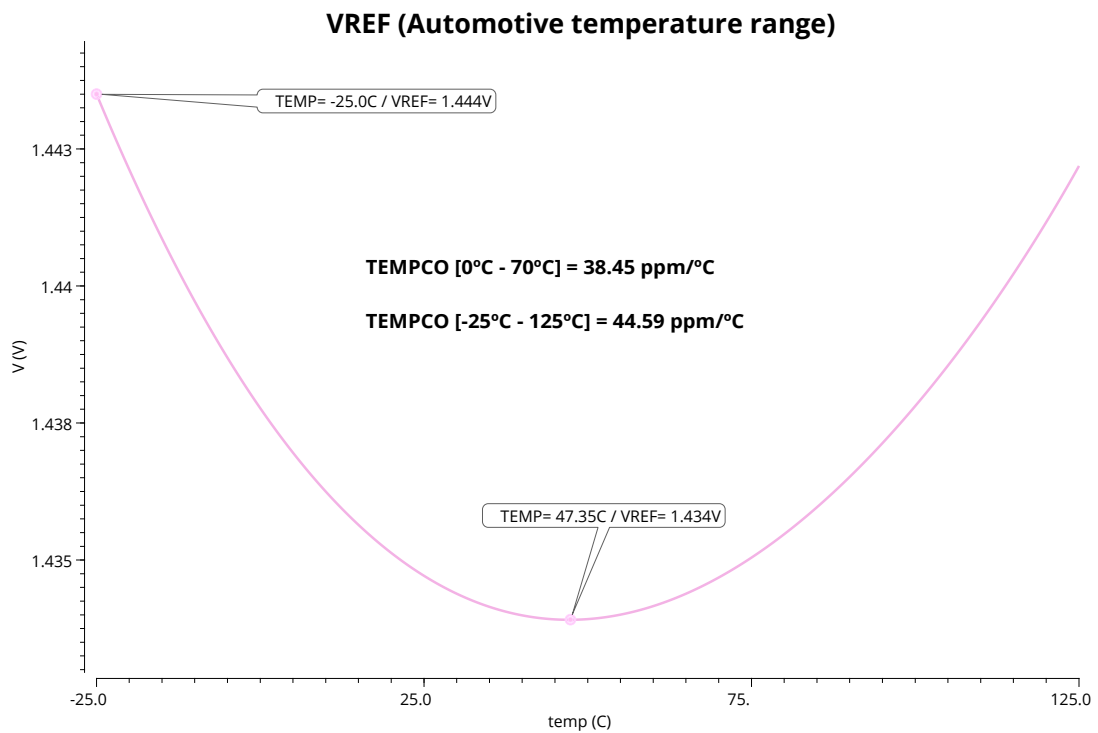


Figura 4.9: Tensión de referencia para una tensión de salida de 1.4V.

4.4. Tensión de referencia. Montecarlo

Se ha realizado un estudio estadístico de los resultados obtenidos más importantes, con el fin de obtener información para distintos casos y poblaciones.

Se ha preferido llevar a cabo este tipo de análisis en vez de un estudio de tipo *corner* debido a que, en este último solo se puede obtener información de los casos más extremos que pueden surgir en el proceso de fabricación. En cambio, el análisis Montecarlo, ofrece información estadística de toda la población, pudiendo detectar, en el caso de que hay una anomalía en la forma de la distribución, si existen en el circuito elementos que estén estropeando su funcionamiento. Además, la sigma de la distribución ofrece información sobre el error que existe con respecto al valor nominal; si la sigma es estrecha, el error será reducido, y si es ancha, indicará que la dispersión es muy grande.

En las gráficas 4.10, 4.11 y 4.12 se puede estudiar la distribución que proporciona este tipo de análisis. En las tres tensiones, la mayoría de los casos se agrupan alrededor del valor objetivo de cada tensión de salida.

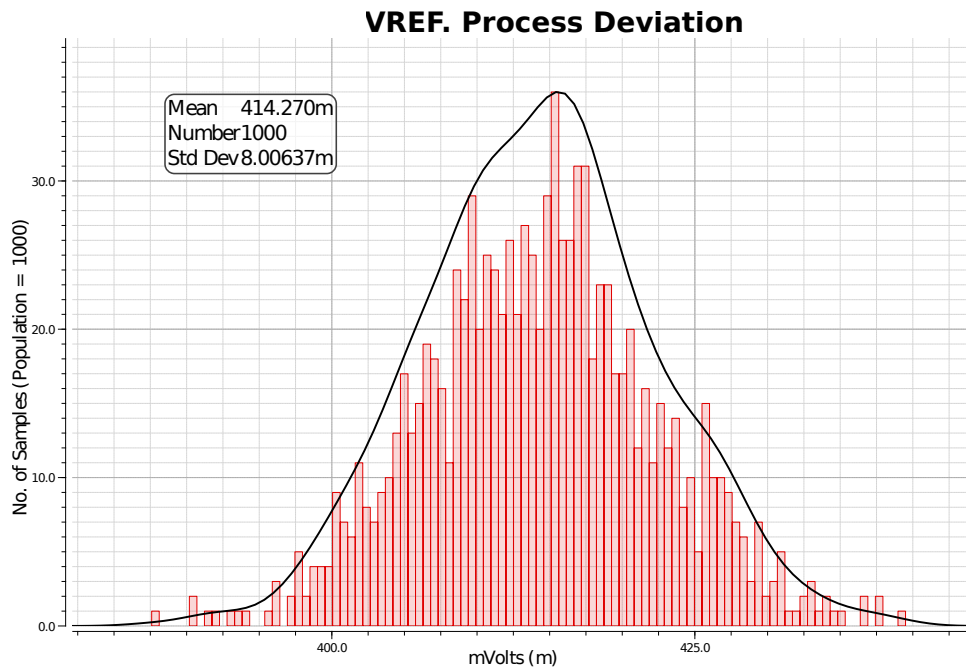


Figura 4.10: Análisis de Montecarlo de la tensión de referencia para una tensión de salida de 400mV.

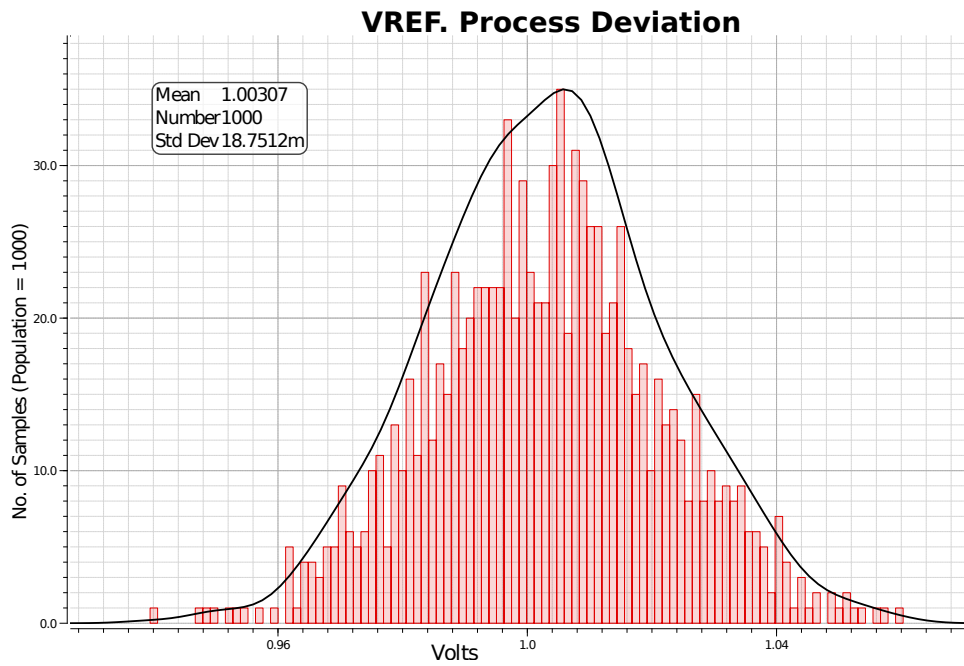


Figura 4.11: Análisis de Montecarlo de la tensión de referencia para una tensión de salida de 1V.

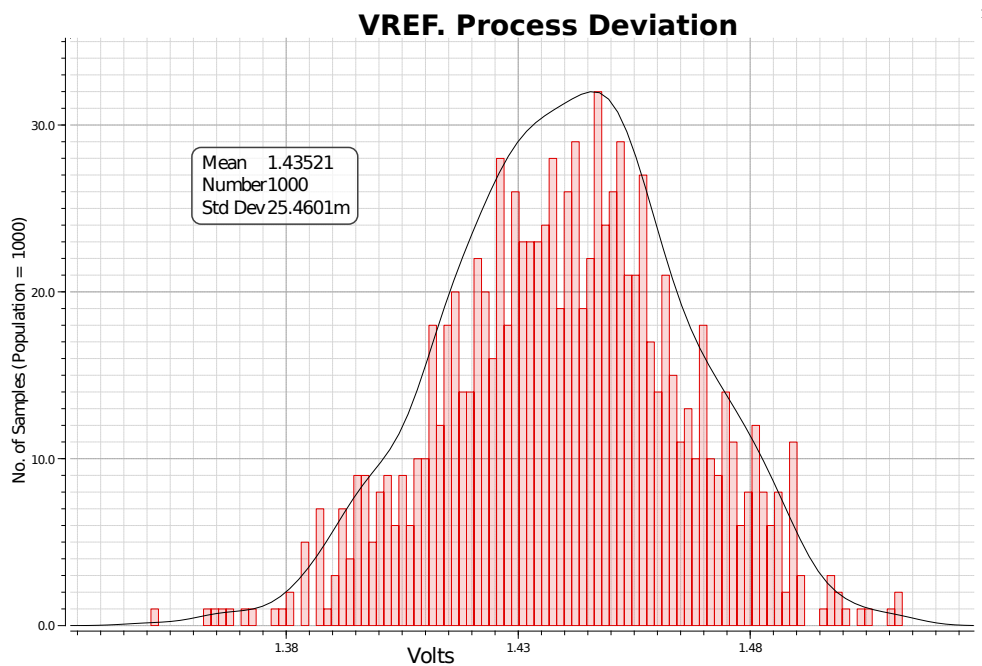


Figura 4.12: Análisis de Montecarlo de la tensión de referencia para una tensión de salida de 1.4V.

4.5. TEMPCO. Montecarlo

Como ya se ha comentado en apartados anteriores, el coeficiente de temperatura de la tensión de salida se ha estudiado en dos rangos distintos de temperatura. Con el objetivo de comprender mejor los valores nominales obtenidos con el estudio de la tensión de referencia, se ha realizado un análisis de tipo Montecarlo para este parámetros también.

Cabe destacar que en las gráficas que se van a mostrar a continuación, se presenta la información de manera diferente a como se ha estudiado en el apartado anterior. En este caso, se muestra la curva resultante de realizar el Montecarlo (curva negra), y una distribución acumulativa que muestra la cantidad de casos que se encuentran por debajo de cierto valor de TEMPCO, con la finalidad de poder formar una idea más aproximada de la estadística de los resultados.

Rango Comercial. 0°C - 70°C

En primer lugar se ha analizado el rango comercial, el cual es el que se utiliza para hacer pruebas y verificaciones con el fin de sacar un producto al mercado.

En las gráficas 4.13, 4.14 y 4.15 puede observarse la forma de la curva de la distribución del análisis de Montecarlo y la cantidad de población que se encuentra por debajo de determinado valor para este rango.

Cabe destacar que para todas las posibles tensiones de salida, la mitad de la población de casos se encuentra por debajo de los 50ppm/°C. También se han analizado los valores resultantes bajo los cuales se escoge al 90% de la población y, como es lógico, los TEMPCOs salen mayores, pero todos se mantienen por debajo del objetivo de 100ppm/°C.

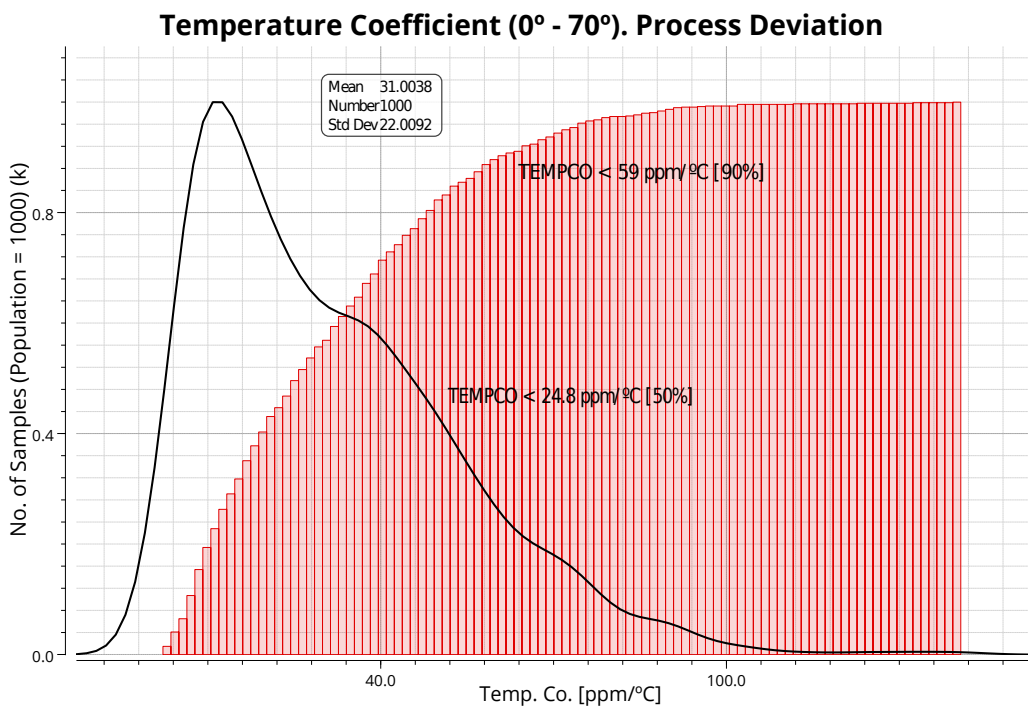


Figura 4.13: Valor del TEMPCO comercial para una tensión de salida de 400mV.

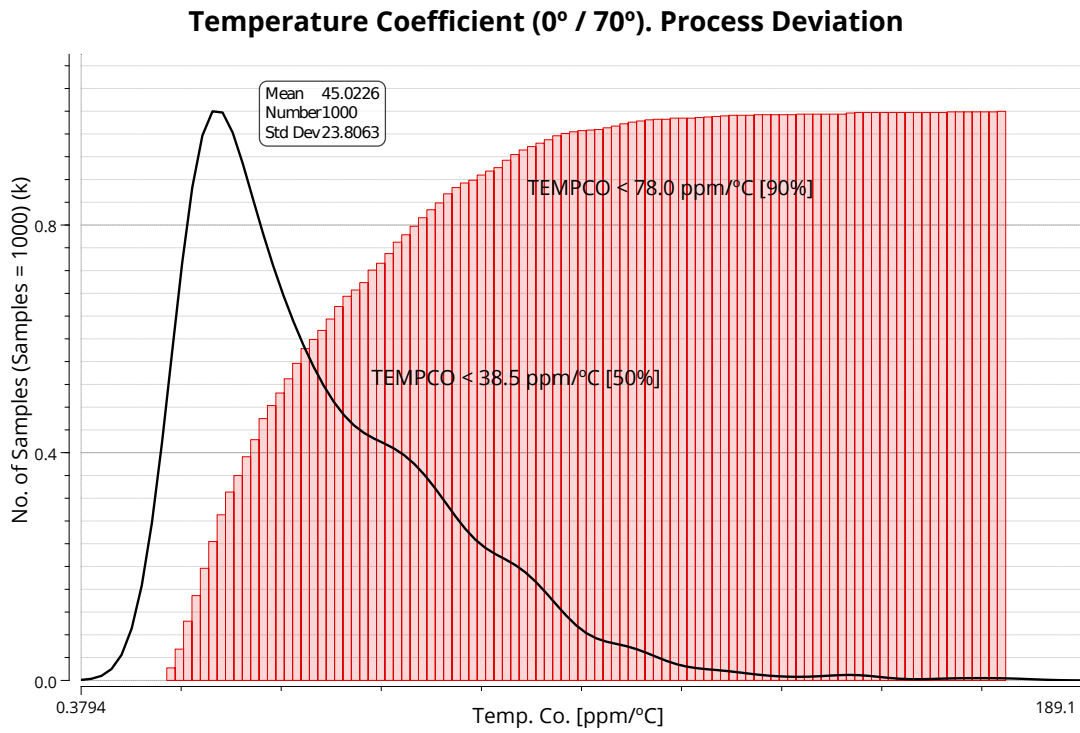


Figura 4.14: Valor del TEMPCO comercial para una tensión de salida de 1V.

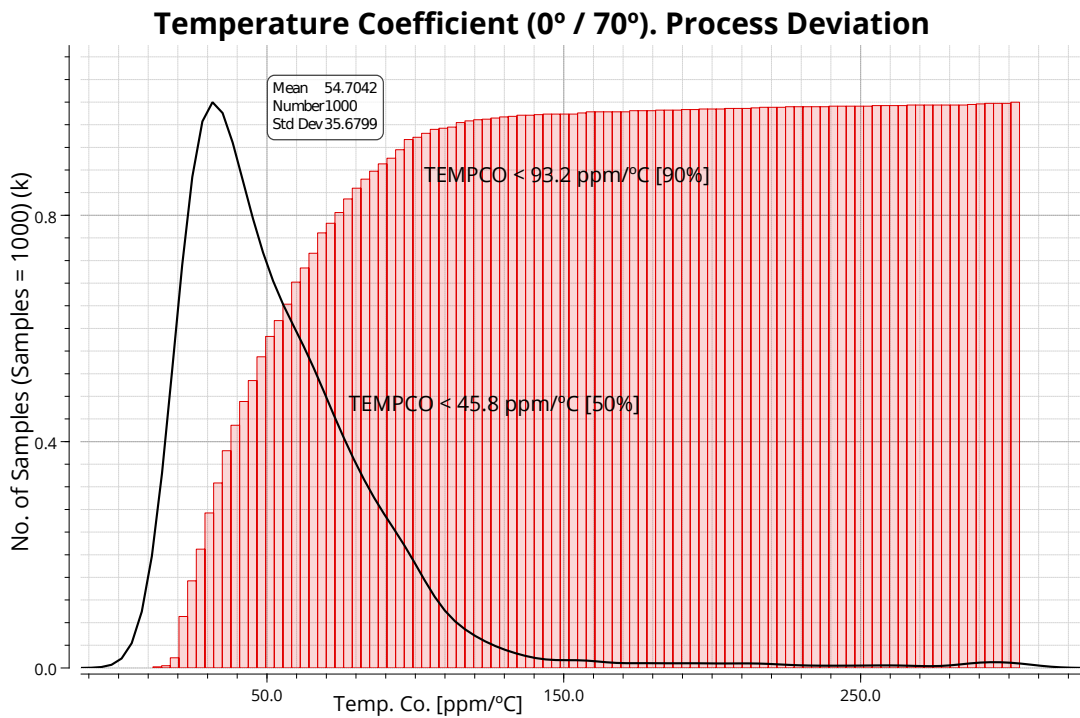


Figura 4.15: Valor del TEMPCO comercial para una tensión de salida de 1.4V.

Rango extendido. -25°C - 125°C

Este rango se ha estudiado para obtener más información de la compensación y los TEMPCOs con una variabilidad de temperatura mayor.

De la misma manera que se ha analizado el rango anterior, se puede observar que para un porcentaje de población de 50 %, los valores son un poco mayores al rango comercial, pero se siguen manteniendo por debajo del objetivo, incluso para el 90 % de los casos.

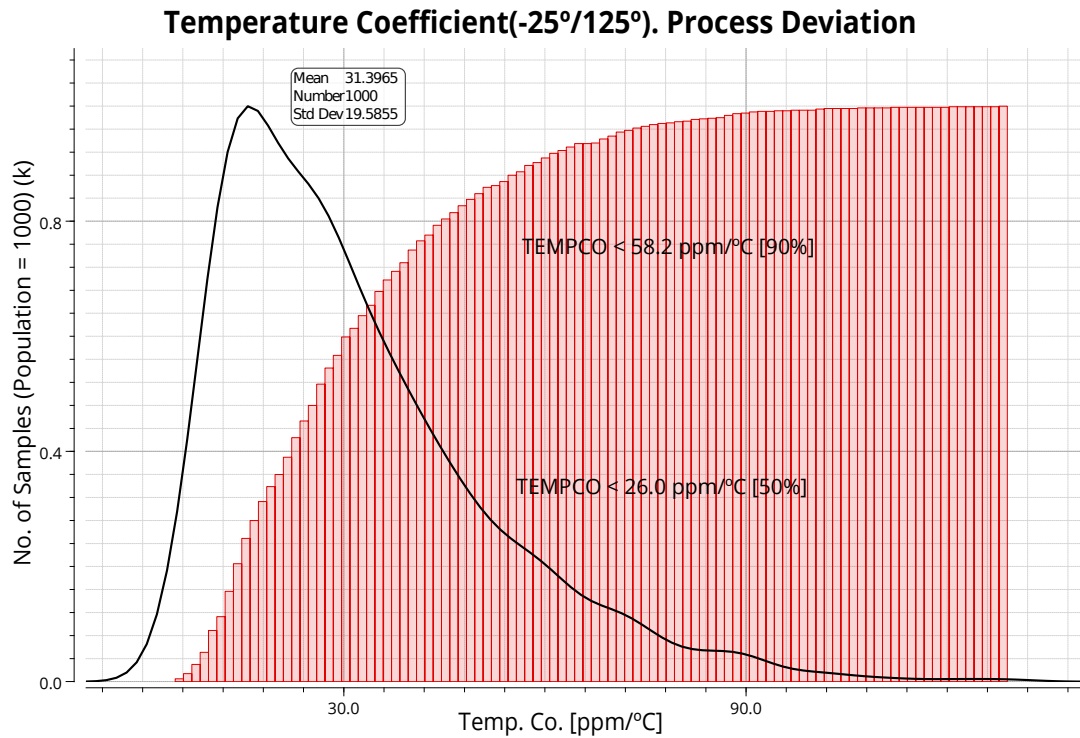


Figura 4.16: Valor del TEMPCO en rango extendido para una tensión de salida de 400mV.

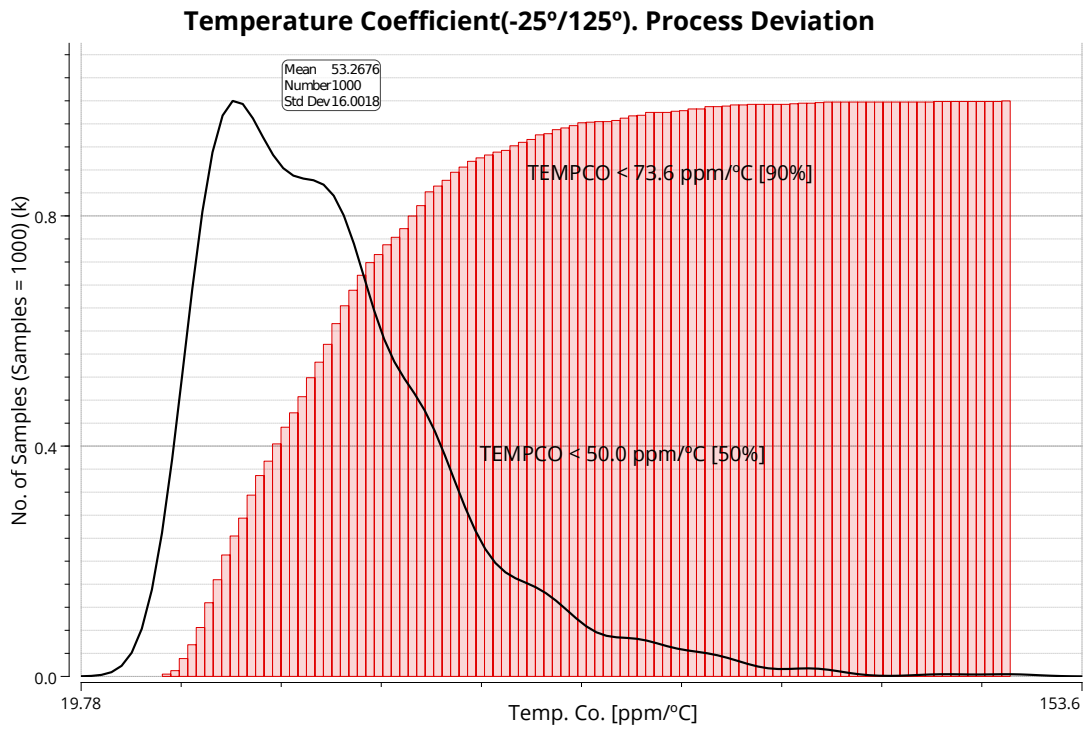


Figura 4.17: Valor del TEMPCO en rango extendido para una tensión de salida de 1V.

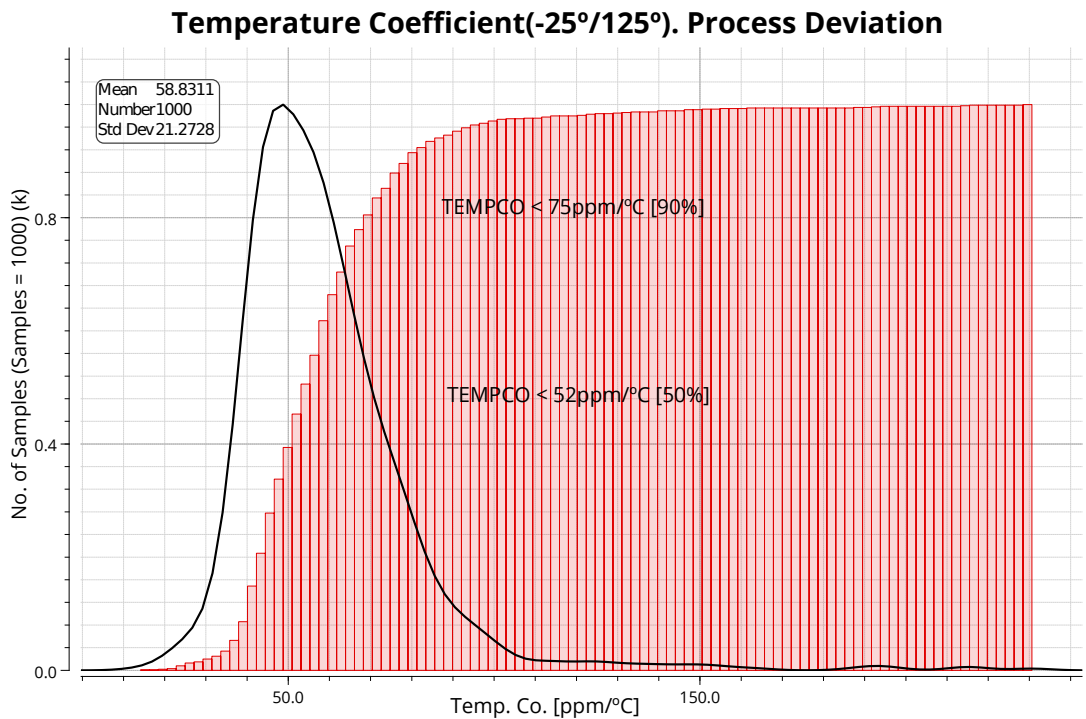


Figura 4.18: Valor del TEMPCO en rango extendido para una tensión de salida de 1.4V.

4.6. Transitorio del circuito *Start-Up*

En el apartado 3.3.3 se explicó el funcionamiento del circuito de *Start-Up* que permite hacer funcionar al *bandgap* cuando está apagado.

Para comprobar que el arranque del *Start-Up* y el circuito principal se comporta como se espera, se ha realizado una simulación *Transient*. Se pueden estudiar las gráficas 4.19, 4.20 y 4.21, donde se presentan los tiempos de las señales de V_{REF} , la entrada del inversor y la salida *Start-Up*. Cuando la señal de la entrada del inversor está a 0V, la salida del *Start-Up* comienza a elevar su tensión, abriendo el camino de corriente ya explicado que permitirá que la parte del núcleo del sistema empiece a funcionar. El transitorio de la salida del *bandgap* tarda unos $10\mu s$ en alcanzar la tensión objetivo debido al tiempo que necesita el circuito entero en llegar a los valores necesarios para ponerse en funcionamiento. Una vez alcanzado este estado, la entrada del inversor pasa a tener un valor alto de tensión que hace que la salida del *Start-Up* baje a una tensión casi nula, haciendo que el circuito de arranque se desconecte del circuito principal y dejando que funcione por su cuenta.

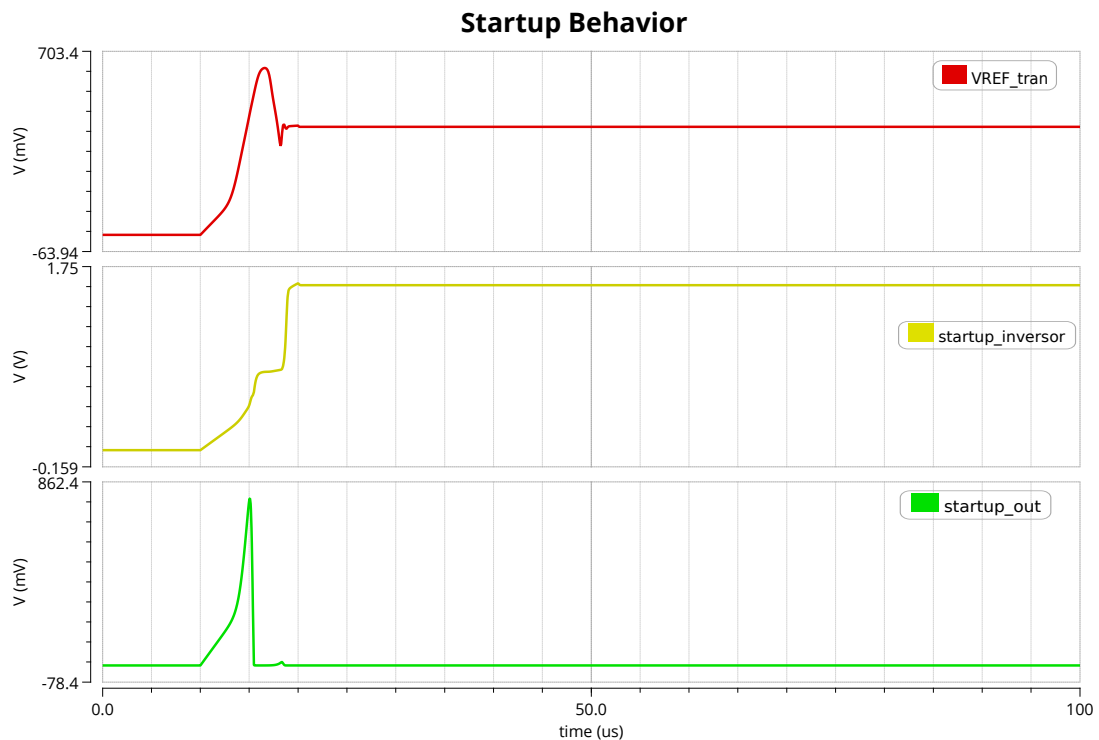


Figura 4.19: Simulación del transitorio del circuito de *Start-Up* para una tensión de salida de 400mV.

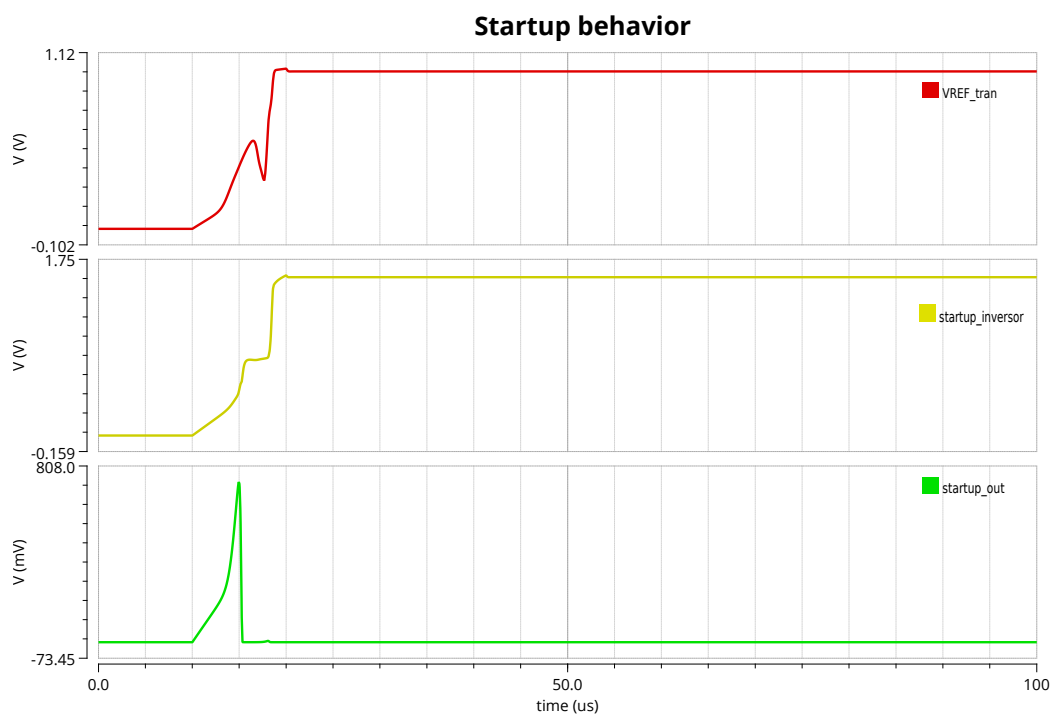


Figura 4.20: Simulación del transitorio del circuito de *Start-Up* para una tensión de salida de 1V.

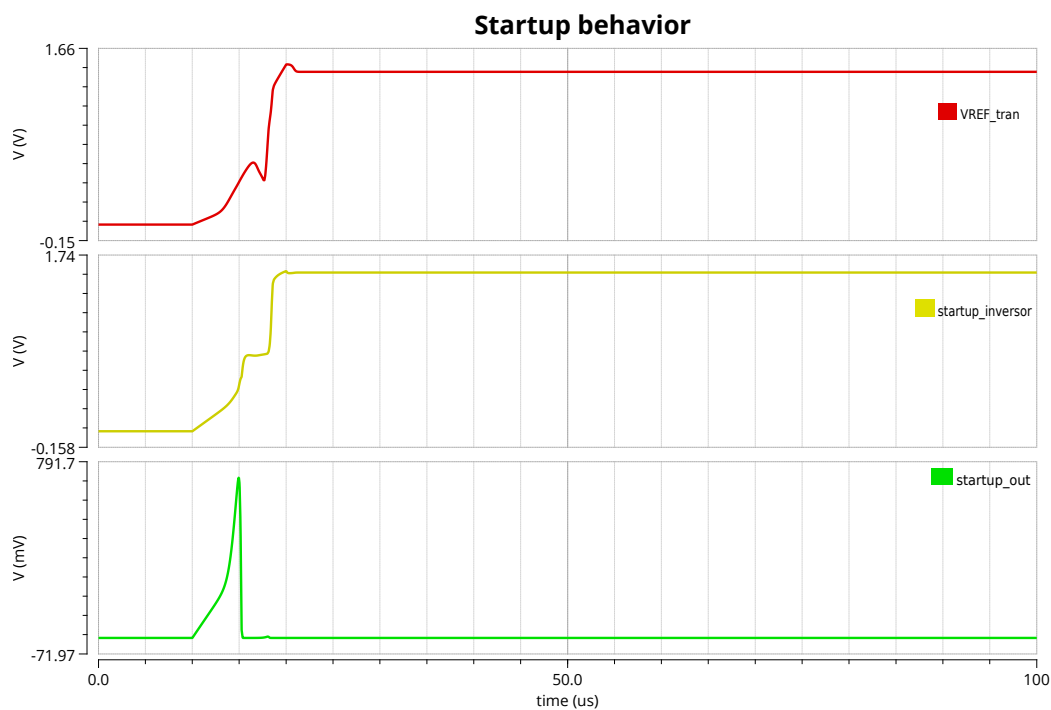


Figura 4.21: Simulación del transitorio del circuito de *Start-Up* para una tensión de salida de 1.4V.

4.7. PSRR

El PSRR proporciona información sobre el rechazo a las perturbaciones provenientes de la alimentación que se propagan hasta la salida del circuito.

En las gráficas 4.22, 4.23 y 4.24 se han medido el valor que tiene el PSRR en frecuencias específicas que sirven de control clave a la hora de analizar la calidad de este parámetro y controlar el ruido que se introduce en el circuito desde la alimentación. Es importante estudiar este tipo de gráficas para saber cuáles son los puntos en los que el circuito no se puede proteger de dicho ruido. Con esta información, se puede diseñar un LDO que se conecta al circuito y lo ayude a mejorar la atenuación y la manera de preservar su buen funcionamiento a pesar de las perturbaciones que pueda introducir la alimentación.

Haciendo una comparación con la bibliografía, se ha observado que el rango de valores del PSRR va de los -40dB a los -70dB a baja frecuencia. En el caso de este diseño, la atenuación es menor, pero se mantiene dentro del mismo orden. Esto puede deberse a que, como el *bandgap* diseñado en este trabajo consta de dos etapas (ya que se ha añadido una etapa de protección a modo de *buffer* que los circuitos de la bibliografía no han añadido), el ruido proveniente de la alimentación puede introducirse hacia el circuito por dos caminos diferentes, pudiéndose defender peor de dichas perturbaciones en la señal.

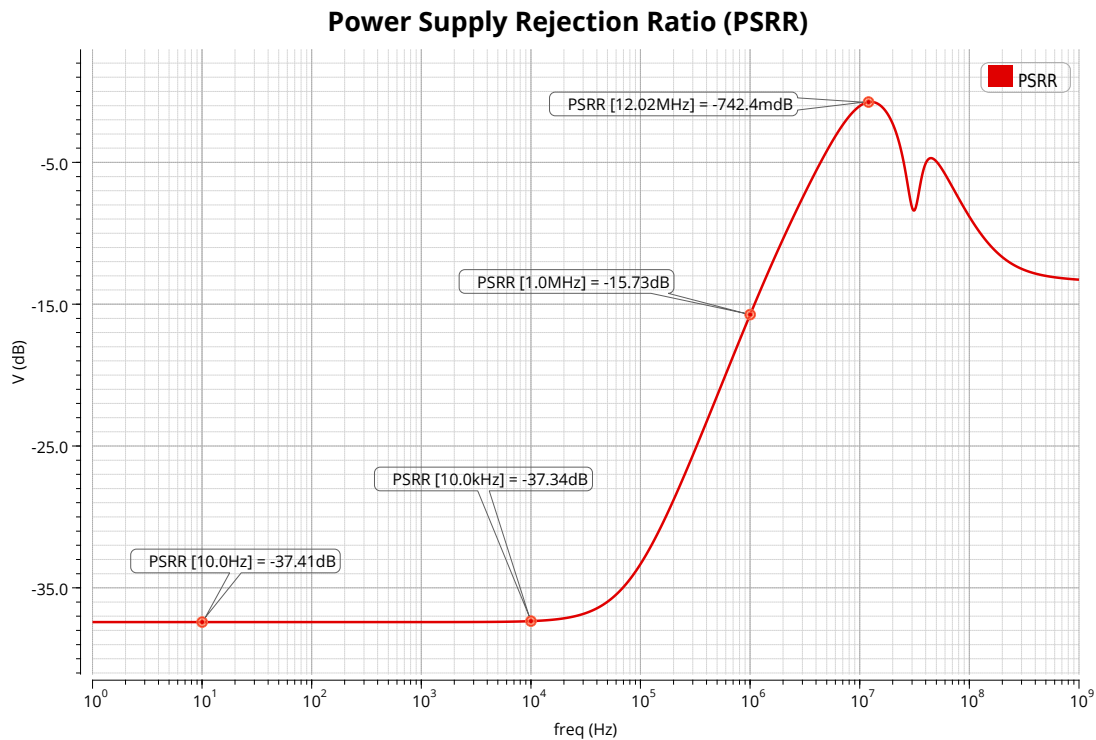


Figura 4.22: Simulación del PSRR para una tensión de salida de 400mV.

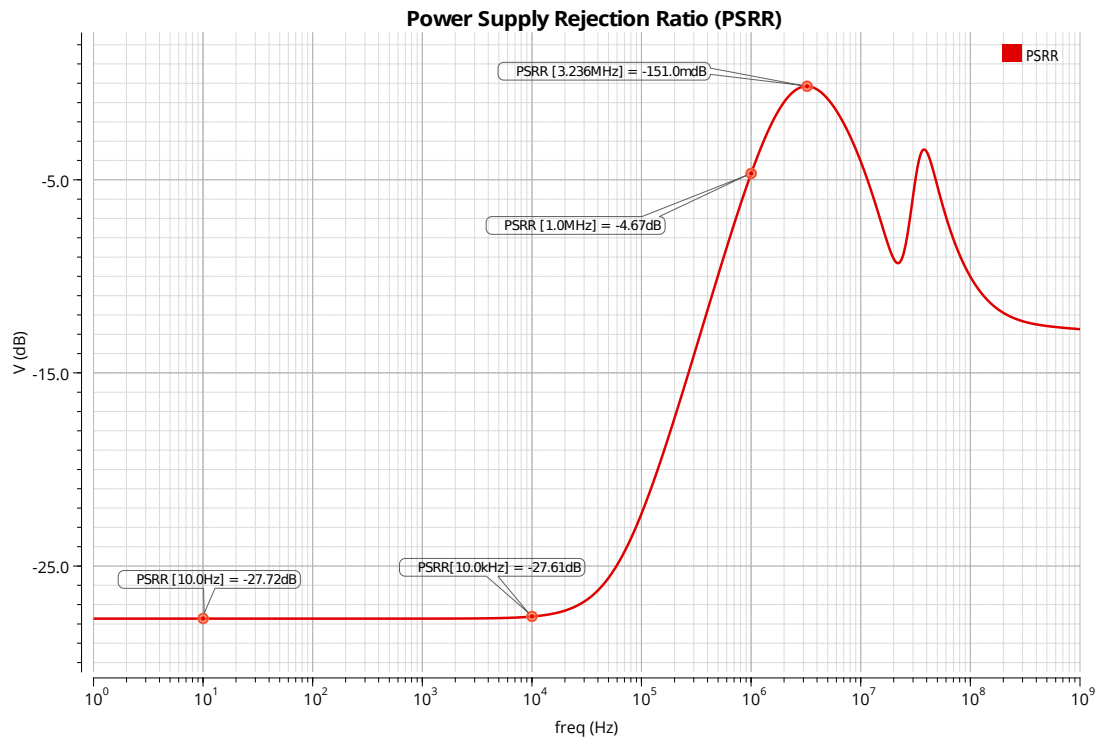


Figura 4.23: Simulación del PSRR para una tensión de salida de 1V.

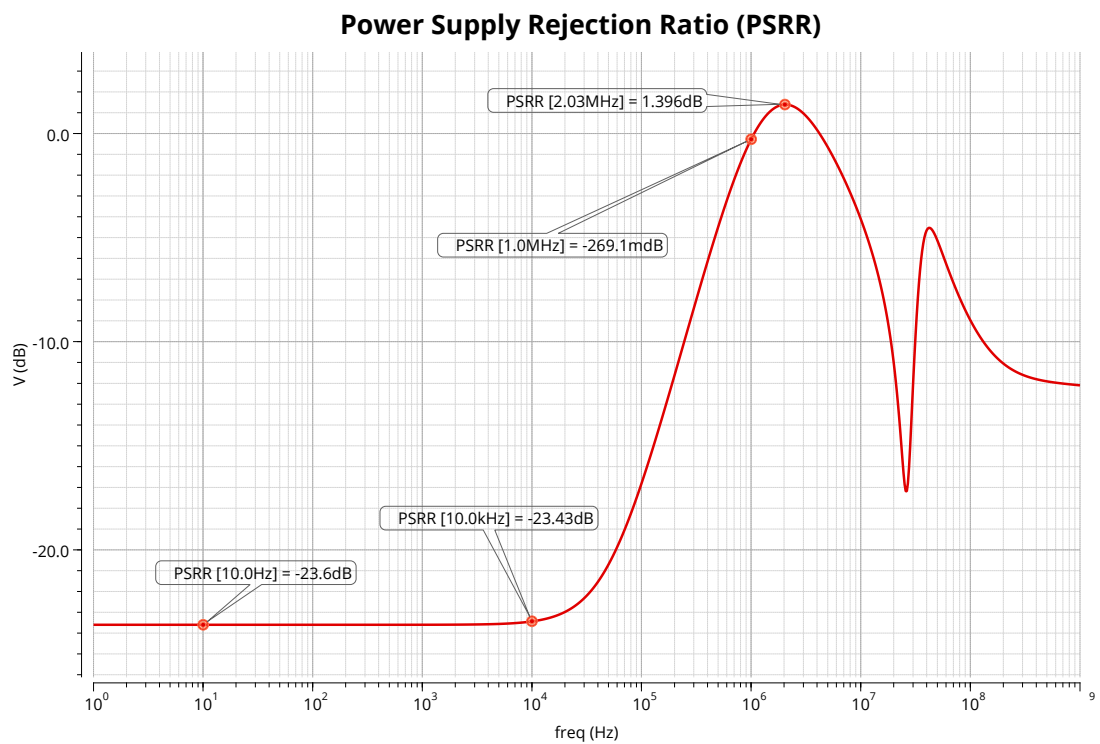


Figura 4.24: Simulación del PSRR para una tensión de salida de 1.4V.

4.8. Ruido. Valor Nominal

Tras el análisis de ruido desarrollado en el apartado 3.3.4, se han obtenido las gráficas correspondientes para poder observar su comportamiento, y relacionarlo con los resultados teóricos.

Como se explicó en dicho apartado, se ha utilizado en el *bandgap* un condensador de Miller que permite disminuir el ancho de banda del sistema y, por consiguiente, rebajar el ruido. También se ha de tener en cuenta que la capacidad de carga afecta a la respuesta de ruido, pudiéndose modificar para bajar el valor total de ruido también.

Se han tomado las medidas de ruido a la salida del circuito para un valor de ancho de banda equivalente de 60MHz. En las tres gráficas 4.25, 4.26 y 4.27 se puede observar la típica forma de onda de respuesta de densidad de ruido, mostrando la parte de ruido flicker a bajas frecuencias, y ruido térmico a altas frecuencias.

Comparando los valores nominales obtenidos con la bibliografía [13], se puede decir que el circuito diseñado en este trabajo tiene un ruido del orden del resto de estudios de *bandgaps* que se han estudiado.

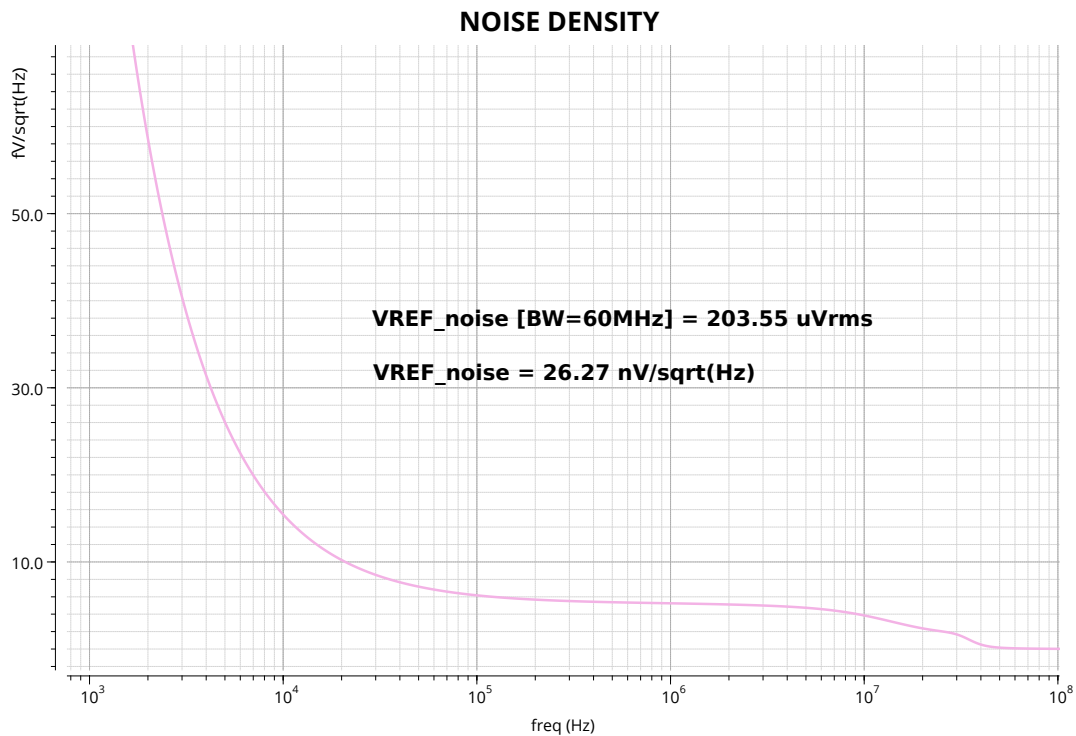


Figura 4.25: Simulación de ruido nominal para una tensión de salida de 400mV.

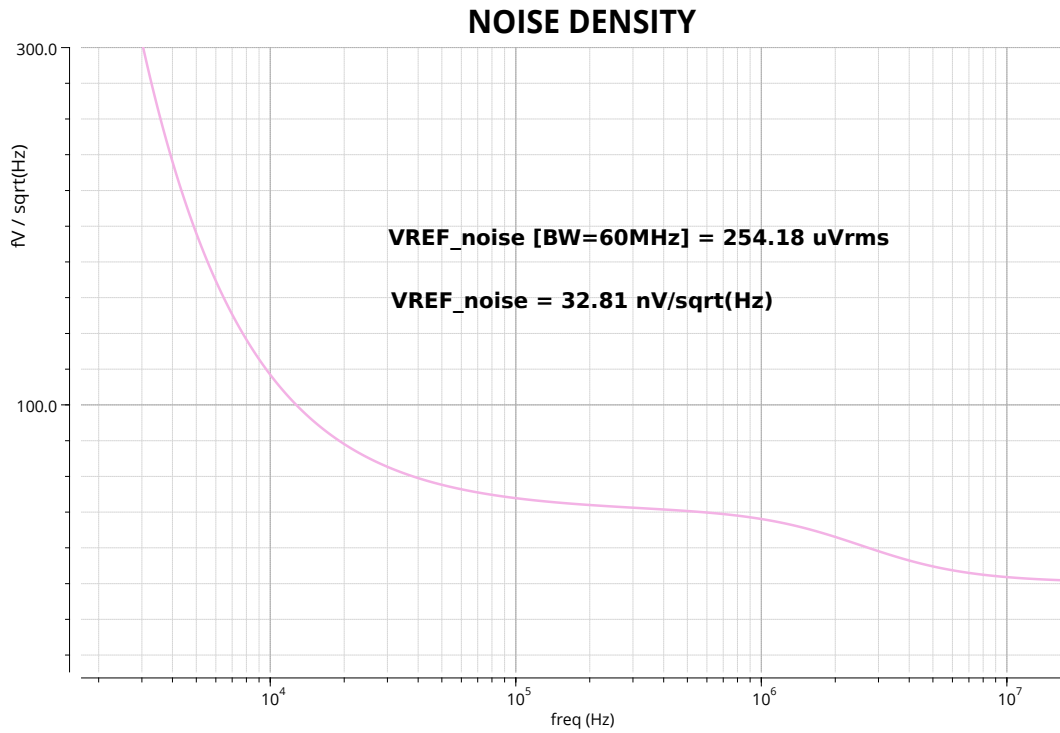


Figura 4.26: Simulación de ruido nominal para una tensión de salida de 1V.

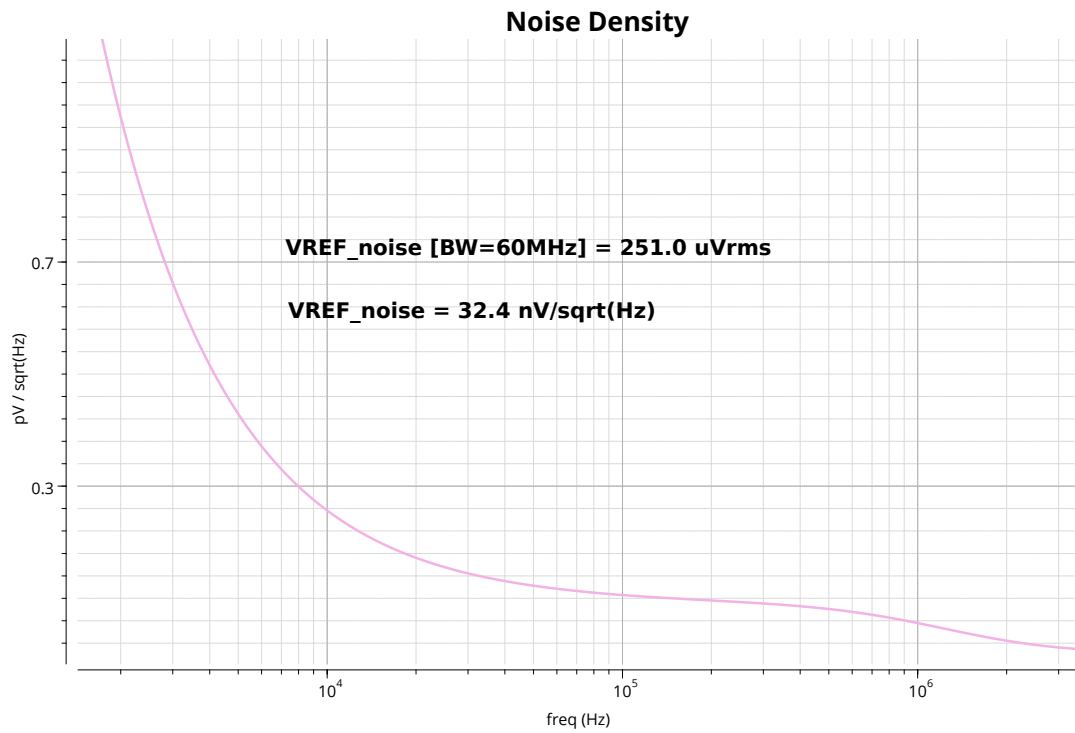


Figura 4.27: Simulación de ruido nominal para una tensión de salida de 1.4V.

4.9. Ruido. Montecarlo

El análisis de tipo Montecarlo que se ha aplicado para estudiar los resultados estadísticos de la tensión de referencia y el coeficiente en temperatura, también se ha utilizado para estudiar el comportamiento del ruido en una población elevada de casos.

En las gráficas 4.28 y 4.29 se puede observar una forma de distribución que podría parecer ancha, traduciéndose en un mal resultado. Sin embargo, prestando atención a la escala del parámetro sigma, puede analizarse que, con la escala de la gráfica, la forma de la distribución se traduciría en un pulso bastante estrecho, lo que se puede verse como un error reducido en los valores nominales. En el caso de la gráfica 4.30, la distribución sí que se podría interpretar como un mal resultado, ya que su forma muestra una sigma ancha, lo cual indicaría que hay un componente en el circuito que esta afectando de manera importante al funcionamiento de este. Esto podría deberse al factor variable que existe entre unos casos y otros de tensión de salida, la R_o , ya que dependiendo de la tensión compensada que quiera alcanzarse, se usa un valor de resistencia u otro.

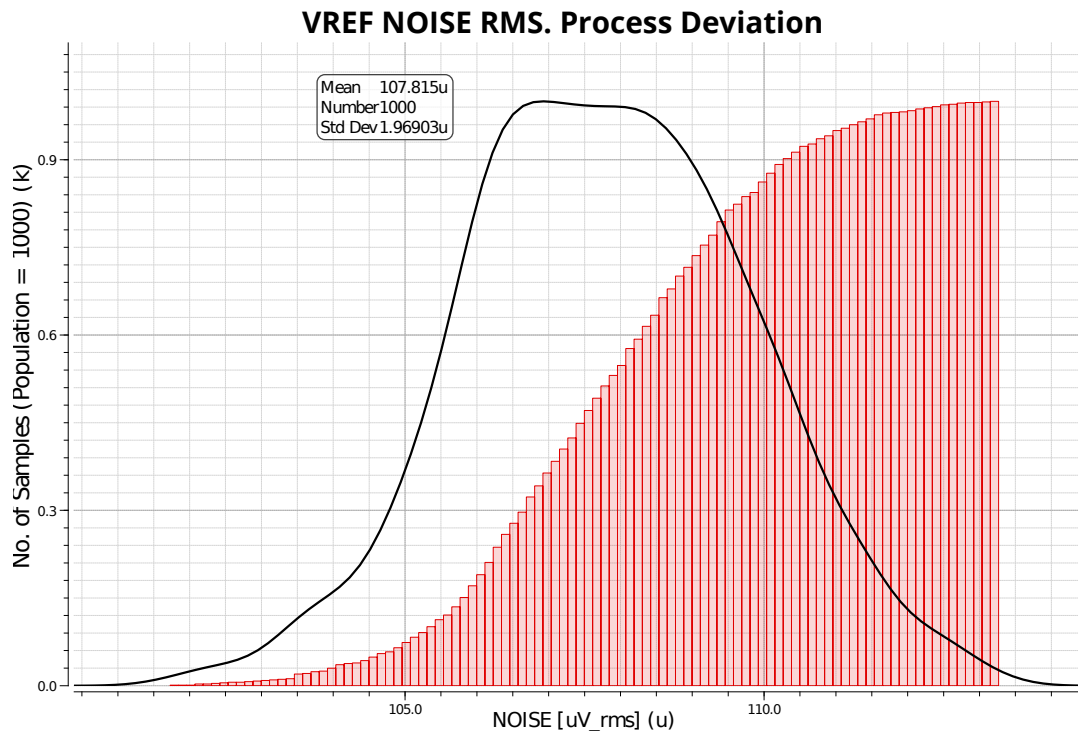


Figura 4.28: Simulación de ruido estadístico para una tensión de salida de 400mV.

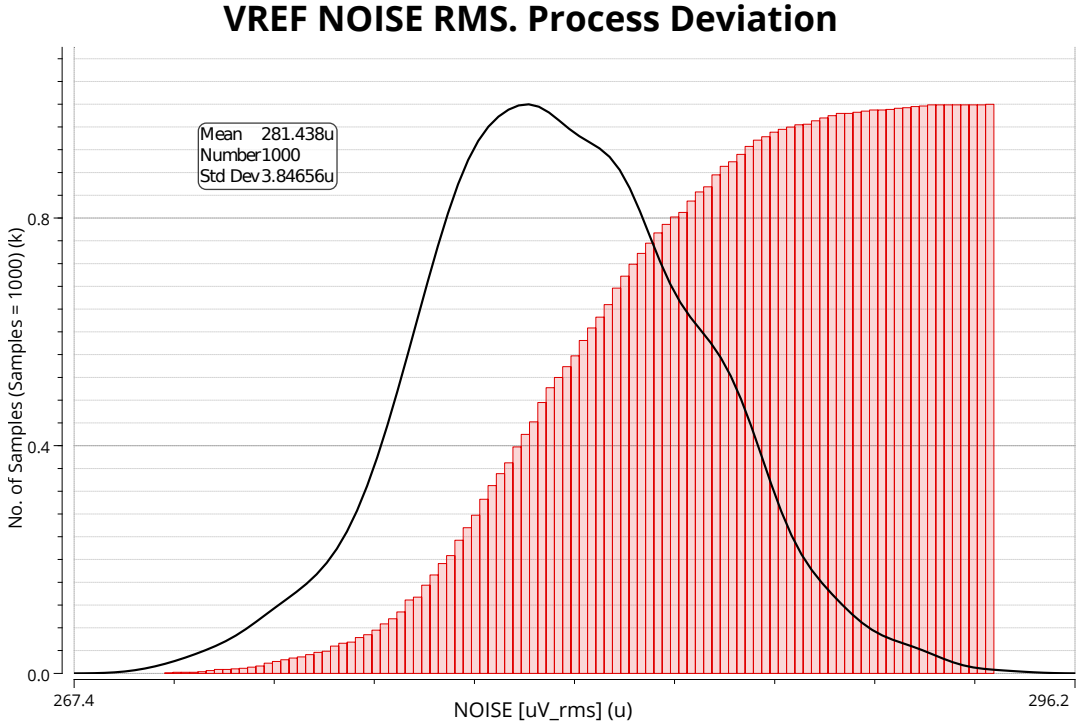


Figura 4.29: Simulación de ruido estadístico para una tensión de salida de 1V.

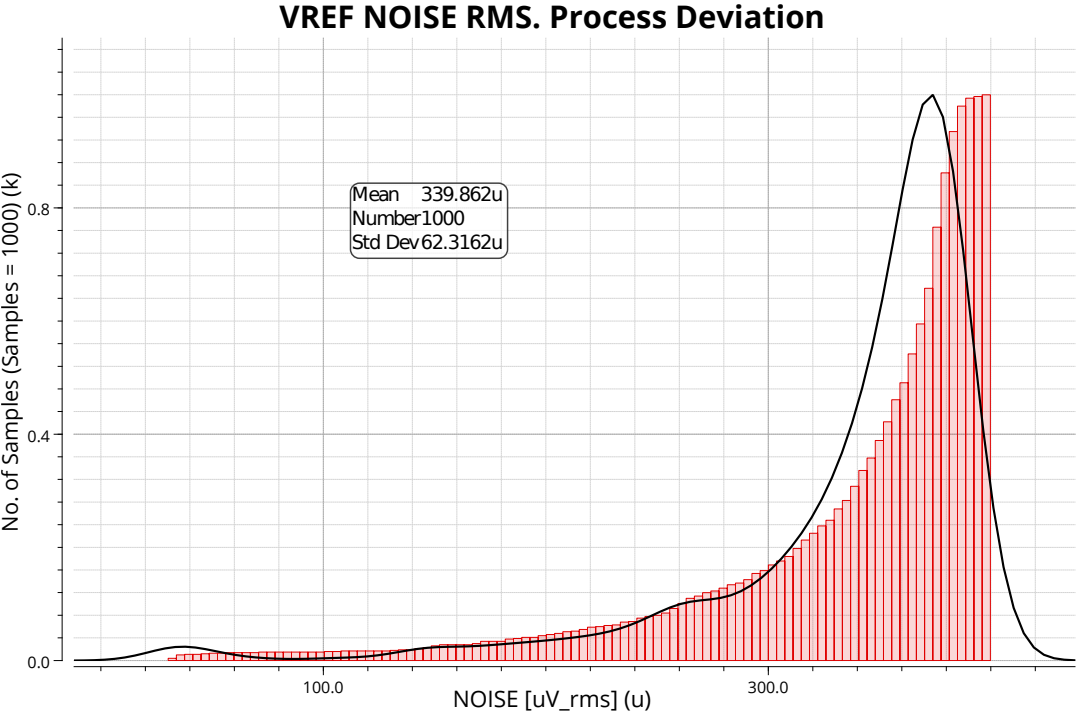


Figura 4.30: Simulación de ruido estadístico para una tensión de salida de 1.4V.

Capítulo 5

Conclusiones

En este trabajo se ha diseñado un *bandgap* de múltiples salidas que tiene como objetivo proporcionar a su salida una tensión de referencia constante ante las variaciones de la temperatura. Dicho circuito consta de dos etapas, un núcleo fijo que ofrece una corriente estable en temperatura de TEMPCO nulo que podría ser utilizada en otras aplicaciones, y una etapa de salida que hace la función de *buffer*, protegiendo al circuito de manera implícita de los posibles cambios de carga externa. Mediante la combinación de ambas etapas y configurando de manera específica la etapa de salida para cada caso, se realiza un proceso de compensación en temperatura que permite ofrecer a la salida del circuito, tres posibles tensiones de referencia, a 400mV, 1V y 1.4V. Cabe destacar que los resultados de la salida compensada a 400mV son los mejores conseguidos de entre los tres casos diseñados, lo cual es muy importante a la hora de presentar el circuito como un bloque de referencia, ya que hoy en día, se buscan salidas por debajo de 1V en este tipo de aplicaciones.

El circuito ha sido diseñado por completo con tecnología CMOS, utilizando transistores de tipo MOSFET. Se ha podido demostrar a lo largo de este trabajo que, a pesar de que muchos *bandgaps* de la bibliografía utilizan transistores BJT, es posible utilizar MOSFET en inversión débil que se comporten de la misma manera, con el fin de aprovechar todas las ventajas que ofrece este tipo de transistores.

Se han utilizado combinaciones de componentes pasivos (resistencias) reales cuyos coeficientes de temperatura han sido empleados como parámetros de ajuste para conseguir la compensación en temperatura de la variables. En todas las salidas de referencia se ha podido llegar a alcanzar la compensación total del primer orden y se ha llegado a conseguir de manera parcial la compensación de segundo orden en algunos casos.

Además, según está diseñado el circuito no es necesario utilizar un OPAMP que participe en el proceso de compensación, lo cual evita introducir en el circuito los posibles problemas que puede suponer usarlo. De manera complementaria, se ha diseñado un circuito de *start-up* que permite garantizar un arranque seguro del *bandgap* durante el proceso de encendido.

Por otra parte, se ha realizado un estudio completo de ruido, y se ha logrado controlar y rebajar dicho parámetro al modificar el ancho de banda del sistema.

Por último, se han comparado los resultados obtenidos de las simulaciones realizadas sobre el circuito diseñado con los obtenidos en otros *bandgaps* estudiados en la bibliografía y se ha podido comprobar que los resultados de este trabajo son del mismo orden o mejor, teniendo en cuenta que la estructura diseñada es más versátil y evita más problemas.

Capítulo 6

Trabajo a futuro

Como ya se ha explicado, el proyecto de elaboración completo de un circuito analógico requiere un proceso complejo de diseño y simulación, del cual se han realizado todos los pasos, desde la especificación del diseño hasta el dimensionamiento del diseño en el software y la obtención de resultados en las simulaciones. En general, todas las especificaciones objetivo han llegado a cumplirse.

En la presentación de resultados ha podido observarse que se ha logrado llegar a compensar en temperatura la componente lineal, pero que en dos de los tres casos de tensión de salida estudiados no se ha podido compensar del todo el segundo orden. Podría llegar a alcanzarse la compensación de dicho orden en todos los casos si se cambiase, además de la resistencia R_o de la etapa de salida, las resistencias del núcleo, para buscar otro tipo de tendencia dependiendo de la tensión de salida deseada.

Con el fin de aprovechar la corriente IZTAT conseguida en la primera etapa del *bandgap*, podría llegar a diseñarse un *buffer* de corriente que permitiera llevarla hacia otro circuito donde se quisiera utilizar.

Tal y como se presentó en la Figura 1.2 que muestra el diagrama de flujo del diseño de un circuito analógico, podría completarse el trabajo haciendo el *layout* del *bandgap* diseñado en esta memoria, con el fin de que fuera una célula totalmente funcional en una librería de diseño. Llevando a cabo este proceso, se podría llegar a obtener más información acerca del comportamiento real del circuito, como algunos parásitos que pueden llegar a aparecer debido a las metalizaciones y desviaciones producidas por errores de *matching* (simetría entre distintas partes del circuito que deberían mantener un comportamiento parecido).

Al haber conseguido una célula original y de la cual no se ha visto una estructura parecida en el resto de bibliografía, se tiene intención de escribir una publicación de cara al año que viene, que muestre todos los resultados conseguidos en este trabajo.

Bibliografía

- [1] E. Allen - D.R. Holberg. *CMOS Analog Circuit Design*. Oxford University Press. ISBN: 978-0-19-976507-2.
- [2] *Europractice-IC*. <https://europractice-ic.com/technologies/asics/x-fab/>.
- [3] A.P. Brokaw. *How to Make a Bandgap Voltage Reference in One Easy Lesson*. A. Paul Brokaw e Integrated Device Technology, 2011.
- [4] A.P. Brokaw. "A simple three-terminal IC bandgap reference". En: *IEEE Journal of Solid-State Circuits* 9.6 (1974), págs. 388-393. DOI: 10.1109/JSSC.1974.1050532.
- [5] H. Banba et al. "A CMOS bandgap reference circuit with sub-1-V operation". En: *IEEE Journal of Solid-State Circuits* 34.5 (1999), págs. 670-674. DOI: 10.1109/4.760378.
- [6] Chi-Wah Kok. *CMOS Voltage References: An Analytical and Practical Perspective*. 2013. ISBN: 978-1118275689.
- [7] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. Electrical Engineering Series. McGraw-Hill, 2001. ISBN: 9780071188395. URL: <https://books.google.es/books?id=hdavQgAACAAJ>.
- [8] Eric A. Vittoz. "Analog Circuits in Weak Inversion". En: *Sub-threshold Design for Ultra Low-Power Systems*. Boston, MA: Springer US, 2006, págs. 147-166. ISBN: 978-0-387-34501-7. DOI: 10.1007/978-0-387-34501-7_8. URL: https://doi.org/10.1007/978-0-387-34501-7_8.
- [9] B. Robert Gregoire y Un-Ku Moon. "Process-Independent Resistor Temperature-Coefficients using Series/Parallel and Parallel/Series Composite Resistors". En: *2007 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2007, págs. 2826-2829. DOI: 10.1109/ISCAS.2007.378760.
- [10] Yuhua Cheng y Chenming Hu. *MOSFET Modeling and Bsim3 User's Guide*. Kluwer Academic Publishers, 1999. ISBN: 0792385756.
- [11] G. Giustolisi et al. "A low-voltage low-power voltage reference based on subthreshold MOSFETs". En: *IEEE Journal of Solid-State Circuits* (2003), págs. 151-154. DOI: 10.1109/JSSC.2002.806266.
- [12] Andrea Ria et al. "A Low-Power CMOS Bandgap Voltage Reference for Supply Voltages Down to 0.5 V". En: *Electronics* 10.16 (2021). ISSN: 2079-9292. DOI: 10.3390/electronics10161901. URL: <https://www.mdpi.com/2079-9292/10/16/1901>.
- [13] Keith Sanborn, Dongsheng Ma y Vadim Ivanov. "A Sub-1-V Low-Noise Bandgap Voltage Reference". En: *IEEE Journal of Solid-State Circuits* 42.11 (2007), págs. 2466-2481. DOI: 10.1109/JSSC.2007.907226.