



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA

— **TELECOM** ESCUELA
TÉCNICA **VLC** SUPERIOR
DE INGENIERÍA DE
TELECOMUNICACIÓN

UNIVERSITAT POLITÈCNICA DE VALÈNCIA

Escuela Técnica Superior de Ingeniería de
Telecomunicación

Diseño e implementación de un buffer de tensión de altas
prestaciones en forma de una IP analógica adaptada a
distintas condiciones de uso

Trabajo Fin de Máster

Máster Universitario en Ingeniería de Telecomunicación

AUTOR/A: García Barrena, Jara

Tutor/a: Herrero Bosch, Vicente

CURSO ACADÉMICO: 2023/2024

Resumen

Los buffers o seguidores de tensión son elementos muy útiles en distintas aplicaciones relacionadas con el diseño de circuitos integrados (ASICs). Se emplean como elementos de aislamiento entre distintas etapas, pudiendo actuar como estabilizadores en las salidas de las referencias de tensión (bandgaps). El objetivo de este TFM tiene vertientes distintas: por un lado se plantea el diseño de una arquitectura de buffer en una tecnología de 180nm que permita un elevado rango dinámico de entrada y salida, con una respuesta rápida en el tiempo y un ruido reducido. Complementariamente se plantea el desarrollo de un bloque IP (Intellectual Property) que permita el reuso del diseño customizando su implementación para distintas especificaciones de diseño, por ejemplo con diseños orientados a un menor ruido o a un mejor tiempo de respuesta. Junto con los diseños se elaborará un banco de pruebas para evaluar los resultados siguiendo las desviaciones del proceso etc.

Resum

Els buffers o seguidors de tensió són elements molt útils en diferents aplicacions relacionades amb el disseny de circuits integrats (ASICs). S'empren com a elements d'aïllament entre diferents etapes, podent actuar com a estabilitzadors en les eixides de les referències de tensió (bandgaps). L'objectiu d'aquest TFM té vessants diferents: d'una banda se planteja el disseny d'una arquitectura de buffer en una tecnologia de 180nm que permeti un elevat rang dinàmic d'entrada i eixida, amb una resposta ràpida en el temps i un soroll reduït. Complementàriament es planteja el desenvolupament d'un bloc IP (Intellectual Property) que permeti el reus del disseny customitzant la seua implementació per a diferents especificacions de disseny, per exemple amb dissenys orientats a un menor soroll o a un millor temps de resposta. Juntament amb els dissenys s'elaborarà un banc de proves per a avaluar els resultats seguint les desviacions del procés etc.

Abstract

Buffers or voltage followers are very useful elements in different applications related to the design of integrated circuits (ASICs). They are used as isolation elements between different stages, and can act as stabilizers at the outputs of the voltage references (bandgaps). The objective of this TFM has different aspects: on one hand, it proposes the design of a buffer architecture in 180nm technology that allows a high input and output dynamic range, with a fast response over time and reduced noise. Additionally, the development of an IP (Intellectual Property) block is proposed that allows the reuse of the design by customizing its implementation for different design specifications, for example with designs aimed at lower noise or better response time. Along with the designs, a test bench will be prepared to evaluate the results following process deviations, etc.

RESUMEN EJECUTIVO

La memoria del TFM del MUIT debe desarrollar en el texto los siguientes conceptos, debidamente justificados y discutidos, centrados en el ámbito de la IT

CONCEPT (ABET)	CONCEPTO (traducción)	¿Cumple? (S/N)	¿Dónde? (páginas)
1. IDENTIFY:	1. IDENTIFICAR:		
1.1. Problem statement and opportunity	1.1. Planteamiento del problema y oportunidad	S	1
1.2. Constraints (standards, codes, needs, requirements & specifications)	1.2. Toma en consideración de los condicionantes (normas técnicas y regulación, necesidades, requisitos y especificaciones)	S	1-2
1.3. Setting of goals	1.3. Establecimiento de objetivos	S	2
2. FORMULATE:	2. FORMULAR:		
2.1. Creative solution generation (analysis)	2.1. Generación de soluciones creativas (análisis)	S	21-32
2.2. Evaluation of multiple solutions and decision-making (synthesis)	2.2. Evaluación de múltiples soluciones y toma de decisiones (síntesis)	S	49-61
3. SOLVE:	3. RESOLVER:		
3.1. Fulfilment of goals	3.1. Evaluación del cumplimiento de objetivos	S	33-48, 53-61
3.2. Overall impact and significance (contributions and practical recommendations)	3.2. Evaluación del impacto global y alcance (contribuciones y recomendaciones prácticas)	S	63

A mis padres y mis hermanas, por ser mi apoyo incondicional durante toda mi carrera. A pesar de la lejanía, con una simple llamada sabéis cómo ayudarme y siempre hacerme sentir vuestro cariño muy cerca. Os quiero mucho.

A Vicente Herrero, por ser mi tutor, mi guía, mi compañero de sesiones de ejercicios analógicos, mi amigo en largas charlas de la vida y, sobretodo, mi maestro jedi.

A todas las personas que han aparecido o se han mantenido en mi vida este curso, animándome con risas, abrazos y momentos bonitos que han hecho que pudiera seguir con fuerza.

A todos ellos, **gracias** por hacer un poco más fácil lo difícil y ayudarme a alcanzar con ilusión mis metas y sueños.

Índice general

I Memoria

1	Introducción	1
1.1	Especificaciones de Buffers	1
1.2	Objetivos	2
1.3	Metodología y Fases del Proyecto	2
2	Arquitecturas de OPAMPs	7
2.1	Arquitecturas básicas	7
2.1.1	OPAMPs de una sola etapa	7
2.1.2	OPAMPs de dos etapas	15
3	Arquitectura inicial propuesta	21
3.1	Par diferencial	22
3.2	Mezcladores	22
3.3	Fuente de corriente flotante	24
3.4	Etapas de salida <i>Push-Pull</i>	27
3.5	Estudio de ruido	29
3.6	Compensación en frecuencia	31
3.7	Topología Propuesta	32
4	Implementación del diseño	33
4.1	Respuesta en frecuencia	33
4.2	Respuesta temporal	34
4.3	Respuesta de ruido	35
4.4	Dimensionamiento y diseño en hoja Excel	36
5	Verificación del diseño	39
5.1	Banco de pruebas	39
5.2	Resultados de simulación	48
6	Arquitectura final para rango extendido	49
6.1	Modificaciones del diseño	49
6.1.1	Implementación de arquitectura final	49
6.1.2	Control de g_m	50
6.2	Topología propuesta	52
6.3	Verificación y resultados	53
6.4	Resultados de simulación	60

7 Conclusiones	63
8 Trabajo a futuro	65
Bibliografía	67

Índice de figuras

1.1	Flujos de diseño digital y analógico.	4
1.2	Diagrama de Gantt del proceso de realización del presente trabajo.	5
2.1	Estructura básica de un OPAMP de una etapa basada en un par diferencial.	8
2.2	Circuito equivalente en pequeña señal utilizado en el análisis de ganancia del par.	8
2.3	Estructura de un OPAMP de una etapa basada en un cascode plegado.	11
2.4	Estudio del Slew Rate a la salida a través de la corriente que llega al condensador de carga.	12
2.5	Estructura de un OPAMP de una etapa basada en un cascode plegado con realimentación.	14
2.6	Respuesta en frecuencia de un OPAMP realimentado de una etapa.	15
2.7	Esquema general de un OPAMP de dos etapas.	15
2.8	Respuesta en frecuencia de un OPAMP con los dos polos más importantes y la fase.	16
2.9	Esquema de bloques de la aplicación de la compensación de Miller en un OPAMP.	17
2.10	Circuito equivalente de la red β según el tipo de realimentación.	17
2.11	Circuito de bloques del OPAMP con la red β diseñada.	18
2.12	Circuito de bloques del OPAMP cargado.	19
3.1	Esquema de bloques del OPAMP.	21
3.2	Esquemático del mezclador del <i>buffer</i>	22
3.3	Estudio de las tendencias de las corrientes y los nodos de tensión de la fuente flotante.	25
3.4	Estudio del lazo de realimentación de la fuente flotante.	25
3.5	Circuito en pequeña señal de la fuente flotante.	26
3.6	Polarización de la fuente flotante y el <i>push-pull</i>	28
3.7	Estudio del Slew Rate en la etapa del <i>push-pull</i>	29
3.8	Esquemático completo del <i>buffer</i> con un solo par diferencial.	32
4.1	Gráfica de la respuesta temporal del tiempo de settling [3].	34
5.1	Gráfica del rango dinámico a la entrada con la simulación <i>DC</i>	42
5.2	Gráfica de la ganancia de lazo abierto obtenida con la simulación <i>STB</i>	42
5.3	Gráfica de la salida del circuito con la simulación <i>AC</i>	43
5.4	Gráfica del ruido equivalente a la entrada con la simulación <i>noise</i>	43
5.5	Gráfica del PSRR obtenida con la simulación <i>AC</i>	44
5.6	Gráfica del CMRR obtenida con la simulación <i>AC</i>	44
5.7	Gráfica de la distorsión armónica con la simulación <i>thd</i>	45
5.8	Tiempo de <i>settling</i> en condiciones de cambio de carga.	45
5.9	Tiempo de subida de la respuesta al impulso.	46
5.10	Tiempo de bajada de la respuesta al impulso.	46

5.11	Tiempo estabilización de subida de la respuesta al impulso.	47
5.12	Tiempo de estabilización de bajada de la respuesta al impulso.	47
6.1	Circuito de control de g_m de la primera etapa del <i>buffer</i>	50
6.2	Esquemático completo del <i>buffer</i> con dos pares diferenciales.	52
6.3	Gráfica del rango dinámico a la entrada con la simulación <i>DC</i>	54
6.4	Gráfica de la ganancia de lazo abierto obtenida con la simulación <i>STB</i>	54
6.5	Gráfica de la salida del circuito con la simulación <i>AC</i>	55
6.6	Gráfica del ruido equivalente a la entrada con la simulación <i>noise</i>	55
6.7	Gráfica del PSRR obtenida con la simulación <i>AC</i>	56
6.8	Gráfica del CMRR obtenida con la simulación <i>AC</i>	56
6.9	Gráfica de la distorsión armónica con la simulación <i>thd</i>	57
6.10	Tiempo de <i>settling</i> en condiciones de cambio de carga.	57
6.11	Tiempo de subida de la respuesta al impulso.	58
6.12	Tiempo de bajada de la respuesta al impulso.	58
6.13	Tiempo estabilización de subida de la respuesta al impulso.	59
6.14	Tiempo de estabilización de bajada de la respuesta al impulso.	59

Índice de tablas

1.1	Especificaciones iniciales a conseguir con el diseño del buffer basado en un opamp.	2
1.2	Características de los componentes del kit.	4
5.1	Comparación de especificaciones iniciales y resultados obtenidos en la simulación del diseño del <i>buffer</i> basado en un OPAMP con un par diferencial.	48
6.1	Comparación de especificaciones iniciales y resultados obtenidos en la simulación del diseño del <i>buffer</i> basado en un OPAMP con dos pares diferenciales.	60
6.2	Resultados nominales obtenidos en la simulación del diseño del <i>buffer</i> basado en un OPAMP con dos pares diferenciales y simulación de tipo <i>corner</i>	61

Listado de siglas empleadas

CMOS Complementary Metal-Oxide-Semiconductor.

CMRR Common Mode Rejection Ratio.

GBP Gain Bandwidth Product.

LSB Least Significant Byte.

NVM Non-Volatile Memory.

OPAMP Operational Amplifier.

OTA Operational Transconductance Amplifier.

PDK Process Design Kit.

PM Phase Margin.

PSRR Power Supply Rejection Ratio.

THD Total Harmonic Distortion.

Parte I

Memoria

Capítulo 1

Introducción

En este Trabajo de Final de Máster se ha implementado una IP analógica a través de un flujo de diseño típico. Esta estructura basada en un amplificador operacional (OPAMP) está diseñada para que se comporte como un *buffer* de tensión con características avanzadas, presentado en forma de una IP analógica adaptable a distintas condiciones de uso.

Los amplificadores operacionales son células imprescindibles en el diseño de circuitos, que forman parte de la mayoría de los sistemas analógicos y mixtos, de ahí su importancia en este ámbito. Estos dispositivos, suelen emplear procesos de realimentación para mejorar sus propiedades y son utilizados en un amplio rango de aplicaciones, desde la generación de polarización de continua hasta la amplificación o el filtrado de alta velocidad.

Dentro de las numerosas configuraciones que ofrecen los OPAMPs, se pueden encontrar los *buffers*, tanto de corriente como de tensión. En general, estos elementos se utilizan para optimizar y controlar los cambios de carga que se dan al conectar entre sí diferentes circuitos de una cadena de señal, sin que ello afecte a su funcionamiento.

En el caso de los *buffers* de tensión, el objetivo consiste en solucionar el problema que surge al conectar una salida de tensión cuya impedancia es elevada con la entrada de otro circuito cuya impedancia es reducida. En el caso de que dichos circuitos se conectaran de manera directa bajo estas condiciones, las prestaciones de ambos podrían variar, conduciendo a una pérdida de ganancia e, incluso, provocando que el sistema deje de funcionar correctamente. Para asegurar que la señal no se vea afectada por estos posibles cambios de carga, el *buffer* proporciona un bloque aislante con alta impedancia de entrada y una baja impedancia de salida, ofreciendo habitualmente una ganancia unidad.

1.1. Especificaciones de Buffers

El circuito implementado en este trabajo es un *buffer* cuya estructura está basada en un OPAMP. Es por ello que las especificaciones teóricas genéricas del *buffer* serán, en su mayoría, las mismas que las de un amplificador operacional.

En un *buffer* normalmente se busca que la ganancia sea la unidad o próxima a ella para garantizar que la señal de salida se mantenga lo más fidedigna posible a la que entró en el sistema.

Por otra parte, la realimentación del sistema proporcionará una buena linealidad, a parte de una impedancia de entrada muy elevada (idealmente infinita) y una impedancia de salida muy reducida (idealmente cero) para evitar que el *buffer* cargue de manera no deseada la señal a la entrada y ofrezca una salida robusta. Esto último es clave para conseguir, a su vez, una baja distorsión a la salida y una buena estabilidad de la señal ante posibles cambios de carga.

Además, tanto en entrada como en salida se puede encontrar otra especificación importante; el *swing*, el cual se busca maximizar todo lo posible, pero sin que la señal se distorsione demasiado en los extremos. El *output swing rail-to-rail* es fácil de conseguir implementando etapas de salida específicas para ello (como la etapa *push-pull*). En el caso de la entrada, el *input swing rail-to-rail* es mucho más difícil de conseguir en términos de complejidad y elaboración del diseño. Además, hay que tener en cuenta que las limitaciones inherentes al *input swing* afectarán necesariamente al comportamiento de la salida debido al efecto de realimentación. Por ello, la especificación de *input swing* supondrá un punto clave para alcanzar unas altas prestaciones en el diseño.

Por último, una de las especificaciones más importantes que se van a tener en cuenta es el tiempo de *settling* (ver Fig. 4.1), el cual se puede dividir en dos sub-tiempos, tiempo de subida y tiempo de estabilización de la señal de salida, ante cambios en la entrada. El tiempo de subida de la señal estará relacionado con el ancho de banda del sistema, siendo este un posible limitante a tener en cuenta en el diseño. Por otro lado, el tiempo de estabilización dependerá del margen de fase (PM) que se obtenga en el circuito según el diseño de su esquema de realimentación, indicando cuánto tarda la señal de salida en alcanzar su valor objetivo ante un cambio.

1.2. Objetivos

Una vez explicados las prestaciones que caracterizan a un *buffer* genérico, se presentan, en la Tabla 1.1 las especificaciones iniciales y objetivo que se van a buscar al diseñar el circuito presentado en este trabajo.

Especificación	Valor	Unidades
Ganancia Lazo Abierto (AB)	80	dB
Ruido	250	μV_{rms}
Margen de Fase (PM)	50	°
Ancho de banda (BW)	175	MHZ
Tiempo de <i>settling</i>	15	ns
Condensador de carga (C_L)	800	fF

Tabla 1.1: Especificaciones iniciales a conseguir con el diseño del buffer basado en un opamp.

1.3. Metodología y Fases del Proyecto

La metodología llevada a cabo en este trabajo para conseguir el diseño de altas prestaciones presentado sigue un flujo de diseño típico utilizado en un proyecto de microelectrónica.

En primer lugar, hay que diferenciar entre un diseño microelectrónico digital y uno analógico, ya

que, dependiendo del diseño en el que se quiera trabajar, el flujo de diseño a seguir es presenta diferencias fundamentales (ver Fig. 1.1).

El diseño en un dominio digital se realiza de una manera más automática. Se utilizan lenguajes de descripción de hardware (*HDL*) para modelar el sistema digital desde distintos niveles de abstracción, bien a alto nivel o a bajo nivel (código RTL, *Register Transfer Layer*). A través de un proceso de síntesis automático, se traduce dicho código en puertas lógicas. Por último, se genera una implementación física (proceso automatizado de extracción) para realizar el *tape out* (fabricación del diseño).

Sin embargo, en el dominio analógico el circuito a diseñar se implementa desde cero, es decir, no existe ningún proceso de trabajo automático. En primer lugar y antes de utilizar software, se plantea una primera propuesta de topología de circuito que se prevé pueda cumplir las especificaciones del diseño. Para esta fase se realiza una revisión bibliográfica y en caso de ser necesario, se plantean alternativas originales que puedan mejorar las existentes en algún aspecto. Posteriormente se establecen las ecuaciones de la topología en los distintos ámbitos de funcionamiento (AC, DC, gran señal etc.). Dichas ecuaciones permitirán ligar las especificaciones del diseño con el dimensionamiento, en términos de geometría y niveles de polarización, de los distintos componentes del mismo, tanto activos como pasivos. Después, el diseño se lleva a la herramienta de CAD y se estudia su comportamiento real a través de herramientas de simulación; tanto simulaciones con valores nominales, como simulaciones de *corners* (desviaciones extremas en el proceso de fabricación o en el entorno) y estadísticas (Montecarlo) que indican el rendimiento del proceso fabricación en cuanto a las especificaciones objetivo. Una vez comprobado que el esquemático funciona como se espera, el siguiente paso consiste en la elaboración de *layout*, basado en una estructura *common centroid* para que se consiga un buen *matching* entre los componentes y el diseño funcione correctamente. Una vez comprobado que el esquemático funciona como se espera, el siguiente paso consiste en la elaboración del *layout*. En este paso, es muy importante intentar minimizar los efectos de la dispersión de los valores nominales de los componentes debido al proceso de fabricación. Con esa finalidad se emplearán estructuras basadas en el principio *common centroid* que permiten conseguir un buen *matching* entre los distintos componentes, optimizando el funcionamiento del diseño.

Las herramientas utilizadas a lo largo del circuito presentado en esta memoria son el *Virtuoso Schematics* para la realización de esquemáticos y el *Spectre* y *ADEXL* para la simulación de resultados (nominales y estadísticas, respectivamente). Una funcionalidad característica del Virtuoso de Cadence es que permite trabajar de manera jerárquica, es decir, se pueden crear librerías donde se van diseñando distintas células independientes. Dentro de esas células, es posible crear diferentes vistas (esquemático, simulación, *layout*...) que trabajan con dicha célula realizando distintas acciones, lo que permite mantener un orden y coherencia en el diseño. En el caso del *layout* se utiliza el *Virtuoso Layout*, el cual dispone de herramientas de verificación física (*PVS - DRC*) y de extracción automática (*Quantus - QRC*).

Todas estas herramientas funcionan con la información que proporciona el kit de diseño de fabricación (PDK) que indica las reglas de diseño y fabricación indicadas por la fundición. En este trabajo se ha utilizado el PDK XP018 1.8V/5V de XFAB. El proceso XP018 es una tecnología modular CMOS de señal mixta analógica de alto rendimiento de 0,18 μ m. Este PDK se basa en un proceso estándar industrial de un solo polisilicio con hasta seis capas metálicas de 0,18 μ m de puerta. Emplea un pozo de tipo N (N-well), e integra módulos de alto voltaje y memoria no volátil (NVM), la plataforma está diseñada para aplicaciones que necesitan una solución integrada y un proceso rentable para circuitos integrados de alto rendimiento [1]. En cuanto a los componentes

característicos en este kit, se pueden encontrar en la Tabla 1.2.

Componente	Características
Transistores	12V - 60V HV
Resistencias	Medium R P-doped polysilicon 960ohm/sq
Resistencias	HR P-doped polysilicon 6.7kohm/sq
Condensadores	MIM ($1\text{fF}/\mu\text{m}^2$) o MIMH ($2.3\text{fF}/\mu\text{m}^2$)
Memorias	EEPROM (basadas en SONOS)

Tabla 1.2: Características de los componentes del kit.

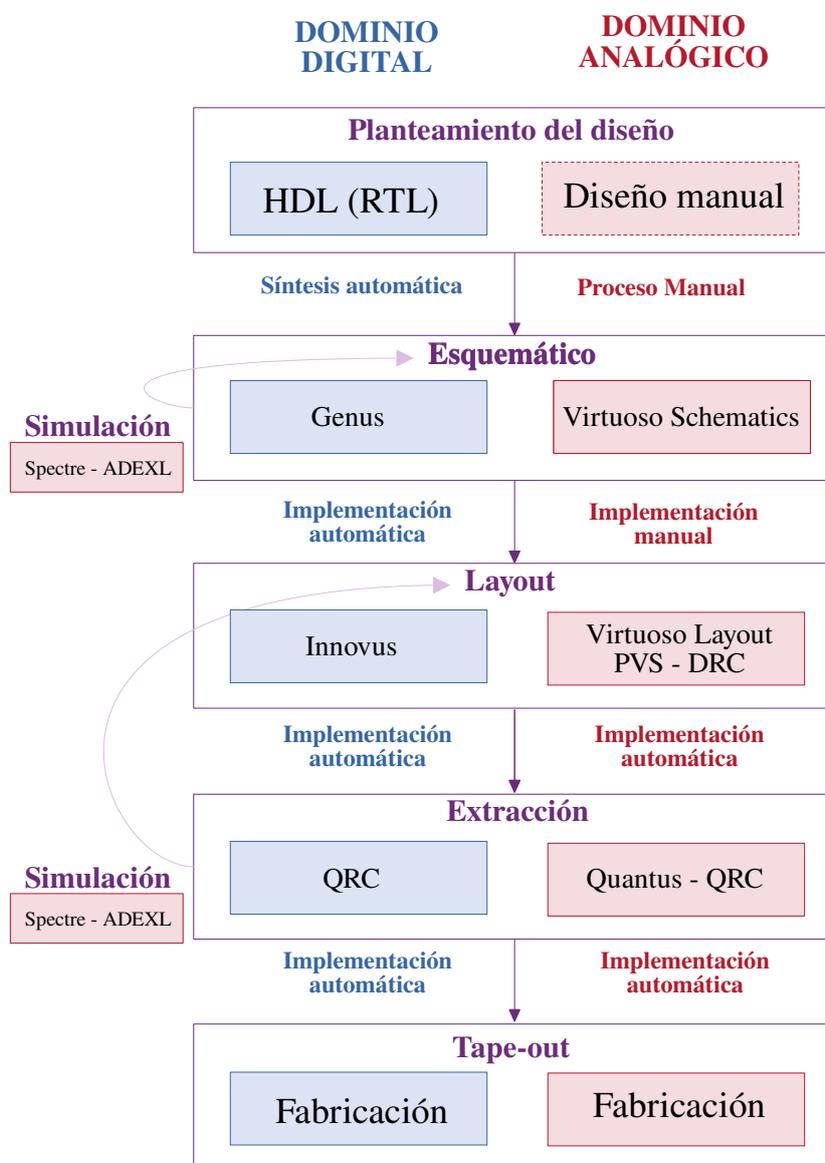


Figura 1.1: Flujos de diseño digital y analógico.

Capítulo 2

Arquitecturas de OPAMPs

En el primer capítulo de la presente memoria se ha introducido el concepto de OPAMP debido a que el diseño del *buffer* estará basado en este tipo de elementos. Por ello, a lo largo de este segundo capítulo se desarrollará en mayor profundidad esta estructura y algunas de las posibles arquitecturas más relevantes que se pueden implementar haciendo uso de OPAMPs.

2.1. Arquitecturas básicas

Un OPAMP es dispositivo electrónico que toma la diferencia de tensión entre sus dos entradas (inversora y no inversora) y produce una señal de salida amplificada proporcional a esta diferencia, dependiendo de la ganancia que ofrezca el componente. En estos elementos se suele usar un proceso de realimentación con el fin de mejorar sus prestaciones, como se ha explicado anteriormente, y es la ganancia de lazo abierto (ganancia que tiene el amplificador sin realimentar) la que determina la precisión que va a tener el lazo de realimentación. Hoy en día, los OPAMPs no se diseñan de manera genérica con el propósito de ser empleados en múltiples aplicaciones a la vez, sino que se implementan atendiendo a las necesidades de la aplicación a cubrir, lo que puede llegar a requerir una particularización específica de cada parámetro del diseño.

Análogamente, el *buffer* se ha diseñado empleando una topología de OPAMP genérico, pero estableciendo unas prestaciones específicas que sirvan para que funcione bien dentro del ámbito en el que se va a usar.

2.1.1. OPAMPs de una sola etapa

Esta configuración consiste en implementar el OPAMP mediante una sola etapa de ganancia, reduciendo al mínimo la ruta de la señal de entrada hacia la salida.

En la Figura 2.1 puede verse una estructura básica de un OPAMP de una etapa, que se compone de dos partes diferenciadas: un par diferencial (M1 y M2) y un espejo de corriente activo que recoge las corrientes de cada rama (definidas por la fuente de corriente I_{ss}) y las suma en la salida de la estructura (M3 y M4). Dado que este circuito presenta una estructura muy simple, sus prestaciones son limitadas. Sin embargo, al añadir otros elementos y modificar la arquitectura original, sus características pueden mejorarse considerablemente.

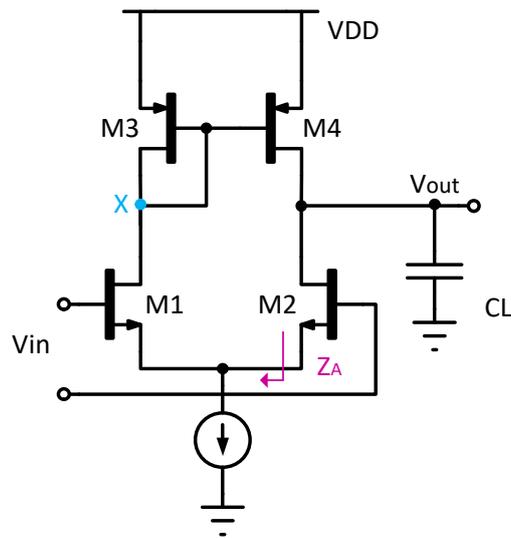


Figura 2.1: Estructura básica de un OPAMP de una etapa basada en un par diferencial.

El análisis teórico del circuito brinda una gran cantidad de información y especificaciones esenciales para un diseño exitoso, como datos sobre ganancia, respuesta en frecuencia y ruido.

Para la ganancia diferencial, debe hacerse un estudio en pequeña señal para poder obtener su expresión.

Antes de analizar el circuito equivalente en pequeña señal (ver Fig. 2.2), se pueden establecer algunas condiciones iniciales de tipo teórico. La ganancia final será la relación de las tensiones de salida y entrada. Dado que el circuito es un par diferencial, se tienen dos entradas, pero en las distintas topologías planteadas la salida es común (ver ec. 2.1). Por tanto, se tratará de un sistema con una ganancia de tipo *single ended* cuya expresión se desarrollará en primer lugar.

Desarrollando los recorridos de corriente anteriormente explicados (ver ecs: 2.5), teniendo en cuenta que la expresión de Z_A equivalente se muestra en la ecuación 2.4 y que las g_m de los transistores M1 y M2 del par son iguales, se obtiene que la corriente total de salida es la mostrada en la ecuación 2.6.

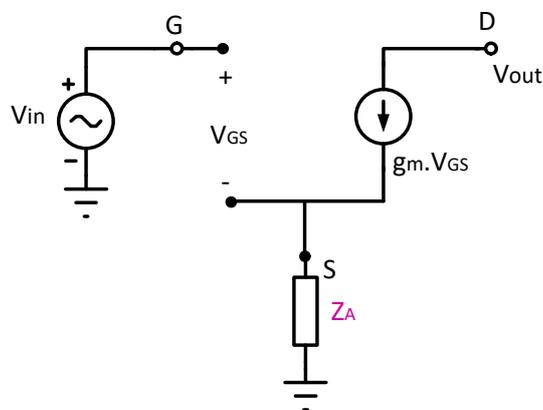


Figura 2.2: Circuito equivalente en pequeña señal utilizado en el análisis de ganancia del par.

$$A_{DC} = \frac{v_o}{v_i} = \frac{i_o Z_o}{V_i} \quad (2.1)$$

$$i_o = -i_{o+} + i_{o-} \quad (2.2)$$

$$V_i = v_{gs2} + V_A = v_{gs2} + gm_2 v_{gs2} Z_A = v_{gs2} (1 + gm_2 Z_A) \quad (2.3)$$

$$Z_A \approx \frac{1}{gm_{1,2}} \quad (2.4)$$

$$i_{o-} = -gm_2 v_{gs2} = -gm_2 \frac{V_i}{1 + gm_2 Z_A} = \frac{-gm_2}{2V_i} \quad (2.5)$$

$$-i_{o+} = V_A gm_1 = i_{o-} Z_A gm_1 = \frac{-gm_1}{2V_i}$$

$$i_o = -i_{o+} + i_{o-} = -gm_{1,2} V_i \quad (2.6)$$

Después de este desarrollo, se puede completar la expresión de la tensión de salida, la cual está en función de la tensión de entrada obteniendo, finalmente, la expresión 2.8. Cabe destacar que el valor de la impedancia de salida (ver ec. 2.7) se ha obtenido como el paralelo de la impedancia vista desde el drenador de M4 y desde el drenador de M2. Dependiendo del terminal de entrada que se esté estudiando se tiene la misma ganancia con signo negativo o positivo.

$$Z_o \approx rd_4 // (gm_{1,2} rd_2 \frac{1}{gm_{1,2}}) = (rd_4 // rd_2) \quad (2.7)$$

$$A_- = -gm_{1,2} (rd_4 // rd_2) \quad (2.8)$$

$$A_+ = gm_{1,2} (rd_4 // rd_2)$$

Los polos del circuito se encuentran en los puntos de mayor impedancia y/o mayor capacidad parásita, los correspondientes a los puntos X y salida. El polo dominante se encuentra en la salida (ver ec. 2.9), mientras que el polo 2 está en el punto X (ver ec. 2.10).

$$\omega_{pd} = \frac{1}{C_L Z_o} = \frac{1}{C_L (rd_4 // rd_2)} \quad (2.9)$$

$$\omega_{pd} = \frac{gm_3}{2C_{gs3,4}} \quad (2.10)$$

La expresión del GBP se puede obtener de manera directa, aplicando las expresiones ya calculadas de ganancia y polo dominante (ver ec. 2.11).

$$GBP = A_{DC}\omega_{pd} = \frac{gm_{1,2}}{C_L} \quad (2.11)$$

Cabe destacar que habrá que controlar los valores $gm_{1,2}$ y gm_3 , para mantener una distancia entre GBP y ω_{p2} que permita que el circuito sea estable ($\omega_{p2} = 2*GBP$). Por otra parte, es importante tener en cuenta que si se aumenta demasiado el valor de gm_3 que controla el ω_{p2} para cubrir la distancia explicada, podría crecer también el ruido térmico en el transistor M3 tal y como se verá en el estudio de ruido que se muestra a continuación.

El ruido equivalente de un transistor expresado en su entrada como $\overline{v_{M_n}^2}$ o como $\overline{i_{M_n}^2}$ en su salida, consta de dos partes: la componente de ruido térmico, y la componente de ruido flicker (ver ec. 2.12 y 2.13).

$$\overline{v_{M_n}^2} = 4kTn\Gamma \frac{1}{gm_n} + \left| \frac{K}{C_{OX}WLf} \right| \quad (2.12)$$

$$\overline{i_{M_n}^2} = 4kTn\Gamma gm_n + \left| \frac{K}{C_{OX}WLf} \right| gm_n^2 \quad (2.13)$$

Las ecuaciones 2.14 y 2.15 indican cómo obtener el ruido equivalente de salida y entrada de un circuito, respectivamente. Desarrollando las expresiones de ruido equivalente de cada transistor (ver ecs. 2.16, 2.17, 2.18 y 2.19) y sustituyendo en las anteriores ecuaciones, se demuestra que el par es el que proporciona mayor componente de ruido a la entrada (ver ec. 2.20). Por otro lado la componente de ruido térmico de $\overline{i_{M3,4}^2}$ es proporcional a gm_3 por lo que queda demostrado el balance entre ruido y posición de ω_{p2} antes mencionado.

$$\overline{v_{oT}^2} = \overline{v_{oM1}^2} + \overline{v_{oM2}^2} + \overline{v_{oM3}^2} + \overline{v_{oM4}^2} \quad (2.14)$$

$$\overline{v_{iDn}^2} = \frac{\overline{v_{oT}^2}}{|A_D|^2} \quad (2.15)$$

$$\overline{v_{oM1}^2} = \overline{v_{nM1}^2} \cdot |A_+|^2 \quad (2.16)$$

$$\overline{v_{oM2}^2} = \overline{v_{nM2}^2} \cdot |A_-|^2 \quad (2.17)$$

$$\overline{v_{oM3}^2} = \overline{i_{M3}^2} \cdot \left| \frac{1}{gm_3} \right|^2 \cdot |gm_4|^2 \cdot |Z_o|^2 \quad (2.18)$$

$$\overline{v_{oM4}^2} = \overline{i_{M3}^2} \cdot |Z_o|^2 \quad (2.19)$$

$$\overline{v_{iDn}^2} = \frac{|A_D|^2(\overline{v_{M1}^2} + \overline{v_{M2}^2}) + 2\overline{i_{M3,4}^2}|Z_o|^2}{|A_D|^2} = \overline{v_{M1}^2} + \overline{v_{M2}^2} + \frac{2\overline{i_{M3,4}^2}}{gm_{1,2}} \quad (2.20)$$

En cuanto al aspecto de gran señal y en términos de excursión, se ha estudiado cuáles son los límites máximo y mínimo de señal de entrada dentro de los cuales el circuito seguiría funcionando correctamente. Este concepto será clave en el diseño que abarca esta memoria.

$$\begin{aligned} V_{IN} &< (V_{DD} - V_{GS3}) + V_t \\ V_{IN} &> V_{GS1} + V_{Dsat_{Iss}} \end{aligned} \quad (2.21)$$

En la Figura 2.3 se presenta un par diferencial con un cascado plegado, una versión más compleja del circuito estudiado en la Figura 2.1. Esta configuración también consta del par diferencial (M1 y M2) por cuyas ramas se distribuyen dos corrientes. No obstante, la diferencia respecto al anterior ejemplo reside en cómo se redirigen dichas corrientes hacia la salida para conseguir la ganancia en V_{out} .

El transistor M7 es el encargado de proporcionar al par diferencial la corriente total que se va a distribuir, la cual se restará con las fuentes de corriente M5 y M6 (cada una respectiva a una rama) obteniendo así las corrientes M1c y M2c. Cabe destacar que estos transistores, junto con los transistores M1 y M2 el par, funcionan como cascodos plegados en configuración diferencial. El espejo activo que actúa como mezclador de corrientes, formado por los transistores M3 y M4 en la Figura 2.1 se implementa, en el caso de la Figura 2.3, en configuración cascado (M3, M4, M3c, M4c). Con la introducción de esta modificación se consigue independizar la salida de la entrada, desligando sus márgenes dinámicos e introduciendo una mejora de la distorsión y la ganancia del circuito.

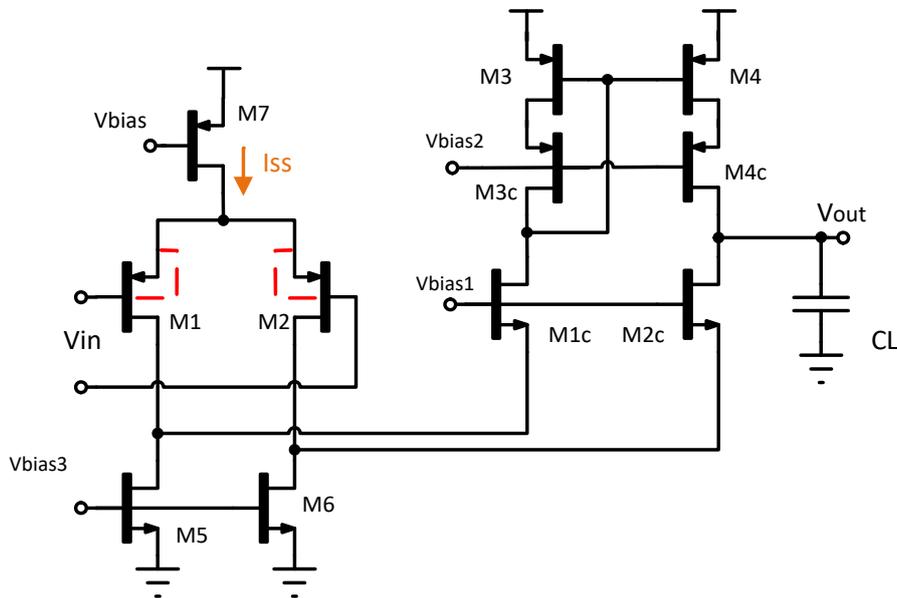


Figura 2.3: Estructura de un OPAMP de una etapa basada en un cascado plegado.

En el circuito de la Figura 2.1 se veía de manera directa que la corriente dada por la fuente I_{ss} era la que llega en su totalidad a la salida y, por consiguiente, la que se encarga de mover el Slew Rate en el condensador de carga. Sin embargo, en el par diferencial con cascado plegado el balance y movimiento de estas corrientes no es tan evidente.

La variación de corriente generada en M1 (ΔI_{M1}) cuyo valor máximo será I_{ss} (toda la corriente de la fuente pasa por una sola rama), se restará con la corriente que ofrece la fuente formada por M5, generando un cambio de igual magnitud pero sentido opuesto. La corriente resultante pasará por el cascode formado por los transistores M3c y M3. A través del “espejo” formado por estos dos últimos transistores, la corriente se copia a sus correspondientes M4 y M4c, llegando, finalmente, a la salida. Un incremento en $I_{D_{M1}}$ ($\Delta I_{M1} > 0$) supondrá un decremento en $I_{D_{M4}}$ y por lo tanto una reducción en la V_{out} . Esto indica que en la puerta del transistor M1 se encuentra el terminal de entrada positivo, V_{in+} .

Así mismo, la variación de corriente generado en M2 (ΔI_{M2}) del par se restará con la corriente que ofrece la fuente formada por M6, generando un cambio de igual magnitud pero de signo opuesto. La corriente resultante será la que pasará por el transistor M2c, llegando directamente a la salida. En este caso, un incremento en $I_{D_{M2}}$ ($\Delta I_{M2} > 0$) supondrá un decremento en $I_{D_{M2c}}$ y, por lo tanto, un aumento en la V_{out} . Esto indica que en la puerta del transistor M1 se encuentra el terminal de entrada positivo, V_{in-} .

Estudiando el caso en el que toda la corriente I_{ss} pase por entero por uno de los transistores del par, sería interesante que las fuentes M5 y M6 se configuren de manera que ofrezcan la misma corriente que I_{ss} . De esta manera, en el caso extremo, la resultante de las mezclas de corriente en el nodo de salida dará $+I_{ss}$ o $-I_{ss}$, siendo la corriente total I_{ss} la que mueva el Slew Rate del condensador de carga (al igual que en el caso de la Figura 2.1).

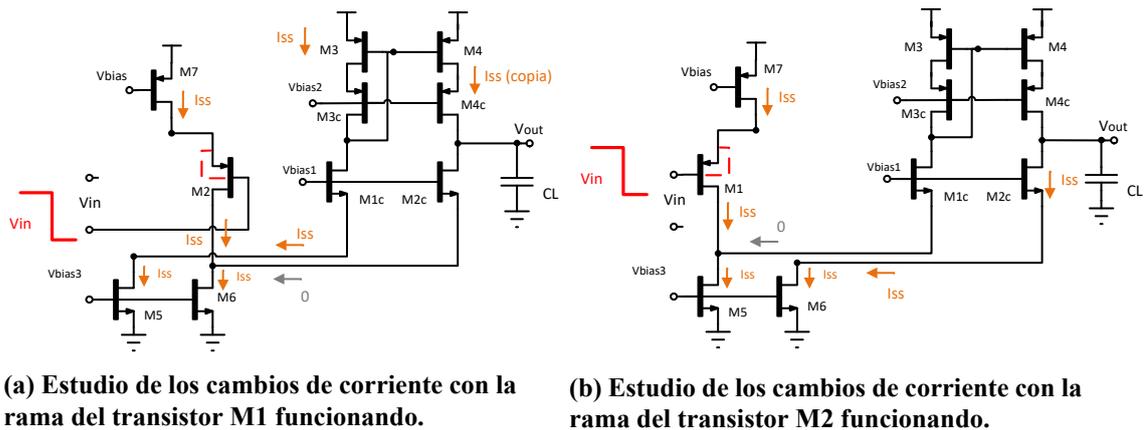


Figura 2.4: Estudio del Slew Rate a la salida a través de la corriente que llega al condensador de carga.

Para deducir las condiciones de contorno de esta configuración, se puede tomar como modelo el procedimiento llevado a cabo en el caso del par diferencial con espejo anterior. De esta manera se obtienen las expresiones de ganancia diferencial y respuesta en frecuencia.

La ganancia mostrada en la ecuación 2.22 tiene la misma forma que en el caso anterior, por lo que se puede deducir que tendrá el mismo comportamiento, pero con una impedancia de salida mayor, a causa de los cascodos plegados (ver ec. 2.23).

Por otro lado, cabe destacar la aparición de un tercer polo (ver ec. 2.26), que está relacionado con $lagm$ de los transistores M1c y M2c (son dos polos coincidentes) pero su posición será muy superior a la del segundo polo. Por lo tanto, la estabilidad sigue estando limitada por el factor de ruido, tal y como se explicó en la conclusión de ruido del circuito anterior.

$$A_{DC} = gm_{1,2}Z_o \quad (2.22)$$

$$Z_o = Z_{C4} // Z_{C2} = (gm_{4c}rd_{4c}rd_4) // (gm_{2c}rd_{2c}(rd_2 // rd_6)) \quad (2.23)$$

$$\omega_{pd} = \frac{1}{C_L Z_o} \quad (2.24)$$

$$\omega_{p2} = \frac{gm_3}{2C_{gs3}} \quad (2.25)$$

$$\omega_{p3} = \frac{gm_{1,2c}}{C_{gs1,2}} \quad (2.26)$$

$$GBP = \frac{gm_{1,2}}{C_L} \quad (2.27)$$

En cuanto al aspecto de gran señal y en términos de excursión, se ha estudiado cuáles son los límites máximo y mínimo de señal de entrada dentro de los cuales el circuito seguiría funcionando correctamente, de la misma forma que en el circuito anterior.

$$\begin{aligned} V_{IN} &< (V_{DD} - V_{GS3}) + V_t \\ V_{IN} &> V_{GS1} + V_{Dsat_{Iss}} \end{aligned} \quad (2.28)$$

En la Figura 2.5 puede observarse el circuito anterior basado en cascodos plegados, pero aplicando un lazo de realimentación en una de sus entradas, funcionando a modo de *buffer*. Para tener una realimentación negativa y obtener en el circuito las mejoras que proporciona dicho tipo de realimentación, habrá que aplicar el lazo en el terminal de entrada negativo. La realimentación proporciona al circuito una serie de modificaciones en cuanto a ancho de banda e impedancia salida que ayudan a mejorar sus prestaciones. En este caso, el ancho de banda crecerá, y la impedancia de salida decrecerá gracias al efecto de la realimentación.

En un sistema de una etapa la respuesta en frecuencia viene definida únicamente por el polo dominante (ver Fig. 2.6). Por ello, la expresión de la ganancia en lazo abierto es la mostrada en la ecuación 2.29. Desarrollando esta expresión en la ecuación de ganancia de lazo cerrado (ver Fig. 2.30) se llegan a varias conclusiones interesantes. El polo resultante de la respuesta en frecuencia con el lazo cerrado se sitúa exactamente en el GBP. Además, si se considera A_o muy elevada, se puede aproximar la ganancia a la unidad, que es la ganancia característica de la configuración *buffer*, como ya se explicó en apartados anteriores.

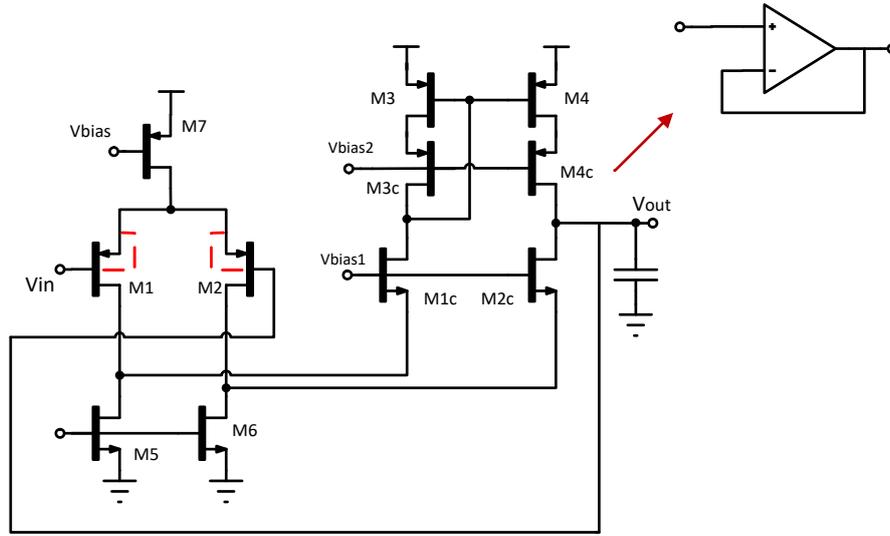


Figura 2.5: Estructura de un OPAMP de una etapa basada en un cascode plegado con realimentación.

$$A_{OL} = \frac{A_o}{1 + \frac{s}{\omega_o}} \quad (2.29)$$

$$A_{CL} = \frac{A_{OL}}{1 + A\beta} = \frac{\frac{A_o}{1+A_o}}{1 + \frac{s}{(1+A_o)\omega_o}} \quad (2.30)$$

El efecto de la realimentación también puede observarse en la impedancia de salida. Tal y como se ha desarrollado con la ganancia, la impedancia de salida en lazo presenta una respuesta en frecuencia como la de la ecuación 2.31. Desarrollándola, se llega a una ecuación que muestra la componente continua y de alta frecuencia de la impedancia (ver Fig. 2.6).

$$Z_{oCL} = \frac{Z_{oOL}}{1 + \frac{s}{A\beta}} = \frac{Z_{oOL}}{1 + A_o} \cdot \frac{1 + \frac{s}{\omega_o}}{1 + \frac{s}{(1+A_o)\omega_o}} \quad (2.31)$$

$$Z_{oDC} = \frac{Z_{oOL}}{1 + A_o} \quad (2.32)$$

$$Z_{oHF} = Z_{oOL} \quad (2.33)$$

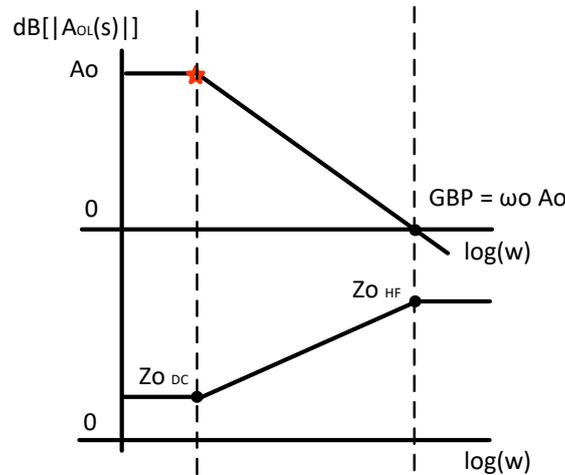


Figura 2.6: Respuesta en frecuencia de un OPAMP realimentado de una etapa.

En resumen, estas configuraciones de una sola etapa son simples de diseñar y se consideran estables, ya que solo tienen un polo. De todas formas, como se ha visto en los ejemplos anteriores, se debe tener cuidado con otros polos que pueden aparecer y hacer que el circuito deje de funcionar. Estos polos pueden acercarse y considerarse peligrosos para la respuesta en frecuencia debido a que el GBP depende de la carga, y en el caso de cambiarla, no se puede tener control sobre este parámetro. Además, la ganancia de este tipo de estructuras es reducida, limitando los beneficios de la realimentación.

2.1.2. OPAMPs de dos etapas

Como se ha explicado en el apartado anterior, los OPAMPs de una etapa tienen una serie de desventajas que pueden solventarse añadiendo etapas a la estructura. De forma general, la primera etapa es la encargada de proporcionar una alta ganancia al circuito, y la segunda maximiza el *swing* de salida (ver Fig. 2.7) De esta manera, se obtienen mejores prestaciones sin que estos dos parámetros se limiten entre ellos (como pasaba con las estructuras de una etapa).

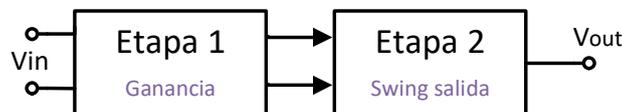


Figura 2.7: Esquema general de un OPAMP de dos etapas.

No obstante hay que tener en cuenta que al añadir una segunda etapa, se introducen en la respuesta más polos cuyo comportamiento se ha de estudiar para mantener la estabilidad del sistema. En estos casos, el polo dominante no es el único que afecta a la respuesta, ya que aparece un segundo polo con el que hay que trabajar. Es necesario que este polo se mantenga lo suficientemente alejado para que no lleve al sistema a la inestabilidad. Esto se consigue cumpliendo la condición 2.34.

$$\omega_{p2} \geq 2 \cdot GBP \tag{2.34}$$

Otro parámetro a considerar es el margen de fase, el cual indica cómo de buena es la estabilidad del sistema. Se define como el ángulo en grados entre la respuesta de fase del amplificador y -180 grados en el punto donde la ganancia de lazo abierto es igual a uno (0 dB). Un margen de fase adecuado (típicamente entre 45 y 60 grados) asegura que el OPAMP no oscile y tenga una respuesta de fase buena. En un diseño de dos etapas, se puede emplear la compensación de Miller para mejorar el margen de fase y estabilizar el OPAMP.

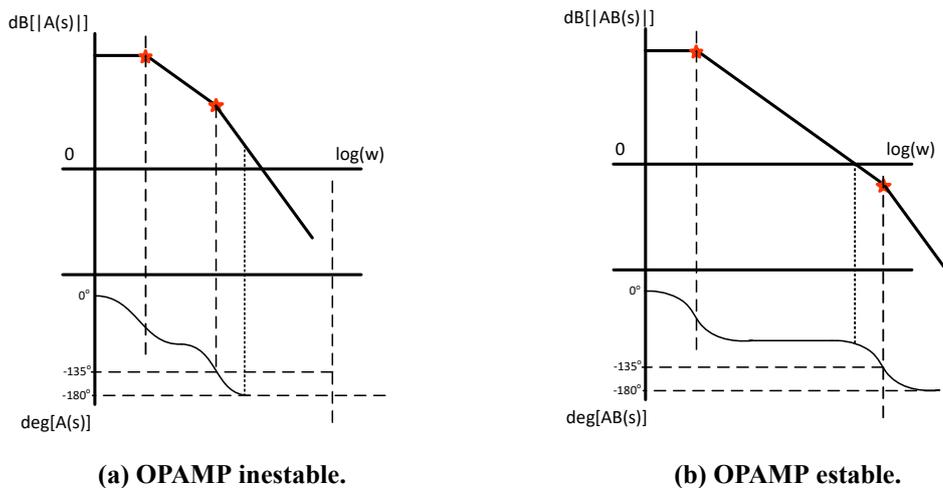


Figura 2.8: Respuesta en frecuencia de un OPAMP con los dos polos más importantes y la fase.

La compensación de Miller es una técnica cuyo efecto que se utiliza para mejorar la estabilidad del OPAMP. Dicha técnica consiste en introducir un condensador entre dos nodos de la etapa de salida del OPAMP, de manera que se consiga una capacidad equivalente mayor en el nodo de entrada (con lo que se desplaza el polo dominante a frecuencias más bajas) y un desplazamiento del polo situado en el nodo de salida (*pole-splitting*).

En la Figura 2.9 se ha planteado un esquema general de bloques en el que se ha aplicado la compensación de Miller (condensador C_M). Se ha decidido estructurar el esquemático con una entrada de corriente y una salida de tensión, de manera que la etapa en la que se está aplicando Miller es un OTA (proporciona corriente) cargado con una impedancia de entrada y otra de salida.

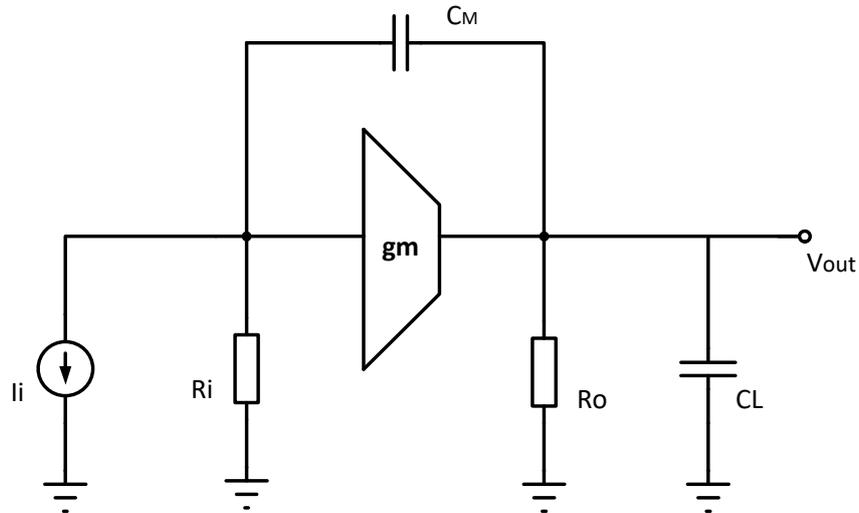


Figura 2.9: Esquema de bloques de la aplicación de la compensación de Miller en un OPAMP.

La aplicación de esta compensación forma un lazo de realimentación, por lo que para estudiar su efecto, se procede a desarrollar su demostración haciendo uso del procedimiento de apertura de lazo con modelización de una red β .

En primer lugar, se ha identificado qué tipo de realimentación tiene el sistema. La red β será la formada por el propio condensador de Miller, por lo que la entrada de esta red será de tensión y la salida de corriente. Es decir, se tendrá un sentido de tensión y una mezcla de corriente.

Teniendo en cuenta estas primeras consideraciones, se plantean los modelos equivalentes de la Figura 2.10 y el sistema de ecuaciones 2.35. De dicho sistema se deducen los valores de los elementos que conformarán la red β (ver ecs. 2.35, 2.37 y 2.38), despreciando el efecto de la realimentación inversa β_{rev} .

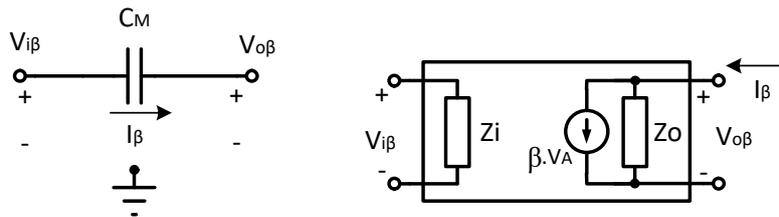


Figura 2.10: Circuito equivalente de la red β según el tipo de realimentación.

$$i_{o\beta} = \beta V_{i\beta} + Z_o^{-1} V_{o\beta} \quad (2.35)$$

$$i_{i\beta} = Z_i V_{i\beta} + \beta_{rev} V_{o\beta}$$

$$\beta = \left. \frac{i_{o\beta}}{V_{i\beta}} \right|_{V_{o\beta}=0} = -sC \quad (2.36)$$

$$Z_o^{-1} = \left. \frac{i_{o\beta}}{V_{o\beta}} \right|_{V_{i\beta}=0} = sC \quad (2.37)$$

$$Z_i^{-1} = \left. \frac{i_{i\beta}}{V_{i\beta}} \right|_{\beta_{rev}=0} = sC \quad (2.38)$$

El objetivo de este procedimiento es llegar a desarrollar la expresión de la ganancia completa del sistema (ver ec. 2.39), siendo la $A\beta$ la ganancia de lazo formada por la realimentación y la A^* la ganancia del amplificador cargado con la red β pero sin realimentación.

$$A = \frac{A^*}{1 + A\beta} \quad (2.39)$$

A continuación, se plantea el nuevo circuito insertando la red β diseñada (ver Fig. 2.11). Con este nuevo modelo, se estudia la ganancia de lazo (ver ec. 2.40).

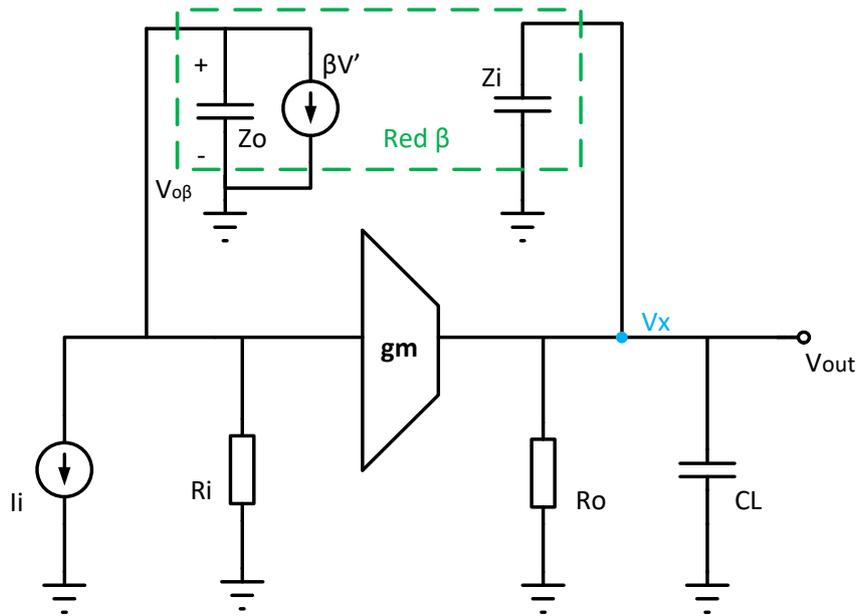


Figura 2.11: Circuito de bloques del OPAMP con la red β diseñada.

$$A\beta = \frac{V_x}{V_{o\beta}} = \frac{gmR_oR_i sC}{(1 + sCR_i)(1 + s(C + C_L)R_o)} \quad (2.40)$$

$$V_{o\beta} = \beta V' \left(\frac{1}{sC} // R_i \right) = \frac{R_i}{sCR_i + 1} \beta V' \quad (2.41)$$

$$V_x = V_{o\beta} gm \left(R_o // \frac{1}{s(C + C_L)} \right) = V_{o\beta} gm \frac{R_o}{s(C + C_L)R_o + 1} \quad (2.42)$$

Por otro lado, se plantea el circuito, esta vez sin los efectos de la red β , es decir, anulando el parámetro β (ver Fig. 2.12).

Con este circuito, se deduce la expresión de la ganancia del amplificador cargado (ver ec. 2.43).

$$A^* = \frac{V_o}{I_i} = \frac{R_i gm R_o}{(1 + sCR_i)(1 + s(C + C_L)R_o)} \quad (2.43)$$

$$V_o = V_i gm \frac{R_o}{s(C + C_L)R_o + 1} = I_i \frac{R_i}{sCR_i + 1} gm \frac{R_o}{s(C + C_L)R_o + 1} \quad (2.44)$$

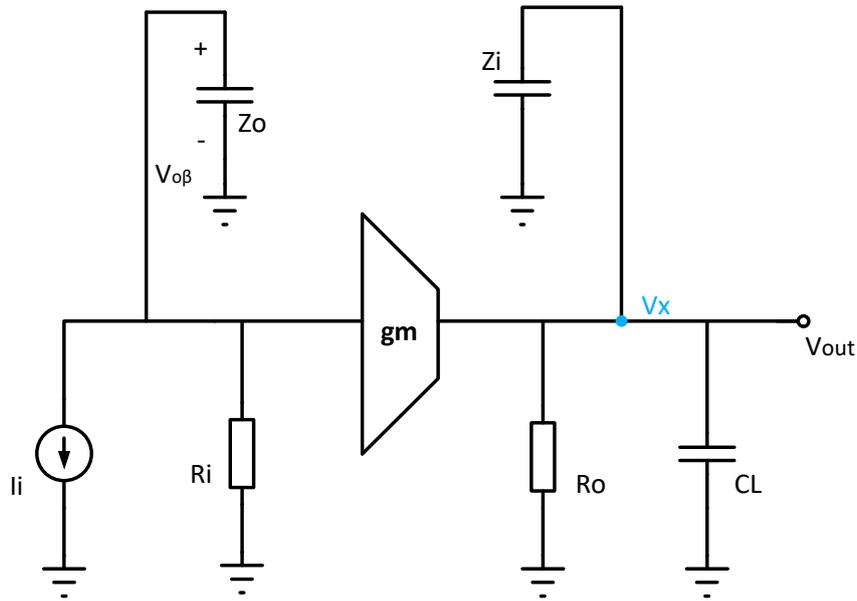


Figura 2.12: Circuito de bloques del OPAMP cargado.

Sustituyendo en la ecuación 2.39 los términos obtenidos en los cálculos anteriores, se obtiene la expresión final mostrada en la ecuación 2.45.

$$A = \frac{R_i gm R_o}{1 + s[(C + C_L)R_o + CR_i + gmR_oR_iC] + s^2C(C + C_L)R_iR_o} \quad (2.45)$$

De esta ecuación se puede obtener información relevante de la respuesta en frecuencia del circuito. En las bajas frecuencias, el ancho de banda del sistema vendrá dado por la inversa del término de primer orden del denominador de la ecuación 2.45 (ver ec. 2.46).

$$BW = \frac{1}{(C + C_L)R_o + CR_i + gmR_oR_iC} \approx \frac{1}{gmR_oR_iC} \quad (2.46)$$

En las altas frecuencias, el polo dos se obtendrá al igualar a cero el denominador (despreciando el término 1) y despejando la s (ver ec. 3.42).

$$\omega_{p2} = \frac{(C + C_L)R_o + CR_i + gmR_oR_iC}{C(C + C_L)R_oR_i} \approx \frac{gm}{C + C_L} \quad (2.47)$$

Los dos polos obtenidos demuestran que el polo dominante está más bajo en frecuencia y el polo dos se desplaza a mayor frecuencia gracias al efecto de compensación de Miller.

Capítulo 3

Arquitectura inicial propuesta

En este capítulo se va a presentar la arquitectura del diseño propuesta y la idea de funcionamiento de la misma, junto con el desarrollo teórico de cada parte del circuito.

Como ya se ha expuesto anteriormente, la intención de este trabajo es diseñar un OPAMP que se comporte como un *buffer*. Se ha utilizado una arquitectura basada en Monticelli [2] que proporciona un control de la última etapa *push-pull* para permitir un gran rango dinámico a la salida. Además, la fuente ofrece al circuito una gran ganancia. El rango dinámico de la entrada también puede considerarse bueno, aunque se ampliará introduciendo algunas modificaciones en la segunda implementación del diseño. Por último, al ser un OPAMP de dos etapas, se aplica la compensación de Miller para conseguir una buena estabilidad en el diseño.

En la Figura 3.1 puede observarse el diagrama de bloques al que se ha hecho referencia anteriormente.

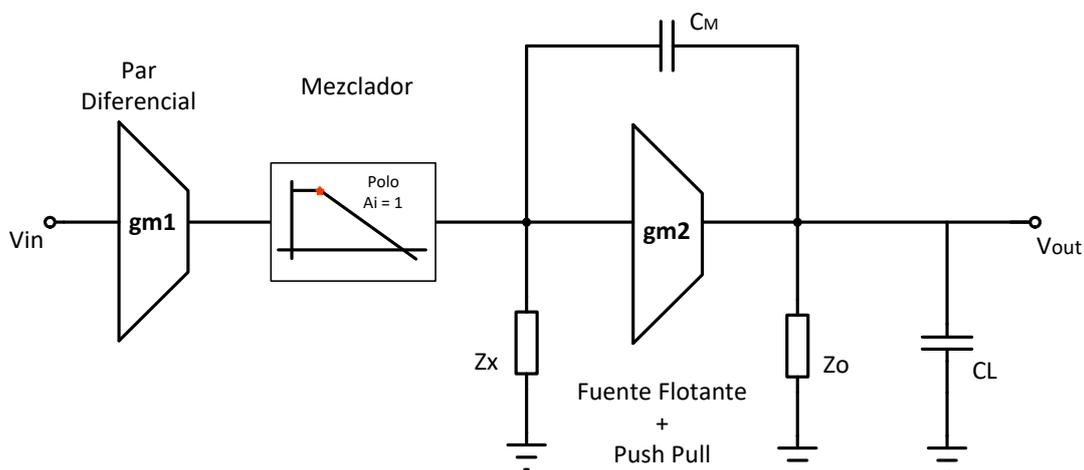


Figura 3.1: Esquema de bloques del OPAMP.

3.1. Par diferencial

El primer bloque de la arquitectura total es un par diferencial. Esta estructura típica proporciona dos corrientes, contribuyendo a tener un buen valor de ganancia. En la segunda parte de desarrollo del diseño, se añadirá un segundo par diferencial para configurar de manera correcta la etapa de entrada.

Tanto la ganancia como el rango dinámico se calculan y obtienen de la misma manera que el caso del par diferencial basado en cascodos plegados del capítulo 2.

Estudiando el esquemático de la arquitectura completa de la Figura 3.8, los transistores que forman el par diferencial son los M1 (iguales) y el M7_{I_{SS}} que conforma la fuente.

3.2. Mezcladores

Esta etapa intermedia proporciona un mecanismo de mezcla de las corrientes del par. Esta configuración introduce poca distorsión y una conexión de corriente de baja impedancia entre el par y el mezclador. En las configuraciones de una etapa se detectó el problema del polo asociado al espejo activo (mezclador). En este diseño se propone una mejora de esta etapa cuya respuesta en frecuencia es más extendida para aumentar la estabilidad del conjunto.

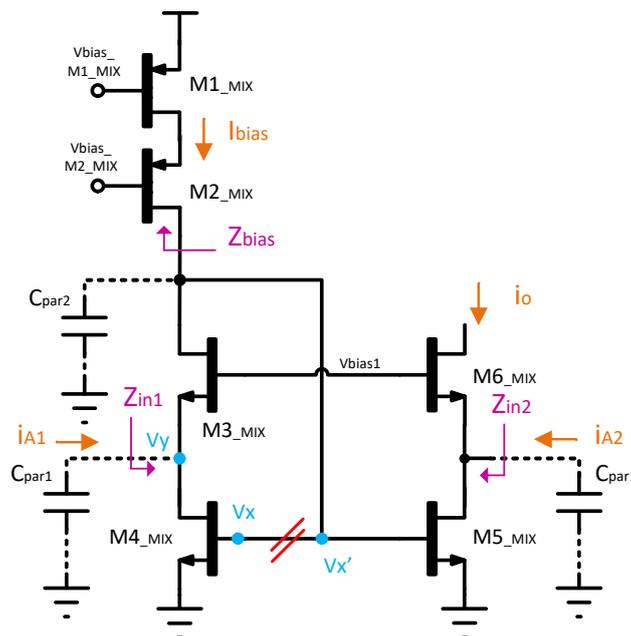


Figura 3.2: Esquemático del mezclador del *buffer*.

El mezclador puede dividirse en varias partes. En primer lugar se tiene un sensor de corriente. A continuación se va a realizar el estudio del lazo de realimentación que forma esta parte del mezclador. Para ello, se procede a realizar la apertura de lazo (ver V_x y $V_{x'}$ en la Figura 3.2) y obtener la ganancia en lazo abierto que resulta de ello.

$$A\beta = \frac{V'_x}{V_x} = gm_{4mix} (Z_{bias} // (gm_{3mix}rd_{3mix}rd_{4mix})) \quad (3.1)$$

$$V'_x = V_x gm_{4mix} (Z_{bias} // (gm_{3mix}rd_{3mix}rd_{4mix})) \quad (3.2)$$

En el caso de estudiar la respuesta en frecuencia, hay que considerar los puntos de mayor impedancia o capacidad parásita, llegando a tener que tener en cuenta también los condensadores parásitos internos de los propios transistores. La capacidad parásita más importante es la que se forma entre la puerta y surtidor del transistor M4, C_{gs4mix} y M5, C_{gs5mix} .

$$\omega_{pd} = \frac{1}{(C_{gs4mix} + C_{gs5mix}) (Z_{bias} // (gm_{3mix}rd_{3mix}rd_{4mix}))} \quad (3.3)$$

$$GBP = A\beta \cdot \omega_{pd} = \frac{gm_{4mix}}{C_{gs4mix} + C_{gs5mix}} \quad (3.4)$$

$$\omega_{p2} = \frac{gm_{3mix}}{C_{par1}} \quad (3.5)$$

Cabe destacar que este lazo de realimentación es interna a la realimentación del *buffer* completo. Si en un circuito existen realimentaciones anidadas (un lazo dentro de otro) hay que tener en cuenta que los lazos interiores no deben limitar al lazo más externo en términos de ancho de banda. Es decir, el ancho de banda de los lazos más internos será mayor al de los más externos. El comportamiento del mezclador de este diseño es equivalente al de un polo situado aproximadamente en el ancho de banda en lazo cerrado del mismo. Dicho polo debe de situarse de forma que no interfiera con la estabilidad del resto del sistema.

El sensor de corriente estudiado proporciona, a su vez, una entrada de baja impedancia para una de las corrientes del par, aunque no para la otra. Esto quiere decir que las corrientes provenientes del par no entran de la misma forma. Aún así, las prestaciones de esta estructura de mezclador pueden considerarse buenas comparado con otro tipo de configuraciones (como el mezclador estándar estudiado en la Figura 2.1), ya que en este circuito el efecto de realimentación proporciona un error de copia de casi cero.

$$Z_{inOL} \approx \frac{1}{gm_{3mix}} \quad (3.6)$$

$$Z_{inCL} = \frac{Z_{inOL}}{1 + A\beta} \approx \frac{1}{gm_{3mix}gm_{4mix}(Z_{bias} // (gm_{3mix}rd_{3mix}rd_{4mix}))} = Z_{in1} \quad (3.7)$$

$$Z_{in2} = rd_{5mix} // \frac{1}{gm_{6mix}} \approx \frac{1}{gm_{6mix}} \quad (3.8)$$

A continuación, para aprovechar la corriente del transistor M4_{mix} (“regulador”), se formará un espejo de relación 1 (no hay dimensionamiento de corriente, simplemente se hace la copia). En la salida de este espejo se obtiene una rama con corriente i_{A1}^* de copia, y un nodo de baja impedancia donde se conectará la segunda salida del par diferencial, haciendo llegar la corriente i_{A2} tal y como

se ha hecho con la corriente i_{A1} . El nodo de baja impedancia se consigue conectando al espejo un transistor que forma un cascode, cuyo drenador será la salida de esta etapa, el mezclador de corriente.

Cabe destacar que al cascode no sólo llega la corriente i_{A1} por el espejo, ya que en el sensor de corriente se mezcla esta corriente con la corriente de la fuente, I_{bias} . En el nodo V_y del cascode se mezcla dicha corriente, con la i_{A2} . Como la suma de las corrientes i_{A1} e I_{bias} es saliente al nodo V_y e i_{A2} es entrante, se puede deducir que la expresión de la corriente de salida de esta etapa será la mostrada en la ecuación 3.9.

$$i_o = (i_{A1} + I_{bias}) - i_{A2} \quad (3.9)$$

Estudiando el esquemático de la arquitectura completa de la Figura 3.8, los transistores que forman el par diferencial son los $M1_{mix}$, $M2_{mix}$, $M3_{mix}$, $M4_{mix}$, $M5_{mix}$ y $M6_{mix}$ (los mismo que los nombrados en la Figura 3.2).

3.3. Fuente de corriente flotante

Esta estructura maneja las variaciones de corriente proporcionadas por la diferencia de corrientes del par para conseguir un balanceo de tensiones solidario, es decir, que ambas tensiones se muevan a la vez y en el mismo sentido, haciendo funcionar correctamente la etapa de salida en configuración *push-pull* cuyo principio de funcionamiento es ése mismo. Además, introduce en el circuito una ganancia elevada debido a su carga equivalente.

Como ya se ha comentado, la fuente flotante utiliza la variaciones de corriente proporcionadas por el par diferencial. Estudiando la Figura 3.3 se puede deducir cómo se mueven las corrientes dentro de la propia fuente.

Suponiendo que los dos transistores que forman esta etapa son iguales ($gm_{4a} = gm_{4b}$) y que en reposo, las corrientes corrientes son iguales en ambas ramas ($i_x = i_y$) el balance de corrientes es el siguiente:

- En el caso de que la delta de corriente aumente, la corriente i_α aumenta también, lo que hace que la tensión V_α aumente. En la otra rama, si la delta aumenta, la corriente i_β disminuye, lo que hace que la tensión V_β aumente, tal y como ha hecho la tensión V_α .
- En el caso contrario, si la delta de corriente disminuye la corriente i_α disminuye también, lo que hace que la tensión V_α disminuya. En la otra rama, si la delta disminuye, la corriente i_β aumenta, lo que hace que la tensión V_β disminuya, tal y como ha hecho la tensión V_α .

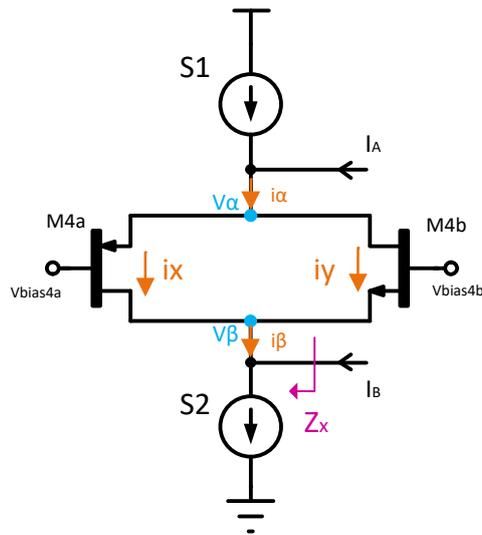


Figura 3.3: Estudio de las tendencias de las corrientes y los nodos de tensión de la fuente flotante.

En conclusión, la tensión de los nodos de la fuente flotante subirá cuando las deltas de corriente aumenten, y disminuirán cuando las deltas lo hagan.

El estudio de la realimentación del lazo que forma la fuente flotante también juega un papel muy importante en el diseño ya que, como se va a comprobar, la fuente se define por una realimentación positiva. Realizando el estudio de tendencias sobre la apertura de lazo mostrada en la Figura 3.4 se demuestra que, efectivamente, la realimentación es positiva (ver ec. 3.10).

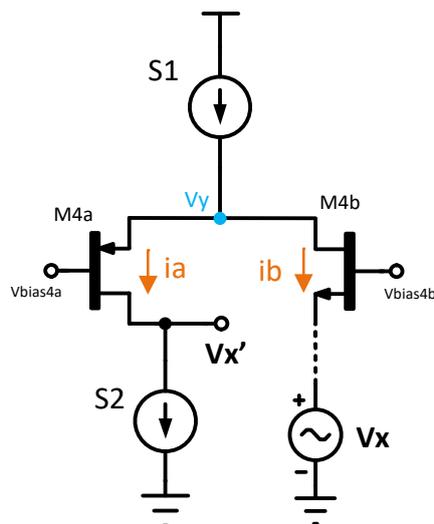


Figura 3.4: Estudio del lazo de realimentación de la fuente flotante.

$$V_x \uparrow \Rightarrow V_{gsb} \downarrow \Rightarrow i_b \downarrow \Rightarrow V_y \uparrow \Rightarrow V_{gsa} \uparrow \Rightarrow i_a \uparrow \Rightarrow V_{x'} \uparrow \quad (3.10)$$

La realimentación positiva que ofrece esta estructura se aprovecha para conseguir un efecto contrario al de la realimentación negativa, es decir, la fuente flotante “empeora” la impedancia de entrada, es decir la aumenta, con el fin de conseguir una mayor ganancia.

Comprobada el tipo de realimentación que se tiene en esta etapa, se analiza la ganancia de lazo en pequeña señal para buscar la condición de que dicha ganancia se encuentre entre cero y la unidad y su impedancia de carga Z_x . Observando el esquema en pequeña señal (ver Fig.3.5), se obtiene la condición mostrada en 3.12.

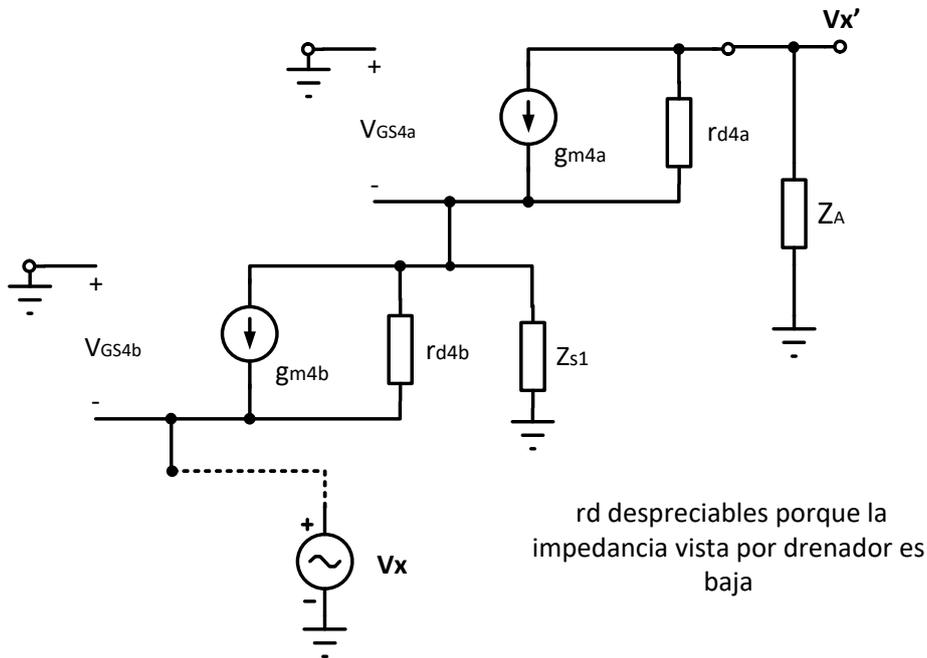


Figura 3.5: Circuito en pequeña señal de la fuente flotante.

$$V_x' = g_{m4a} V_{gs4a} Z_A = g_{m4a} V_{gs4a} (Z_{S2} // \frac{1}{g_{m4b}}) \quad (3.11)$$

$$V_x' = g_{m4a} g_{m4b} V_x (Z_{S1} // \frac{1}{g_{m4a}}) (Z_{S2} // \frac{1}{g_{m4b}})$$

$$A\beta = \frac{V_x'}{V_x} = g_{m4a} g_{m4b} (Z_{S1} // \frac{1}{g_{m4a}}) (Z_{S2} // \frac{1}{g_{m4b}}) \leq 1 \quad (3.12)$$

La ganancia $A\beta$ nunca llegará a ser mayor que la unidad (de lo contrario se volvería inestable), ya que los términos en paralelo ya suponen un término menor que cualquier de los que forman la expresión.

Con la expresión de la $A\beta$ puede deducirse la Z_x de la fuente:

$$Z_{x_{CL}} = Z_{OL} \cdot \frac{1}{1 - A\beta} \quad (3.13)$$

$$Z_{x_{CL}} = \left(\frac{1}{gm_{4b}} // Z_{S2} \right) \cdot \frac{1}{1 - A\beta} \quad (3.14)$$

$$Z_x = \left(\frac{1}{gm_{4b}} // Z_{S2} \right) \cdot \frac{1}{1 - gm_{4a}gm_{4b} \left(Z_{S1} // \frac{1}{gm_{4a}} \right) \left(Z_{S2} // \frac{1}{gm_{4b}} \right)} \quad (3.15)$$

$$Z_x = \frac{Z_{S2}}{1 + gm_{4b}Z_{S2}} \cdot \frac{1}{1 - \frac{gm_{4a}Z_{S1}}{1 + gm_{4a}Z_{S1}} \frac{gm_{4b}Z_{S2}}{1 + gm_{4b}Z_{S2}}} \quad (3.16)$$

$$Z_x = \frac{1}{gm_{4b}} \frac{A}{1 - BA} = \frac{1}{gm_{4b}} \frac{1}{\frac{1}{A} - B} \quad (3.17)$$

Donde los términos A y B tienen las siguientes expresiones y se asumen iguales ($A=B=K$) por simetría entre las salidas superior e inferior de la fuente:

$$A = \frac{gm_{4b}Z_{S2}}{1 + gm_{4b}Z_{S2}} \quad B = \frac{gm_{4a}Z_{S1}}{1 + gm_{4a}Z_{S1}} \quad (3.18)$$

$$Z_x = \frac{1}{gm_{4a}} \frac{1}{\frac{1}{K} - K} = \frac{1}{gm_{4a}} \frac{K}{1 - K^2} \quad (3.19)$$

Cuanto más se aproxime K a la unidad, mayor será el valor equivalente de impedancia en el nodo X (Z_x).

Estudiando el esquemático de la arquitectura completa de la Figura 3.8, los transistores que forman la fuente flotante son los $M4_a$ y $M4_b$.

3.4. Etapa de salida *Push-Pull*

En la salida del circuito se plantea una estructura simétrica en configuración *push-pull*, buscando una tener una salida lo más fidedigna posible, y con poca distorsión. el *push-pull* estará formado por dos transistores (de tipo pmos y nmos) que deberá funcionar de manera solidaria.

El *push-pull* tiene un comportamiento de carga y descarga simétrico a la salida y en el condensador de carga, lo cual no puede llegar a ofrecer otra configuración básica, como el drenador común o surtidor común.

En esta etapa, las entradas del *push-pull* (puertas del transistor M_{op} y M_{on}) tienen una diferencia de tensión entre ellas para poder funcionar, es decir, una diferencia de tensión constante. Por ello, esos nodos de entrada tienen que moverse de manera solidaria para mantenerla. Esto se consigue, como ya se ha explicado, con las variaciones de corriente que mueven los nodos de la fuente flotante.

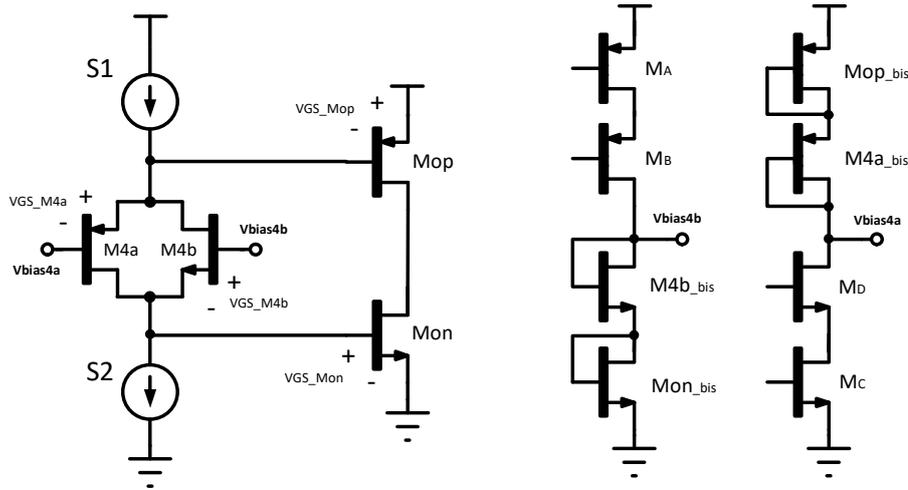
Para hacer funcionar esta etapa, es necesario que la fuente flotante explicada anteriormente se polarice de manera que simule el comportamiento que se quiere buscar en ambas etapas finales.

Estudiando el análisis de continua y gran señal de la Figura 3.6a, se desarrollan las expresiones de los arcos de tensiones en continua desde la polarización de la fuente hasta la etapa del salida (ver ec. 3.20).

$$\begin{aligned} V_{bias4A} &= V_{DD} - V_{gs4a} - V_{gsMop} \\ V_{bias4B} &= V_{gs4b} + V_{gsMon} \end{aligned} \quad (3.20)$$

Teniendo en cuenta dichas expresiones, se va a utilizar una estructura de polarización que se comporte igual que este arco de tensiones. La Figura 3.6b muestra una estructura de polarización que no se basa en espejos de corriente, pero tiene un comportamiento en escalado de corrientes parecido, al forzar que las tensiones y repartición de corrientes sean iguales (o proporcionales) en el circuito y la polarización. Las ecuaciones 3.21 muestran las expresiones de las tensiones de polarización, las cuales se deben relacionar con sus correspondientes ecuaciones en 3.20.

$$\begin{aligned} V_{bias4A} &= V_{DD} - V_{gs4abis} - V_{gsMopbis} \\ V_{bias4B} &= V_{gs4abis} + V_{gsMonbis} \end{aligned} \quad (3.21)$$



(a) Esquemático de los arcos de tensiones de la fuente flotante y el *push-pull*.

(b) Esquemático de la polarización de la fuente flotante y el *push-pull*.

Figura 3.6: Polarización de la fuente flotante y el *push-pull*.

Con estas correspondencias, puede deducirse la relación entre la corriente de polarización I_{bias} y las corrientes de la fuente ($I/2$) y el *push-pull* (I_q).

$$\frac{I_q}{I_{bias}} = \frac{(W/L)_{4b}}{(W/L)_{4abis}} \quad , \quad \frac{I/2}{I_{bias}} = \frac{(W/L)_{Mon}}{(W/L)_{Monbis}} \quad (3.22)$$

$$\frac{I_q}{I_{bias}} = \frac{(W/L)_{4a}}{(W/L)_{4abis}} \quad , \quad \frac{I/2}{I_{bias}} = \frac{(W/L)_{Mop}}{(W/L)_{Mopbis}} \quad (3.23)$$

También puede estudiarse el Slew Rate teniendo en cuenta los condensadores que forman la etapa de salida, el condensador de carga y el de Miller. Considerando la Figura 3.7 se observa que la corriente de salida total I_{DMop} se distribuye hacia la carga (I_{CL}) y el condensador de Miller (I_{CM}). Hay que tener en cuenta que esta última corriente es la misma que la variación de corriente que proporciona la fuente de cola del par diferencial 2.4

Al estar ambos condensadores conectados en el mismo punto, se considera que el Slew Rate en ambos sea el mismo (ver expresiones en 3.24).

$$SLR_{CL} = \frac{I_L}{C_L} \quad (3.24)$$

$$SLR_{CM} = \frac{I_{CM}}{C_M} = \frac{I_{ss}}{C_M}$$

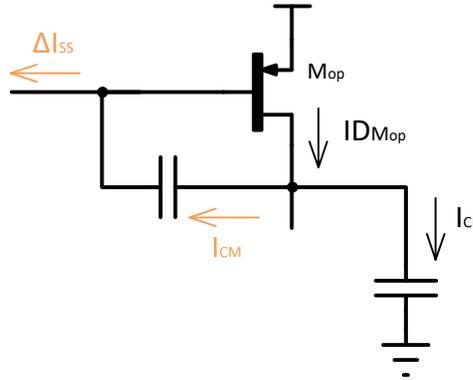


Figura 3.7: Estudio del Slew Rate en la etapa del *push-pull*.

$$I_{DMop} = I_L + \Delta I_{ss} \quad (3.25)$$

Estudiando el esquemático de la arquitectura completa de la Figura 3.8, los transistores que forman la etapa *push-pull* son los Mop y Mon.

3.5. Estudio de ruido

El estudio del ruido del circuito se ha llevado a cabo en cada etapa del operacional, teniendo en cuenta que el ruido equivalente a la entrada es el mismo que el ruido equivalente a la entrada del *buffer*.

La contribución de ruido a la salida del sistema será la suma de las contribuciones de cada etapa del circuito (ver ec. 3.26). Dicha contribución se puede llevar, a su vez, a la entrada del sistema al dividirla por la ganancia diferencial (ver ec. 3.27).

$$\overline{v_{opamp}^2} = \overline{v_{par}^2} + \overline{v_{mixer}^2} + \overline{v_{opp}^2} \quad (3.26)$$

$$\overline{v_{i_{opamp}}^2} = \frac{\overline{v_{o_{opamp}}^2}}{A_{diff}^2} \quad (3.27)$$

Procediendo en el mismo orden en el que se han presentado las etapas, el ruido del par diferencial se define en la ecuación 3.28.

$$\overline{v_{o_{par}}^2} = 2A_{diff}^2 \cdot \overline{v_{n_{M1,2}}^2} + \overline{v_{o_{ISSn}}^2} \quad (3.28)$$

Para estudiar el ruido a la salida de la etapa del mezclador, se ha utilizado el mismo procedimiento que el mostrado en la resolución del ruido del OPAMP (ver ec. 2.20). El ruido total a la salida será la suma de los ruidos equivalentes de cada transistor del mezclador (ver ec. 3.29). Cabe destacar que dado la estructura que presenta el mezclador, se ha estudiado el ruido haciendo uso del equivalente en corriente, sabiendo que la relación entre el equivalente en tensión y corriente de ruido es la transconductancia (ver ec. 3.30).

$$\overline{i_{o_{mixer}}^2} = \overline{i_{o_{n1mix}}^2} + \overline{i_{o_{n4mix}}^2} + \overline{i_{o_{n5mix}}^2} + \overline{i_{o_{n8mix}}^2} \quad (3.29)$$

$$\overline{i_{o_n}^2} = \overline{v_{o_n}^2} \cdot gm_n^2 \quad (3.30)$$

$$\overline{i_{o_{n1mix}}^2} = \overline{i_{n1}^2} \left(\frac{1}{gm_4} \cdot gm_5 \right)^2 = \overline{i_{n1}^2} \quad (3.31)$$

$$\overline{i_{o_{n4mix}}^2} = \overline{i_{n4}^2} \left(\frac{1}{gm_4} \cdot gm_4 \right)^2 = \overline{i_{n4}^2} \quad (3.32)$$

$$\overline{i_{o_{n5mix}}^2} = \overline{i_{n5}^2} \quad (3.33)$$

$$\overline{i_{o_{n8mix}}^2} = \overline{i_{n8}^2} \quad (3.34)$$

El ruido en tensión a la salida del OPAMP que aporta el mezclador tiene la expresión 3.35, teniendo en cuenta el término $\overline{i_{o_{mixer}}^2}$ desarrollado en la ecuación 3.29 y el término A_{nmixer} como la ganancia de ruido desde la salida del mezclador a la salida del OPAMP.

$$\overline{v_{o_{mixer}}^2} = \overline{i_{o_{mixer}}^2} \cdot A_{nmixer}^2 \quad (3.35)$$

Cabe destacar que los transistores $M2_{mix}$, $M3_{mix}$ y $M6_{mix}$ no aportan ruido. Además, la etapa de la fuente flotante tampoco aportará ruido al circuito.

Por último, se muestra el aporte de ruido a la salida de la etapa de salida *push-pull* en la ecuación 3.36.

$$\overline{v_{o_{pp}}^2} = \overline{v_{n_{mop}}^2} \cdot (gm_{mop} \cdot Z_o)^2 + \overline{v_{n_{mon}}^2} \cdot (gm_{mon} \cdot Z_o)^2 \quad (3.36)$$

3.6. Compensación en frecuencia

Por último, se ha aplicado la compensación de Miller en la etapa de salida para mejorar la estabilidad del circuito. Para ello, en este caso se emplearán dos condensadores (C_M) para optimizar el comportamiento simétrico. Considerando la diferencia de tensión continua entre las puertas de los dos transistores del *push-pull* como un corto en frecuencia, puede observarse que ambos condensadores están conectados en los mismos puntos en ambos terminales.

Contemplando los dos condensadores como un bloque, que los transistores del *push-pull* tienen el mismo comportamiento y que las Z_x de carga de la fuente flotante están en paralelo y son iguales, se obtienen las siguientes expresiones:

$$Z_o = r_{dp} // r_{dn} \quad (3.37)$$

$$\begin{aligned} C_{Mp} &= C_{Mn} \\ C'_M &= C_{Mp} + C_{Mn} = 2C_M \end{aligned} \quad (3.38)$$

$$\begin{aligned} gm_p &= gm_n \\ gm' &= 2gm_{p,n} \end{aligned} \quad (3.39)$$

$$Z'_x = Z_{xp} // Z_{xn} = \frac{Z_x}{2} \quad (3.40)$$

Aplicando Miller como ya se demostró en el apartado 2 se obtienen los dos polos principales del *buffer* (ver ecs. 3.41 y 3.42).

$$\omega_{pd} = \frac{1}{C_M 2gm_{n,p} Z_o Z_x} \quad (3.41)$$

$$\omega_{p2} = \frac{2gm_{n,p}}{2C_M + C_L} \quad (3.42)$$

En cuanto a la posición del cero de Miller de la respuesta en frecuencia, se encuentra en la posición que muestra la ecuación 3.43.

$$s = -\frac{gm_{n,p}}{C_M} \quad (3.43)$$

Cabe destacar que esta expresión es negativa. Esto significa que la posición del cero se encuentra en el plano de la derecha del plano complejo, lo cual conlleva a que el cero puede introducir un desfase equivalente al de un polo y empeorar la respuesta. Afortunadamente se pueden emplear técnicas para mejorar este deterioro, como la introducción de una resistencia en serie con el condensador de Miller (ver el componente R_M en la Figura 3.8).

3.7. Topología Propuesta

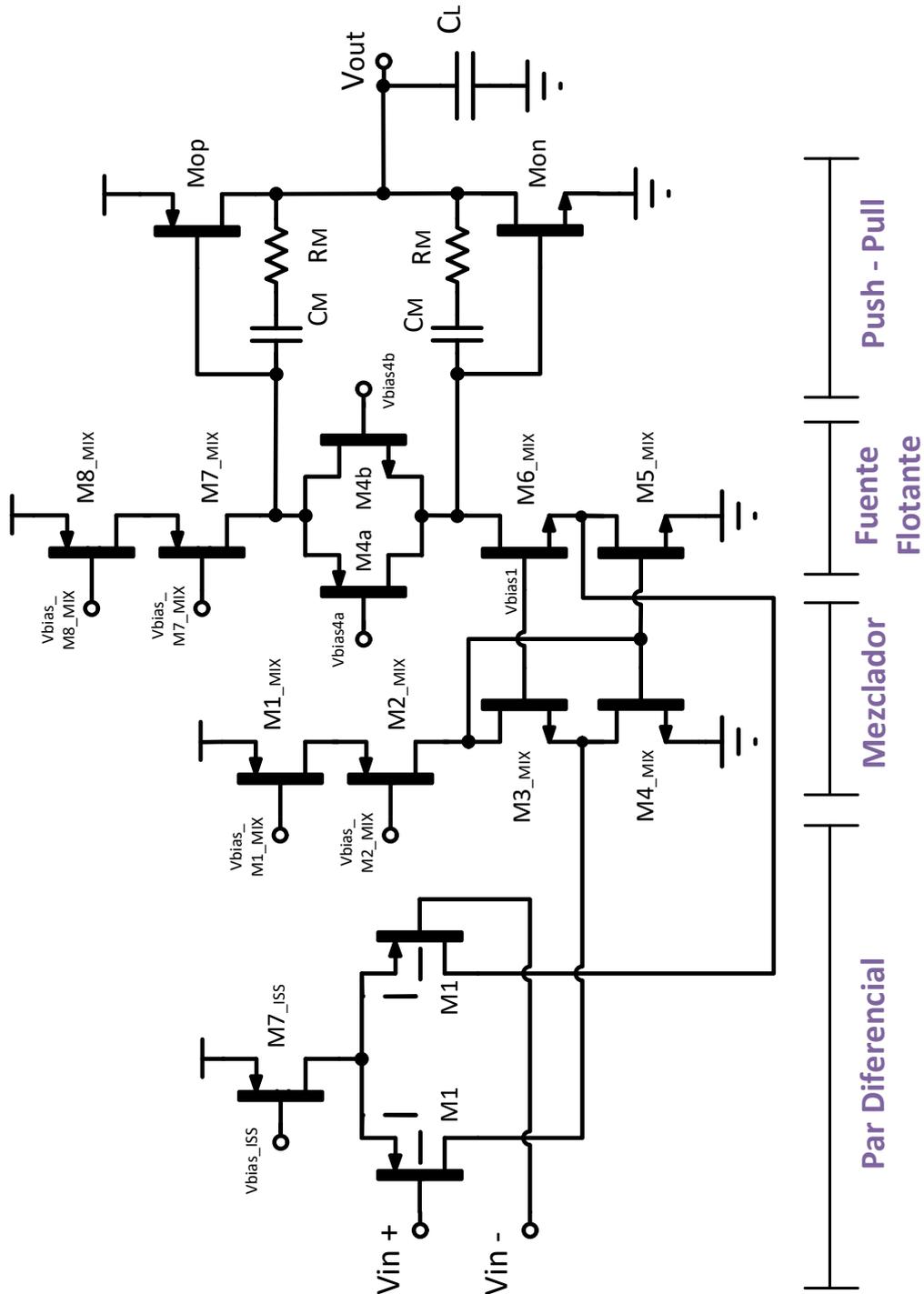


Figura 3.8: Esquemático completo del *buffer* con un solo par diferencial.

Capítulo 4

Implementación del diseño

Tras haber explicado en capítulos anteriores el comportamiento del sistema que se quiere diseñar, se va a desarrollar en el presente capítulo las ecuaciones generales del operacional que se utilizan como punto de partida en el diseño del circuito.

4.1. Respuesta en frecuencia

En primer lugar hay que tener en cuenta de que las dos ramas de la etapa de salida se va a tratar como un bloque, de manera que los dos condensadores de Miller y las gm de los transistores del *push-pull* estén en paralelo, y la fuente flotante equilibrada, con la mitad de corriente distribuida por cada transistor (P y N). Estos conceptos serán clave a la hora de desarrollar las ecuaciones finales y particularizar al caso que se está usando de implementación del buffer con un solo par diferencial a la entrada.

$$Z'_x = \frac{Z_x}{2}, \quad C'_M = 2C_M, \quad gm_o = 2gm_{pp,n} \quad (4.1)$$

La respuesta en frecuencia del circuito se basa en obtener los parámetros más importantes de la gráfica 2.8b mostrada en el capítulo 2.

Al tener un sistema de dos etapas, la ganancia total en lazo abierto del OPAMP es la multiplicación de las ganancias de las dos etapas que forman el circuito; el par diferencial con el mezclador (aunque hay que tener en cuenta que el mezclador tiene ganancia igual a la unidad) y la etapa de salida *push-pull* (ver ec. 4.2).

$$A_{diff_{tot}} = A_{par} \cdot A_{pp} = gm_i Z'_x gm_o Z_o \quad (4.2)$$

Teniendo en cuenta que en el diseño que se está estudiando se tiene a la entrada un solo par diferencial, el valor de la gm de dicha estructura se obtendrá empleando el mismo procedimiento visto en el apartado 2.1.1 (ver ecs. 2.1, 2.6 y 2.8).

Por consiguiente, la expresión de gm del par del operacional completo queda:

$$gm_i = gm_{par_{p,n}} \quad (4.3)$$

En cuanto a las expresiones que definen los polos de la respuesta (dominante y secundario), serán las mismas obtenidas en el estudio de compensación de Miller del capítulo anterior (ver ecs. 3.41 y 3.42).

Además, el cero de Miller proporcionado en dicho estudio se ve modificado como se muestra en la ecuación 4.4 al añadir el efecto de la resistencia de Miller.

$$s_{cero_{miller}} = \frac{gm_o}{C_M(1 - gm_o R_M)} \quad (4.4)$$

Por último, la expresión del GBP se puede obtener al multiplicar la ganancia diferencial total por el polo dominante (ver ec. 4.5).

$$GBP = A_{diff} \cdot \omega_{pd} = \frac{gm_i}{C'_M} \quad (4.5)$$

4.2. Respuesta temporal

En la respuesta temporal se presenta uno de los parámetros más relevantes del diseño, el tiempo de *settling*. Dicho tiempo indica cuánto tarda la salida de un sistema en alcanzar un valor dentro de un rango específico alrededor de su valor final (ver v2 en la Figura 4.1) tras haber experimentado un cambio en la entrada.

Este tiempo se divide en dos partes, el tiempo de subida (t_{rise}) y el tiempo de estabilización.

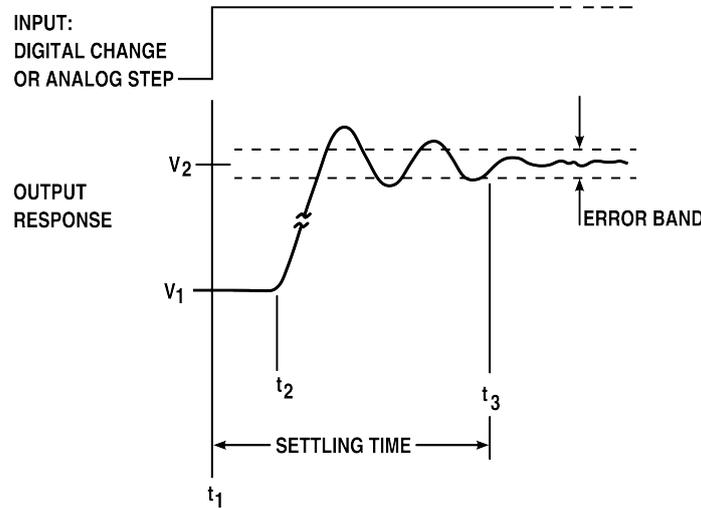


Figura 4.1: Gráfica de la respuesta temporal del tiempo de settling [3].

El tiempo de subida se define como el intervalo que va desde el valor v_1 hasta alcanzar por primera vez el valor v_2 . Este tiempo se relaciona con el Slew Rate, ya que este concepto se define como el incremento de voltaje en función del incremento de tiempo (ver ec. 4.6). Dicho incremento de tiempo es el propio t_{rise} .

$$SLR = \frac{\Delta V}{\Delta t} \quad (4.6)$$

No obstante, se ha de tener en cuenta que el t_{rise} puede estar limitado por el ancho de banda del sistema (ver ec. 4.7) y, por consiguiente, limitar también el Slew Rate.

Por ello, no siempre que se tenga un Slew Rate muy alto significa que el t_{rise} vaya a ser bueno igualmente, ya que puede venir limitado por el ancho de banda.

$$t_{rise}(ns) = \frac{0,35}{BW(GHz)} \quad (4.7)$$

Por otro lado, el tiempo de estabilización del sistema se define en el rango que va entre el primer instante en el que se alcanza $\sqrt{2}$ de la Figura 4.1, hasta que la señal se ha estabilizado en el valor objetivo (instante t_3).

El valor de este tiempo depende de dos componentes: la frecuencia natural de la oscilación (ω_o) y el margen de fase (PM), y puede modificarse en función de estos parámetros.

En el caso de aumentar la frecuencia natural, dejando el valor del margen de fase constante (manteniendo el número de oscilaciones constante), el tiempo de oscilación se reduce, de manera que el tiempo de estabilización se reduce también. En el caso contrario, si el valor de la frecuencia natural disminuye, el tiempo de oscilación aumenta, aumentando a su vez el tiempo de estabilidad.

Por otro lado, si se mantiene constante la frecuencia natural y se aumenta el margen de fase, el número de oscilaciones disminuirá, por lo que el tiempo de estabilización disminuirá. En cambio, si el margen de fase disminuye, el número de oscilaciones aumenta y el tiempo de estabilización aumentará.

4.3. Respuesta de ruido

En el apartado 3.5 se ha llevado a cabo el estudio de ruido de cada etapa del OPAMP, y lo que contribuía a la salida de éste. Si se desarrolla de manera completa la ecuación del equivalente de ruido a la salida, la expresión queda como la mostrada en la ecuación 4.8.

$$\overline{v_{o_{opamp}}^2} = [2A_{diff}^2 \cdot \overline{v_{n_{M1,2}}^2} + \overline{v_{o_{ISSn}}^2}] + \frac{\overline{i_{o_{mixer}}^2} \cdot (Z'_x g_{m_o} Z_o)^2}{\overline{v_{n_{mop}}^2} \cdot (g_{m_{mop}} \cdot Z_o)^2 + \overline{v_{n_{mon}}^2} \cdot (g_{m_{mon}} \cdot Z_o)^2} \quad (4.8)$$

$$\overline{v_{i_{opamp}}^2} = \frac{\overline{v_{o_{opamp}}^2}}{A_{diff}^2} = 2 \cdot \overline{v_{n_{M1,2}}^2} + \frac{\overline{v_{o_{ISSn}}^2}}{A_{diff}^2} + \frac{\overline{i_{o_{mixer}}^2}}{g_{m_i}^2} + \frac{\overline{v_{n_{mop}}^2} + \overline{v_{n_{mon}}^2}}{(2g_{m_i} Z'_x)^2} \quad (4.9)$$

En la ecuación 4.9 puede comprobarse que la contribución mayor de ruido la da el par diferencial (primera etapa), tal y como se explicó en apartados anteriores.

4.4. Dimensionamiento y diseño en hoja Excel

Con el fin de comenzar a obtener los datos de dimensionamiento de los transistores que van a formar el circuito, se recogen las expresiones desarrolladas en el apartado anterior en una hoja Excel que va a servir como herramienta de diseño. Como ya se ha visto, los parámetros más importante de los transistores se tiene que definir teniendo en cuenta las restricciones que las especificaciones iniciales suponen.

Los dos transistores del par diferencial son iguales, por lo que sus parámetros también lo serán. En primer lugar, hay que tener en cuenta que la mayor contribución de ruido viene dada por esta etapa. Es por ello que la gm del par diferencial se fijará de manera que permita cumplir el objetivo de ruido. El siguiente parámetro que se relaciona con la gm del par es el GBP. Para que el circuito sea estable y proporcione unas buenas prestaciones, se debe cumplir las condiciones de la ecuación 4.10. Como ya se ha fijado la gm con el ruido, habrá que buscar un valor del condensador de Miller que permita cumplir la especificación de GBP. A continuación, al fijar el C_M , puede estudiarse la especificación de Slew Rate que hace falta en este condensador y, en consecuencia, la corriente que hace falta para conseguirlo. Dicha corriente que define el Slew Rate junto con el condensador de Miller es la corriente de cola del par diferencial. Definiendo dicha corriente, se puede pasar a dimensionar los transistores del par diferencial.

$$BW \approx \sqrt{2}GBP \quad , \quad \omega_{p2} \approx 2GBP \quad (4.10)$$

La ganancia del sistema se caracteriza por varios parámetros. Uno de ellos es la gm del par diferencial ya fijada. Por otra parte, la impedancia de salida Z_o no va a poder controlarse ya que puede empeorar los parásitos de la etapa de salida al modificarse. Además, la gm de la etapa *push-pull* se reservará para diseñar y garantizar que la especificación del segundo polo de la respuesta en frecuencia se cumple. Por ello, la única variable que queda libre para asegurar que se va a conseguir una ganancia suficiente para llegar a cumplir especificaciones es la impedancia de carga de la fuente flotante.

La impedancia Z_x depende de la impedancia de salida que se ha conseguido al diseñar el mezclador (cascodo formado por los transistores $M5_{mix}$ y $M6_{mix}$), y el dimensionamiento de los transistores de la fuente flotante, tal y como se desarrolló en el procedimiento del apartado 3.3. Cabe destacar que los transistores de la fuente flotante se han definido de manera que las gm sean iguales (recordando que son un nmos y un pmos). Tal y como se explicó en el apartado 3.4, la polarización de la fuente flotante afecta al dimensionamiento de los transistores del *push-pull*.

Los polos del operacional dependen en mayor parte de los parámetros de la etapa de *push-pull*. Es interesante buscar una gm de los transistores de la etapa de salida grande, ya que desplazará el segundo polo a frecuencias elevadas ayudando a cumplir la condición anterior. Al buscar que los transistores del *push-pull* tengan el comportamiento lo más parecido posible, se intentará conseguir un área de estos de valor similar (aunque los anchos y largos no serán iguales ya que se está hablando de un par nmos y otro pmos) y una r_d también aproximada.

En cuanto a los parámetros relacionados con el mezclador, hay que tener en cuenta que su respuesta en frecuencia no debe limitar el ancho de banda del circuito completo del OPAMP. Por ello, se ha tenido en cuenta la expresión 4.11.

$$BW_{CL} = \sqrt{2}GBP > \omega_{p2gen} \quad (4.11)$$

El segundo polo del mezclador se controlará definiendo correctamente la gm del transistor $M3_{mix}$ y la capacidad parásita del transistor del par. Por otra parte, su GBP, deberá establecerse de manera que cumpla la condición anterior 4.11 modificando el valor de la gm del transistor $M4_{mix}$ y la capacidad parásita del mismo.

En la etapa de salida debe tenerse en cuenta también que se debe cumplir la especificación del Slew Rate de carga. Como ya se ha explicado, la gm de los transistores del push-pull debe ser lo suficientemente grande como para garantizar que el polo dos se encuentra alejado en frecuencia del GBP. No obstante, esta gm también se relaciona con el Slew Rate de la carga (ver ec. 4.12), definiendo la corriente necesaria que hace falta tener en el push-pull para alcanzar la especificación de Slew Rate de carga. No hay que olvidar que la V_{GS} de los transistores de la fuente flotante y del push-pull también están ligados y su movimiento tiene que permitir alcanzar la especificación de Slew Rate, haciendo que todas los requerimientos estén relacionados en un complejo algoritmo de diseño.

$$gm_{push-pull} = \frac{\Delta I_o}{\Delta V_{GS_o}} \quad (4.12)$$

$$gm_{fuente} = \frac{\Delta i_D}{\Delta v_{GS}} = \frac{I_{BIAS}/2}{(V_{GS_{npp}} - V_{tn})} = \frac{I_{BIAS}/2}{(V_{GS_{ppp}} - V_{tp})} \quad (4.13)$$

Capítulo 5

Verificación del diseño

Este capítulo resultaría ser el último paso del flujo de diseño que se ha seguido para obtener el *buffer* implementado en un OPAMP explicado en este trabajo.

Tras obtener todos los desarrollos teóricos y aplicarlos en el dimensionamiento de los transistores, se procede a elaborar el esquemático en el software Virtuoso de *Cadence*. Para poder comprobar que los cálculos han sido llevado a cabo con éxito y que los parámetros de los transistores que forman el circuito son correctos, se establece una serie de simulaciones que proporcionan los valores que caracterizan el circuito diseñado y se comparan con las especificaciones objetivo iniciales (ver tabla 1.1).

5.1. Banco de pruebas

Una vez montado el circuito completo, se ha creado un banco de pruebas para poder obtener los resultados de cada especificación relevante del diseño con diferentes estructuras de OPAMP en configuración *buffer* según el parámetro que se quiera estudiar.

Simulación de continua

La simulación de continua se utiliza para polarizar el circuito y estudiar el comportamiento *DC* del circuito. En este caso, se ha llevado a cabo el estudio del rango dinámico de entrada. Observando la Figura 6.3) se puede ver el error de entrada respecto salida, con el cual se muestra hasta que valor es aceptable trabajar en la entrada.

Simulación de estabilidad, alterna y ruido

En primer lugar, se ha estudiado la estabilidad del circuito, la cual viene dada por el margen de fase (PM), la ganancia en lazo abierto y el GBP. Para ello, se ha abierto el lazo de realimentación (ver esquemático en Fig. 6.4) y llevado a cabo la simulación *STB*.

En la Figura 6.4 se observa que el valor de ganancia en lazo abierto y el margen de fase cumplen especificaciones.

Utilizando el mismo esquemático del banco de pruebas, se lleva a cabo una simulación *AC* para estudiar el ancho de banda y la respuesta en alterna de la salida del circuito. En la Figura 6.5 se observa que el ancho de banda con caída a 3dB no cumple con las especificaciones iniciales pero al tener buena estabilidad, se tendrá en cuenta más adelante a la hora de estudiar el tiempo de *settling*.

El estudio de ruido se puede realizar usando el mismo esquemático. Configurando una simulación *NOISE*, se observa a la entrada la densidad espectral de ruido (ver fig. 6.6), donde se diferencia la parte del ruido *flicker* en baja frecuencia y del ruido térmico en alta frecuencia.

Simulación del PSRR

El PSRR proporciona información sobre el rechazo a las perturbaciones provenientes de la alimentación que se propagan hasta la salida del circuito. Cabe destacar que se va a utilizar una simulación *AC* cuyo estímulo se lanza desde la propia alimentación (ver Fig. 6.7).

Simulación del CMRR

El CMRR proporciona información sobre el rechazo al modo común que tiene el circuito. Para poder estudiar este parámetro el cual se define como el ratio entre el modo diferencial y el modo común, se ha utilizado el elemento *balun*, que permite combinar las señales de entrada en modo común y diferencial para crear las señales + y - de entrada al OPAMP. (ver Fig. 6.8).

Simulación de la distorsión armónica

La distorsión armónica (THD) es un parámetro que indica las perturbaciones que se pueden percibir en la señal. Llevando a cabo una simulación *TRAN* e introduciendo una señal senoidal a la entrada del circuito. En la Figura 6.9 se observa que el THD es menor que el 0.5 %.

Simulación de los tiempos de *settling*

En las simulaciones también se ha estudiado el tiempo de *settling* en dos casos distintos; la respuesta de la tensión de la salida al introducir un impulso a la entrada y la respuesta de la tensión de salida al cambiar la carga del circuito, para observar el comportamiento del t_{rise} y el tiempo de estabilización que lo forman.

Cabe destacar que normalmente los resultados del tiempo de *settling* con cambio de carga se dan en porcentaje. Sin embargo, el diseño de este trabajo se va a utilizar en una aplicación específica con un convertidor, por lo que se compararán resultados en función al LSB de dicho convertidor. Es decir, se considerará que el tiempo de *settling* se ha estabilizado cuando la variación de tensión sea menor a un LSB.

En primer lugar, se ha introducido a la entrada un pulso de tensión para observar los tiempo de subida y bajada de la respuesta (ver fig. 6.11 y 6.12).

En las Figuras 6.13 y 6.14 se indica el tiempo completo de *settling*, y se puede ver el comportamiento que tiene que tiempo de estabilización en la subida y en la bajada.

Por último, para estudiar el tiempo de *settling* en condiciones de cambio de carga de salida del circuito, se ha preparado un circuito en el banco de pruebas que simule el cambio de capacidad de carga (ver Fig. 6.10). Cuando el interruptor A está cerrado, el condensador se carga lo que hace que a la salida se tenga una tensión entre V_{HIGH} y V_{LOW} . En el caso contrario, si se cierra el interruptor B y al A se abre, el condensador se descargará, y en el terminal de salida se tendrá una tensión de V_{LOW} . En la Figura 6.10 se puede estudiar el tiempo de *settling* en estas condiciones.

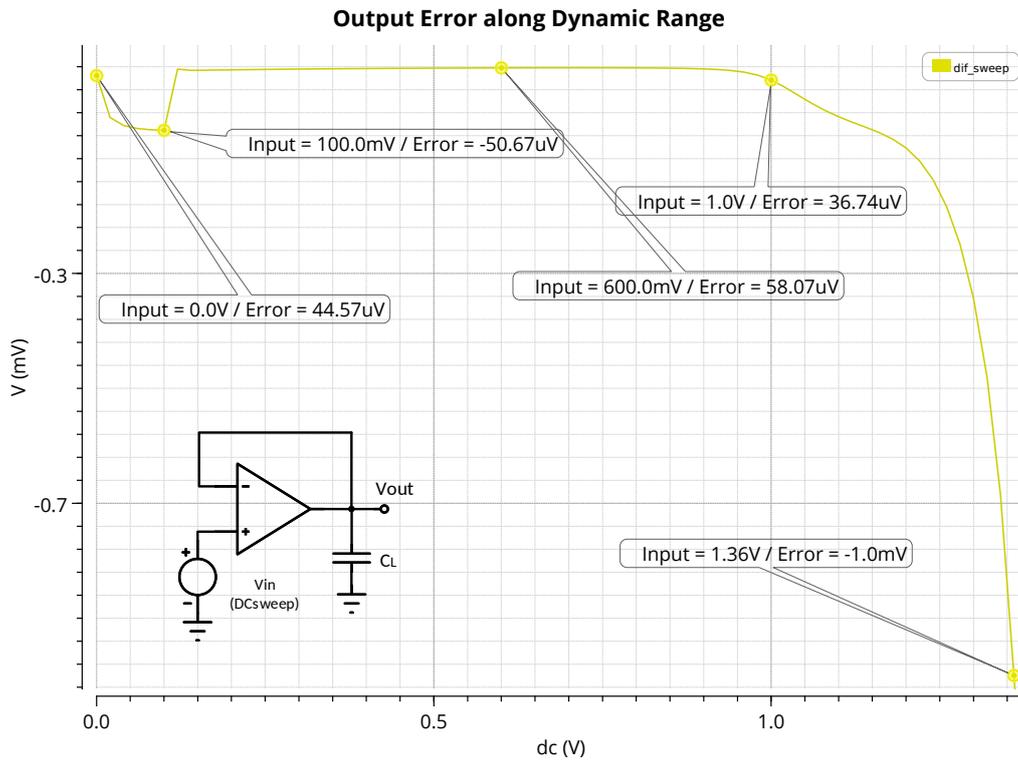


Figura 5.1: Gráfica del rango dinámico a la entrada con la simulación DC.

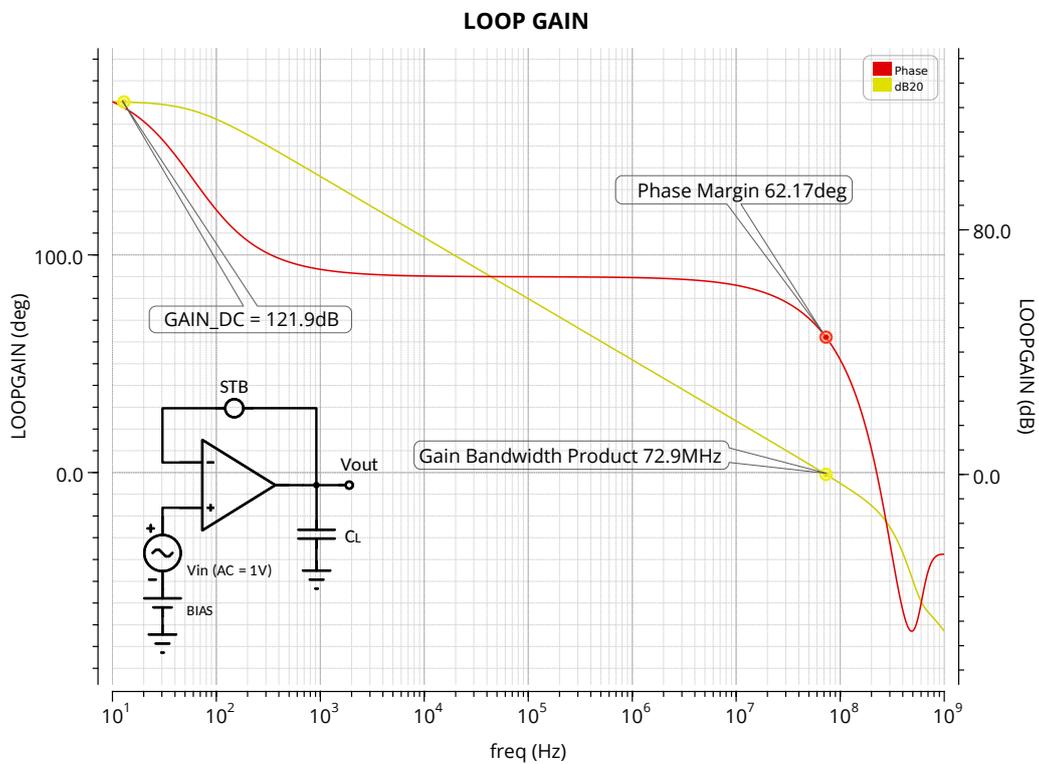


Figura 5.2: Gráfica de la ganancia de lazo abierto obtenida con la simulación STB.

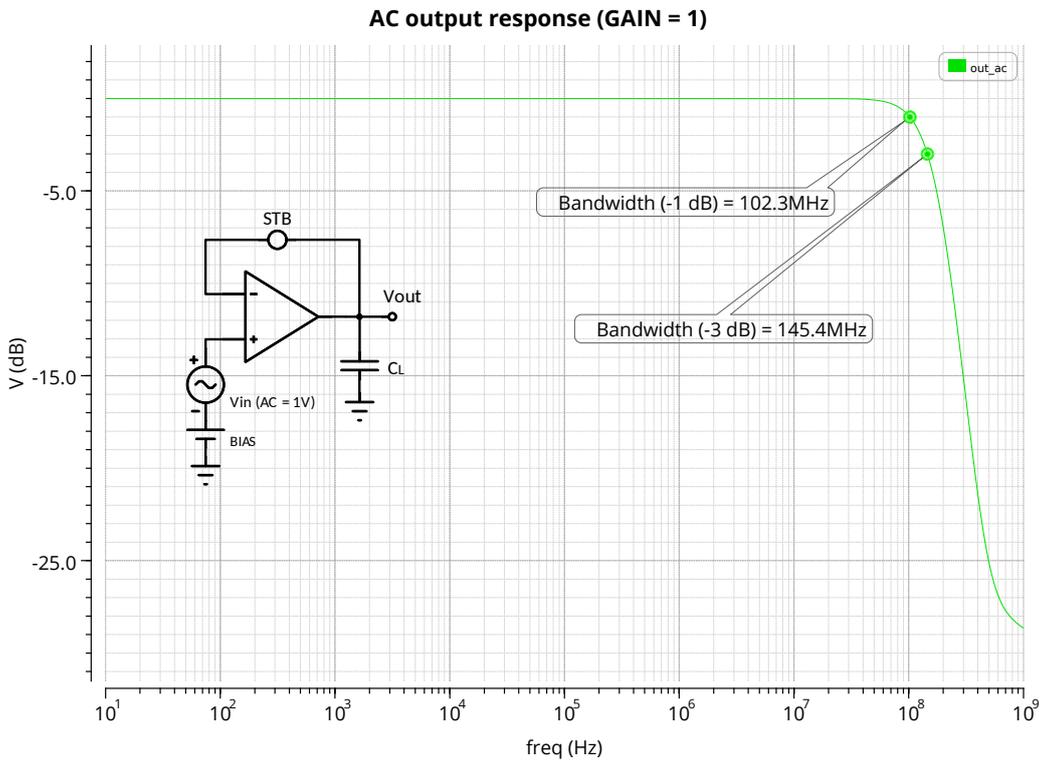


Figura 5.3: Gráfica de la salida del circuito con la simulación AC.

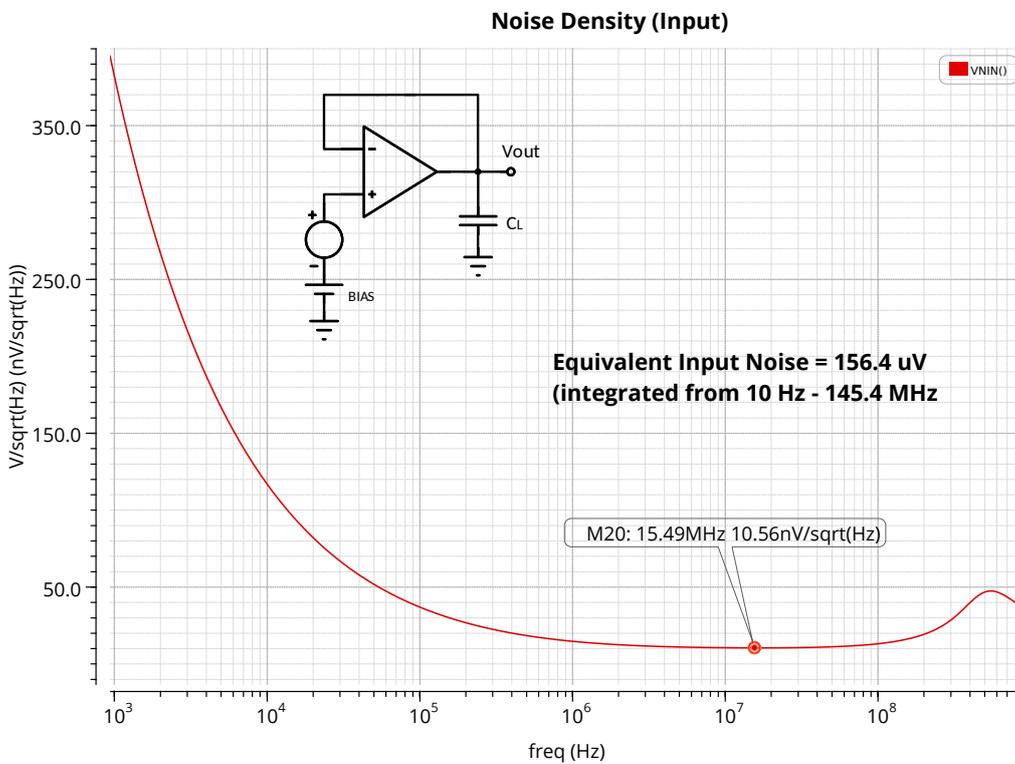


Figura 5.4: Gráfica del ruido equivalente a la entrada con la simulación noise.

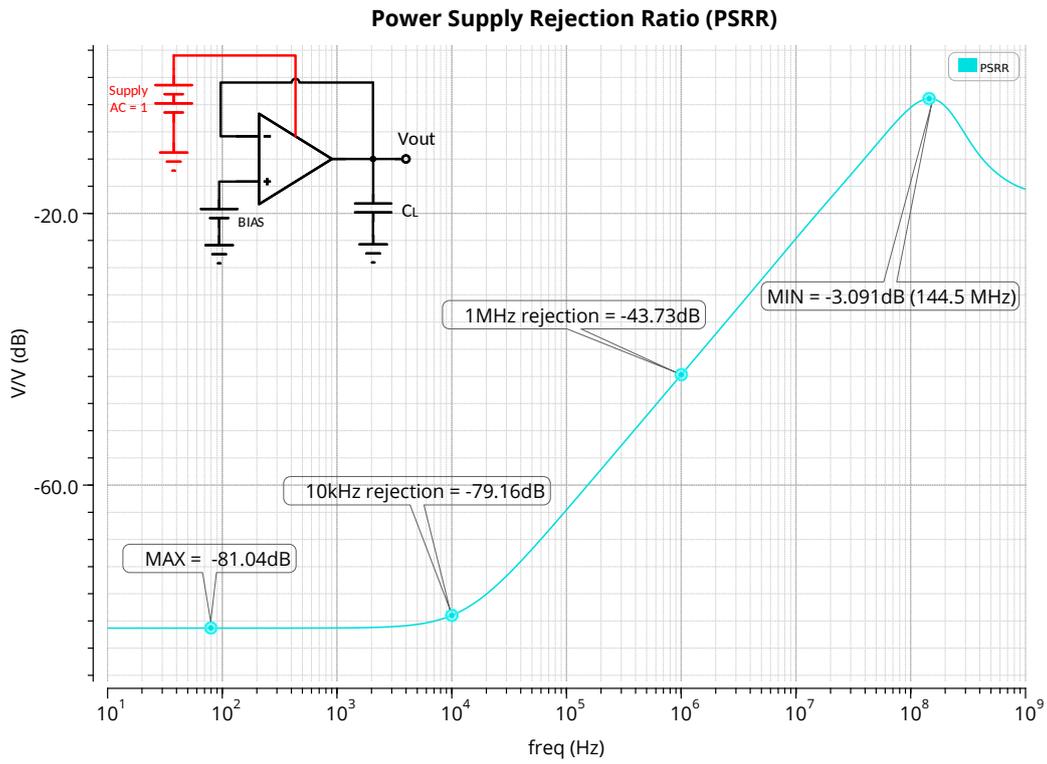


Figura 5.5: Gráfica del PSRR obtenida con la simulación AC.

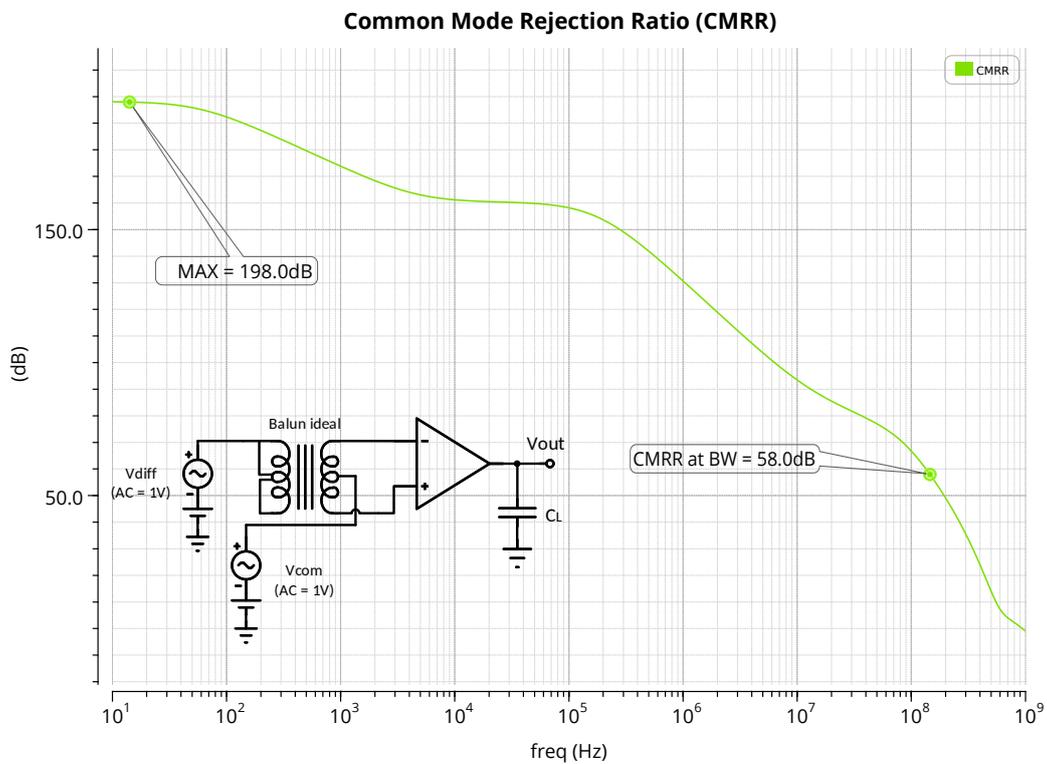


Figura 5.6: Gráfica del CMRR obtenida con la simulación AC.

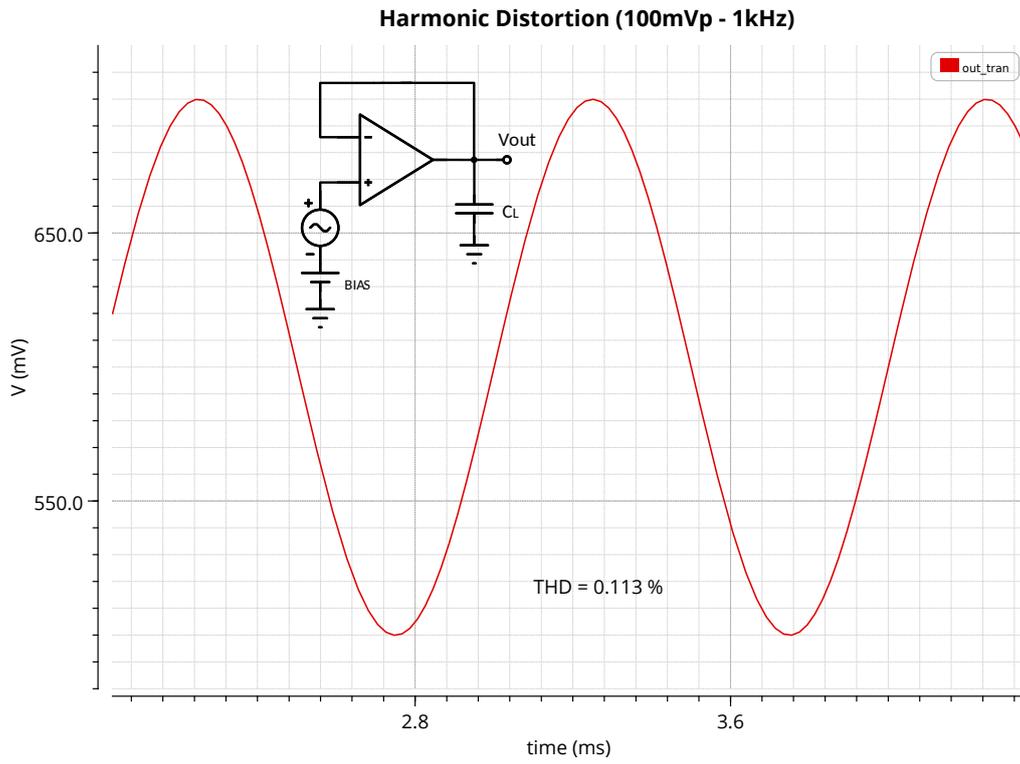


Figura 5.7: Gráfica de al distorsión armónica con la simulación *thd*.

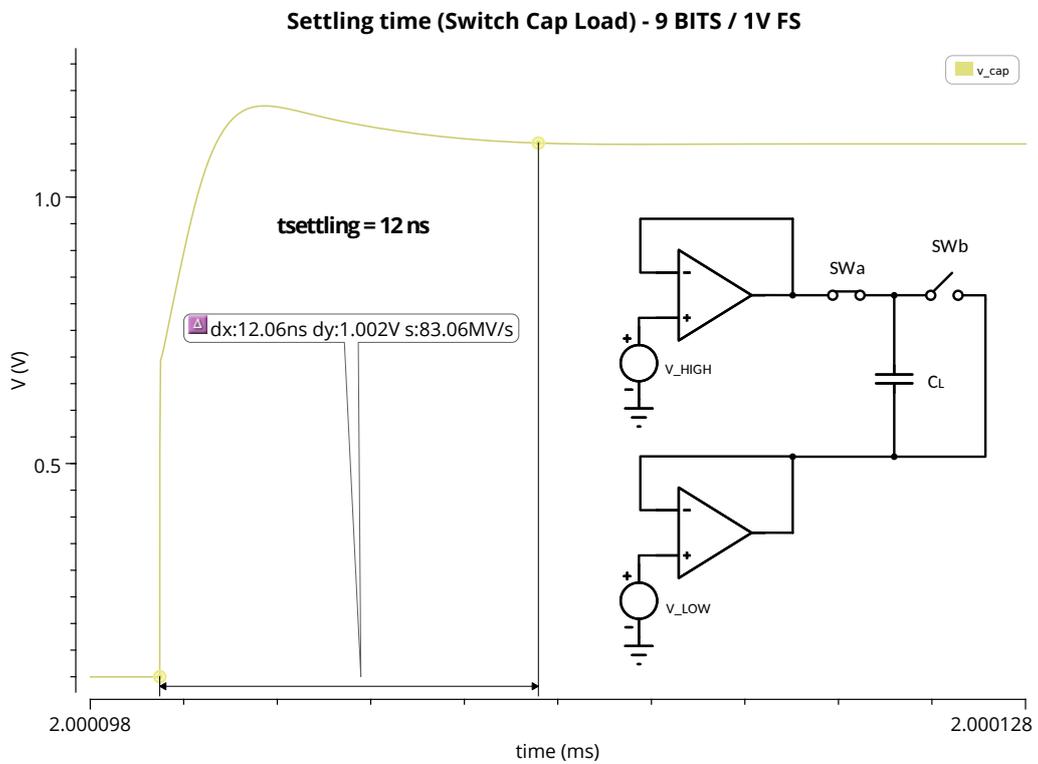


Figura 5.8: Tiempo de *settling* en condiciones de cambio de carga.

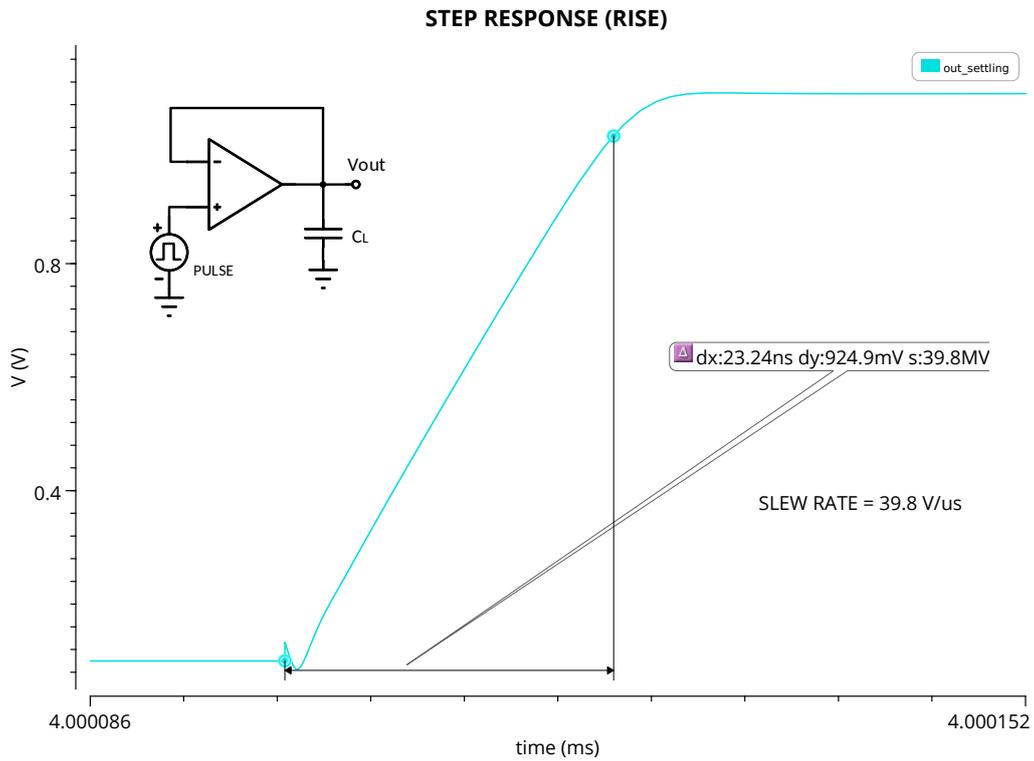


Figura 5.9: Tiempo de subida de la respuesta al impulso.

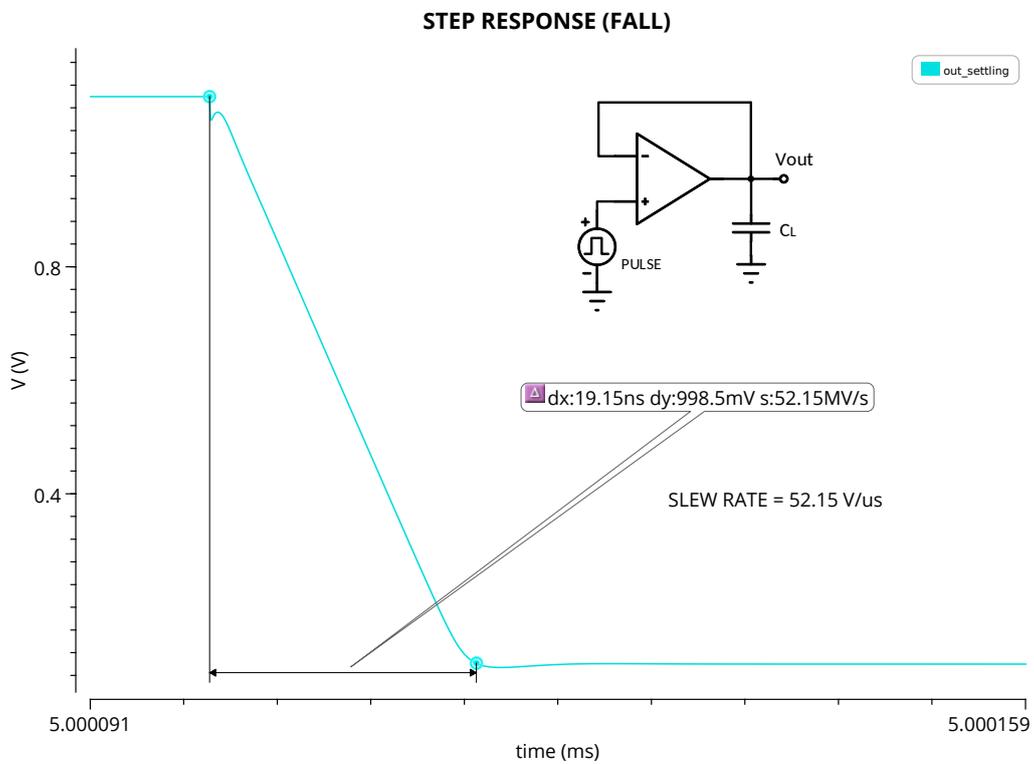


Figura 5.10: Tiempo de bajada de la respuesta al impulso.

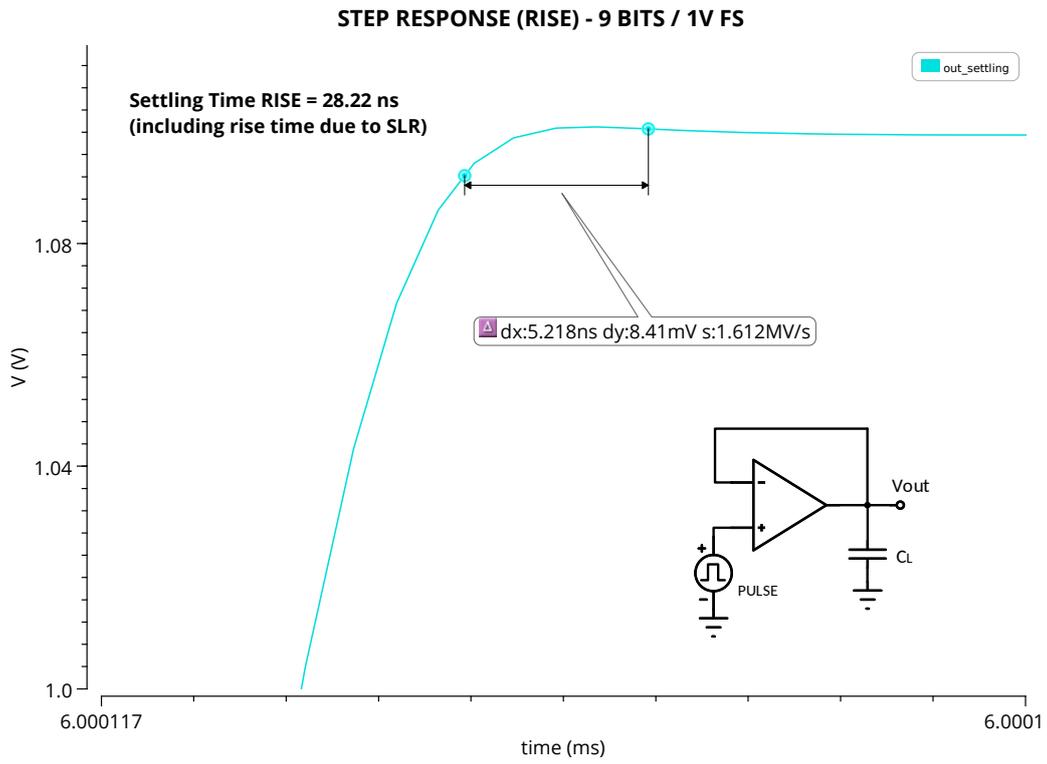


Figura 5.11: Tiempo estabilización de subida de la respuesta al impulso.

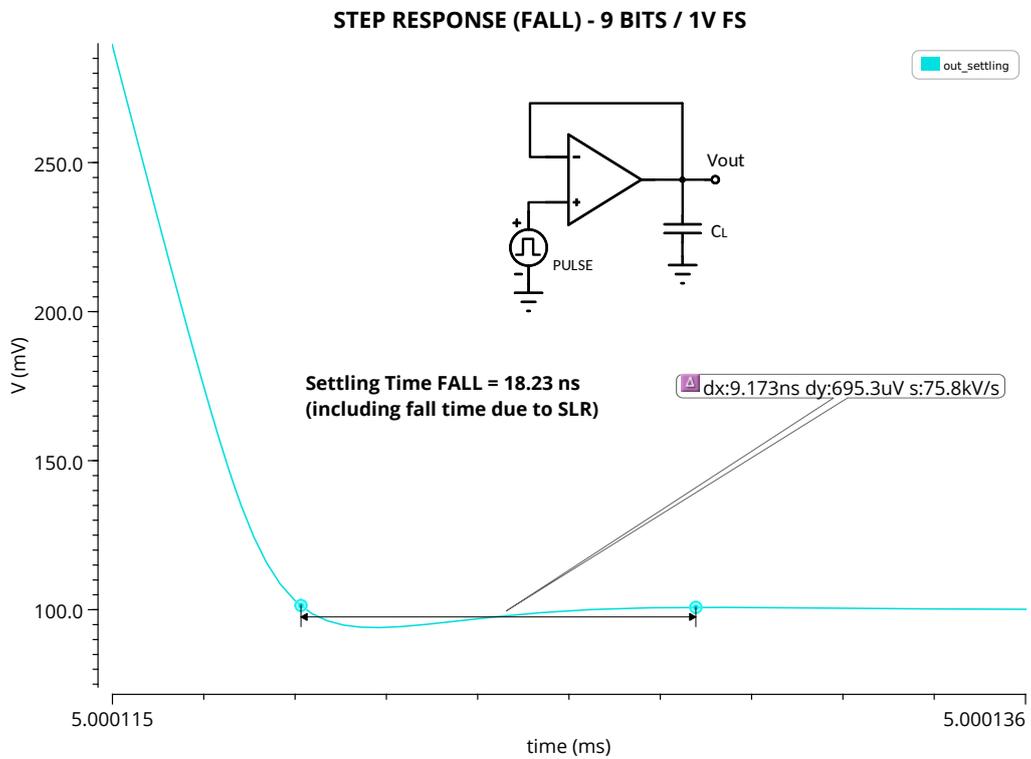


Figura 5.12: Tiempo de estabilización de bajada de la respuesta al impulso.

5.2. Resultados de simulación

En la Tabla 5.1 se puede observar una comparación de los resultados obtenidos en las simulaciones anteriormente explicadas con los objetivos establecidos al inicio del diseño.

Tanto la ganancia de lazo, como el ruido y el margen de fase, cumplen los rangos propuestos en las especificaciones. El ancho de banda no llega al límite establecido, pero al tener un buen margen de fase, se ha preferido mantener en ese valor para que el ruido no aumente y a su vez poder alcanzar el objetivo del tiempo de *settling*. En cuanto a las diferentes situaciones en las que se puede medir el tiempo de *settling*, el tiempo en condición de cambio de carga sí que cumple la especificación. Sin embargo, se ha detectado una diferencia entre los tiempos de subida y bajada que indica que la fuente flotante está desbalanceada. Esto se traduce en que el transistor *pmos* de la fuente no llega a apagarse en su totalidad en el caso extremo, por lo que el transistor *pmos* el *push-pull* no alcanza a generar suficiente corriente, haciendo que el tiempo de subida sea mayor. En la siguiente versión del diseño se introducirán una serie de mejoras que permitan cumplir especificaciones en estos dos tiempos.

Especificación	Objetivo	Resultado	Unidades
Ganancia Lazo Abierto (AB)	80	122	dB
Ruido	250	156.4	μV_{rms}
Margen de Fase (PM)	50	62.17	$^{\circ}$
Ancho de banda (BW)	175	145.4	MHz
Potencia consumida	–	0.86	mW
Rango dinámico de entrada	–	0 - 1.36	V
Tiempo de <i>settling</i>	15	<i>fall</i> 18.23 <i>rise</i> 28.25 <i>load</i> 12	ns

Tabla 5.1: Comparación de especificaciones iniciales y resultados obtenidos en la simulación del diseño del *buffer* basado en un OPAMP con un par diferencial.

Capítulo 6

Arquitectura final para rango extendido

En este capítulo se presenta la arquitectura explicada en apartados anteriores con una serie de modificaciones introducidas que mejoran las prestaciones obtenidas con el diseño previo.

6.1. Modificaciones del diseño

6.1.1. Implementación de arquitectura final

El diagrama de bloques de la Figura 3.1 sigue conservando la idea que se quiere introducir en el diseño. Sin embargo, en esta versión se ha añadido una nueva rama que incluye un segundo par diferencial (este de tipo *nmos*).

El objetivo de este nuevo diseño es aumentar el rango dinámico de la entrada, ya que el de la salida ha llegado a ser suficiente gracias a la etapa de *push-pull* antes planteada. Al introducir un segundo par para poder llegar a este objetivo de mejora, este debe acompañarse de un segundo mezclador (este de tipo *pmos*) que lo integre en el resto del circuito. Estas modificaciones en el diseño conllevarán una serie de problemas que habrá que solucionar.

Cabe destacar que todas las ecuaciones planteadas para el diseño anterior seguirán siendo válidas y aplicables a este, siempre y cuando se mantenga la simetría en todos los elementos.

Como ya se analizó en el estudio del rango del rango dinámico de un operacional de una etapa en el apartado 2.1.1, existirá un rango de tensiones de entrada en el cual uno de los dos pares diferenciales deje de funcionar.

Según el desarrollo del par diferencial *pmos* del anterior diseño, este puede llegar a proporcionar una entrada de 0V. De la misma manera, diseñando de forma correcta el par *nmos* que se quiere añadir, se podrá conseguir alcanzar una entrada de 1.8V, logrando disponer del rango completo de tensiones a la entrada del operacional.

En el diseño del bloque diferencial habrá que abordar un problema: en el caso de introducir el segundo par directamente, la contribución de gm que se tendrá por parte de esta primera etapa será el doble de la que se tenía en el diseño con un par diferencial. Esto significa que el GBP se desplazará al doble de frecuencia que en el caso anterior (ver ec. 4.5), y el circuito será inestable. Por ello, es importante buscar un mecanismo que haga que el valor de gm_i sea lo más constante posible a lo largo de todo el rango dinámico para poder seguir aplicando las mismas condiciones

de diseño previas.

En el caso de la introducción de un segundo mezclador de tipo *pmos*, se tendrá que afrontar el problema relacionado con el tamaño de este tipo de transistores. Los transistores *pmos* presentan un área mayor que los de tipo *nmos* para especificaciones equivalentes. Al ser el área más grande en comparación, los parásitos de esta estructura también lo serán, por lo que los polos asociados tenderán a ser de una frecuencia inferior. Para salvar esta cuestión, se ha empleado el ratio W/L de los transistores de forma que la respuesta de los dos mezcladores esté lo mas equilibrada posible.

Cabe puntualizar que en cuanto a ruido se refiere, se estimará un doble aporte debido a la incorporación del par diferencial y el mezclador adicionales. Las ecuaciones de ruido serán las mismas que las desarrolladas anteriormente, pero habrá de tenerse en cuenta que los términos correspondientes a estas etapas tendrán una doble contribución.

6.1.2. Control de gm

Como ya se ha introducido en el apartado anterior, la incorporación de un segundo par diferencial al circuito tiene como consecuencia un cambio en el valor de la *gm* total de esta primera etapa. Con un solo par diferencial, el valor de gm_i era el mostrado en la ecuación 4.3. En este segundo caso, al tener los dos pares diferenciales en la primera etapa, el valor de la gm_i será el doble del anterior (ver ec. 6.1).

$$gm_{i2par} = gm_{iparn} + gm_{iparp} = 2gm_{i1par} \quad (6.1)$$

Para poder regular el valor de la gm_i y que no interfiera en las prestaciones del operacional, se ha aplicado una solución que consiste en la utilización de un circuito de control de *gm* a la entrada del circuito, en paralelo con los pares diferenciales [4].

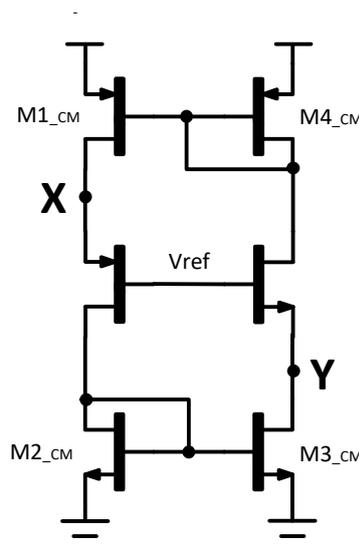


Figura 6.1: Circuito de control de *gm* de la primera etapa del *buffer*.

En la Figura 6.1 se muestra el esquemático del circuito encargado de controlar la gm de la etapa de los pares diferenciales. Los puntos X e Y estarán conectados a los correspondientes de la Figura 6.2. Dependiendo del movimiento que tengan las tensiones en esos puntos, los transistores del circuito se apagarán o funcionarán para proporcionar la corriente que haga falta en cualquier caso, y obtener el valor de gm necesario.

En el caso de que la tensión en X disminuya, haciendo que el transistor X se apague, la tensión en Y también bajará. Por ello, toda la corriente de la fuente de cola del par diferencial nmos se irá por el transistor Y al aumentar su V_{GS} , haciendo que no pase corriente por ninguno de los transistores del par nmos. De la misma manera, la corriente se copiará en el espejo formado por los transistores $M4_{CM}$ y $M1_{CM}$, sumando la corriente de cola del par nmos a la del pmos con un factor de escala definido por la relación de los transistores anteriores. Dicho escalado se ha llevado a cabo haciendo que el $M1_{CM}$ sea el triple de grande que el $M4_{CM}$, por lo que la corriente de cola del par nmos se verá multiplicada en un factor de 3, y sumada a la corriente de cola del par pmos, consiguiendo una corriente entrante al par pmos igual a cuatro veces la corriente de cola inicial. Teniendo en cuenta que la corriente del transistor se relaciona cuadráticamente con la gm , al multiplicar por cuatro la corriente se obtendrá una gm el doble de la original. Esta idea se cumplirá siempre y cuando esa relación entre corriente y gm sea la ya comentada.

En el otro extremo, si la tensión Y aumenta, el transistor Y se apagará, y la tensión X también se moverá en el mismo sentido, aumentando la V_{GS} del transistor X. De esta manera, la corriente proveniente de fuente de cola del par pmos se encaminará hacia el espejo formado por los transistores $M2_{CM}$ y $M3_{CM}$, sumándose a la corriente de cola del par nmos con el escalado que será el mismo que en el caso anterior, resultando en una corriente total de cola de cuatro veces la corriente de cola original. Concluyendo de la misma forma que en el caso anterior, con este crecimiento de la corriente total del par diferencial, se obtendrá una gm el doble que la que se tenía en la mitad de rango dinámico.

En la parte central del rango dinámico, los transistores X e Y estarán funcionando, de manera que las corrientes que pasen por ellos son las mismas que las proporcionadas por los espejos. Por ello, las corrientes de cola de los pares diferenciales serán únicamente las formadas por las fuentes de corriente originales. Para poder usar las condiciones y las ecuaciones ya desarrolladas, y disponiendo de esta corriente de cola, la gm de los transistores de los pares diferenciales deberá rediseñarse para que sea la mitad de la gm que se tenía en el caso anterior. De esta manera, se consigue que la gm se mantenga igual que en caso anterior.

En la fase de implementación de este diseño se ha intentado cumplir las especificaciones objetivo, optimizando los resultados del diseño anterior de un solo par diferencial.

6.2. Topología propuesta

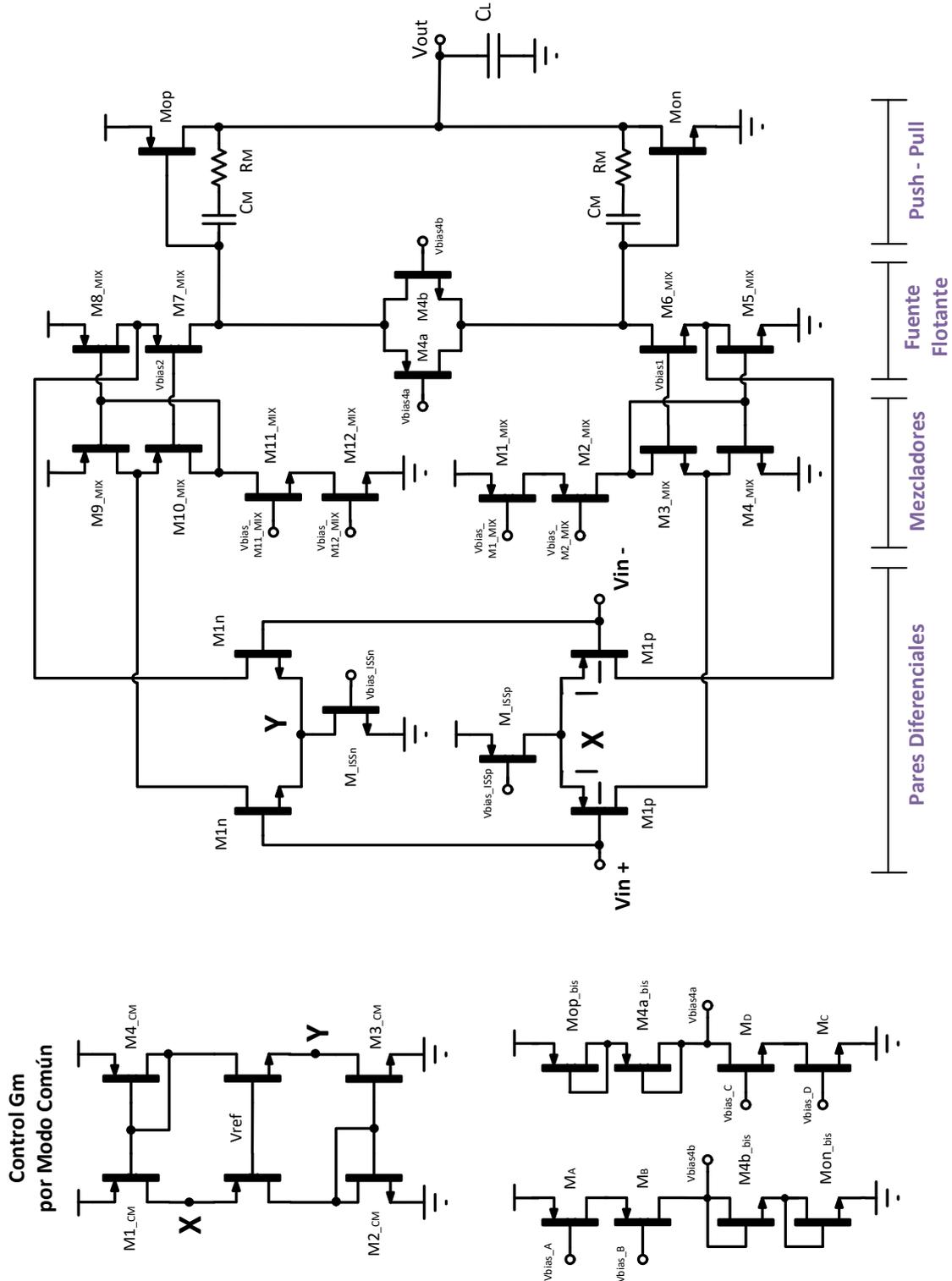


Figura 6.2: Esquemático completo del *buffer* con dos pares diferenciales.

6.3. Verificación y resultados

El banco de pruebas utilizado para obtener los resultados de este diseño es el mismo que el usado en el circuito anterior.

A continuación se presentan las gráficas correspondientes a los parámetros más importantes de las prestaciones del diseño.

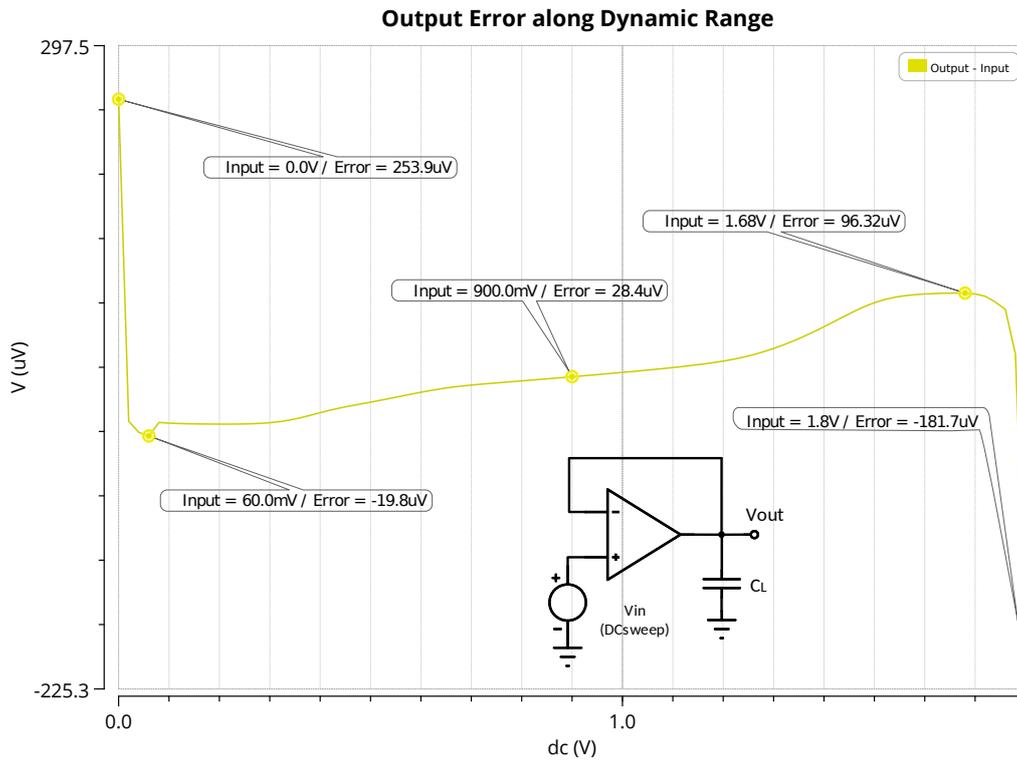


Figura 6.3: Gráfica del rango dinámico a la entrada con la simulación DC.

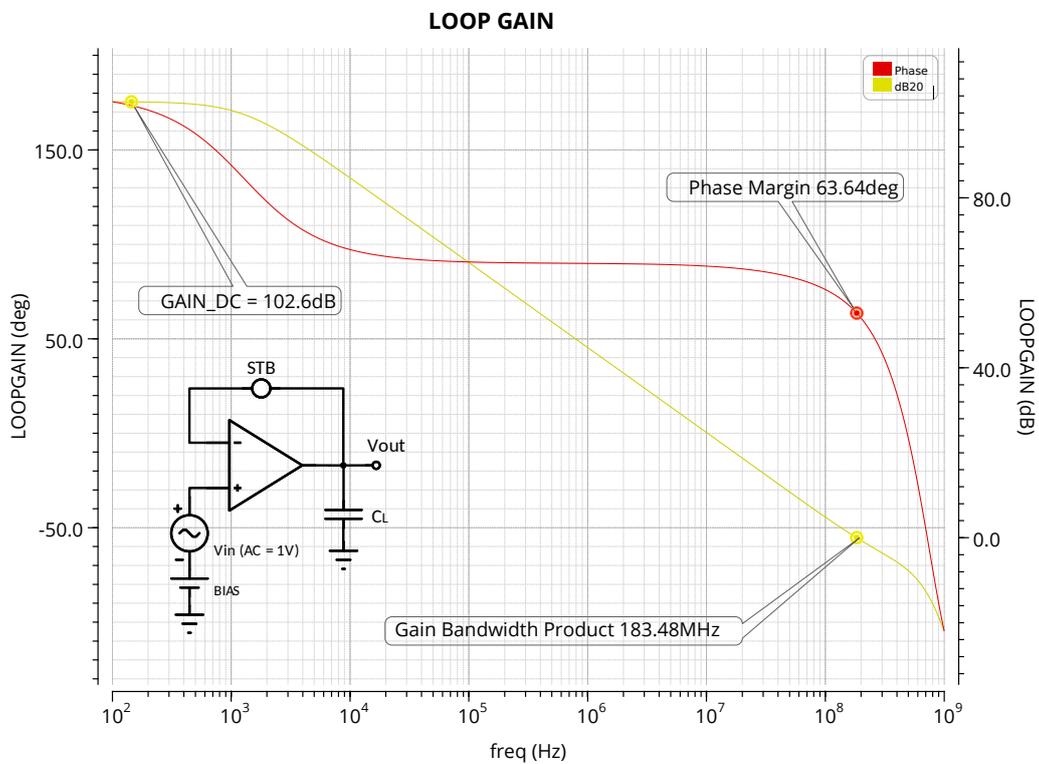


Figura 6.4: Gráfica de la ganancia de lazo abierto obtenida con la simulación STB.

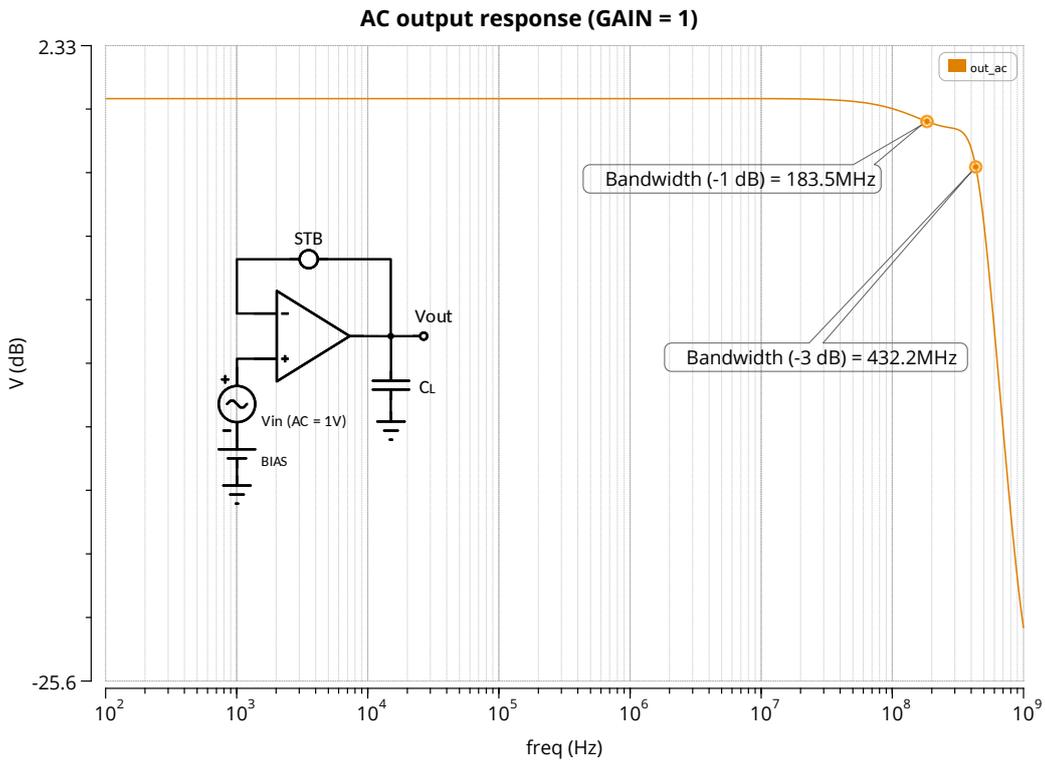


Figura 6.5: Gráfica de la salida del circuito con la simulación AC.

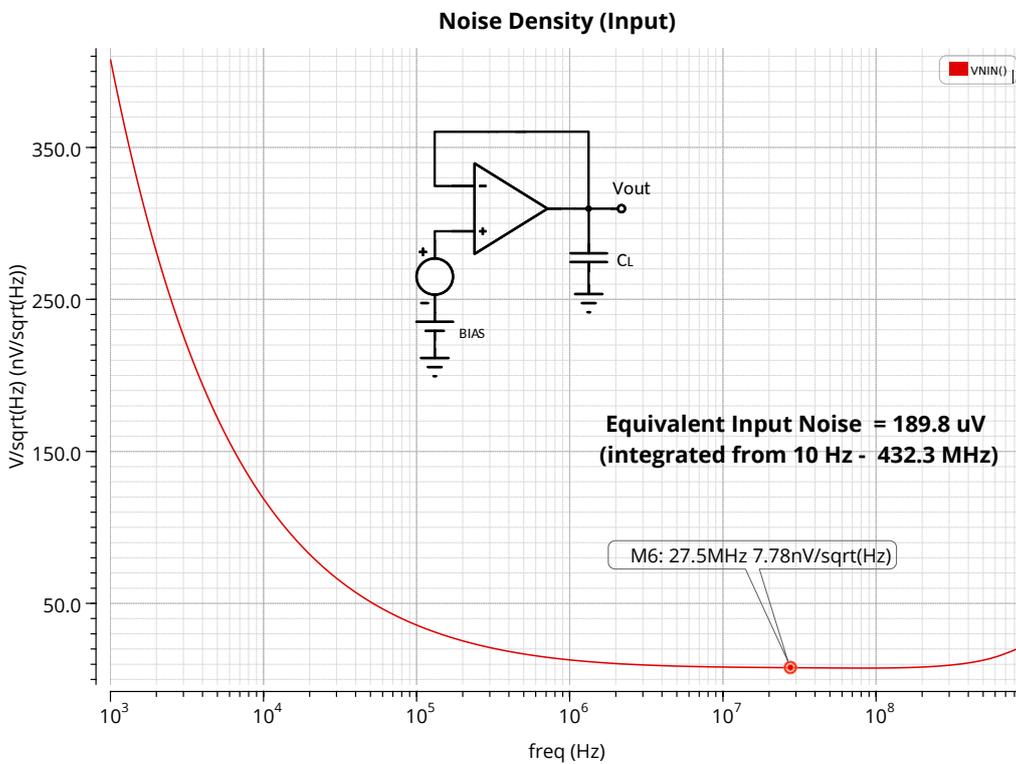


Figura 6.6: Gráfica del ruido equivalente a la entrada con la simulación noise.

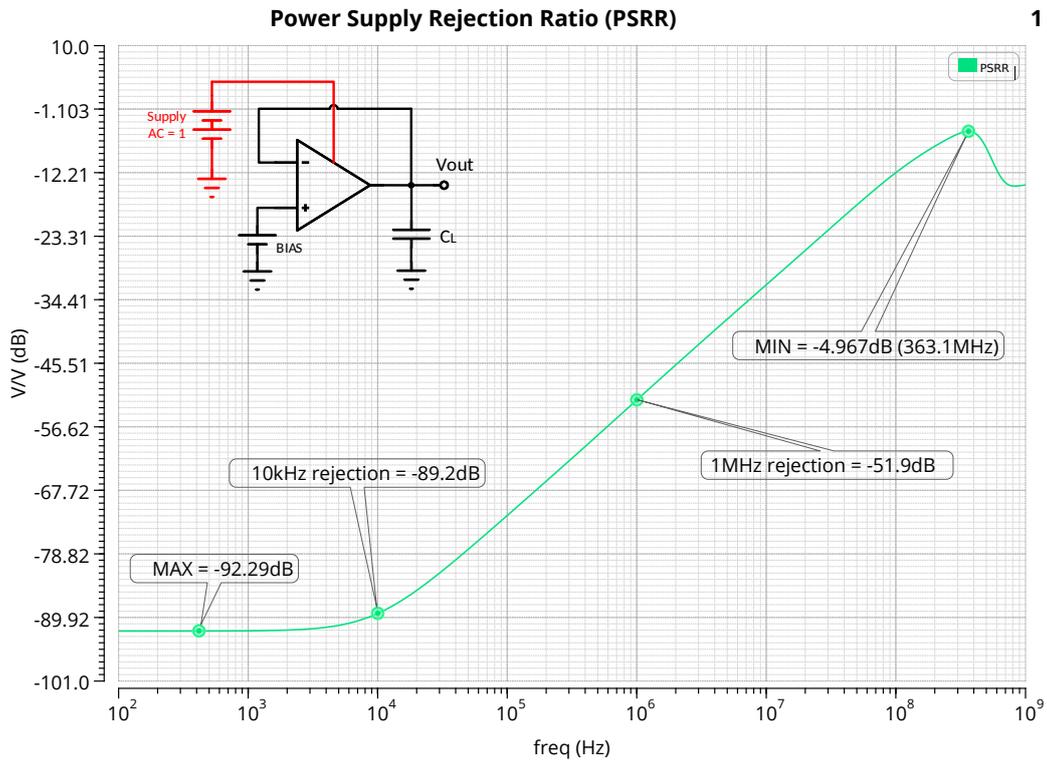


Figura 6.7: Gráfica del PSRR obtenida con la simulación AC.

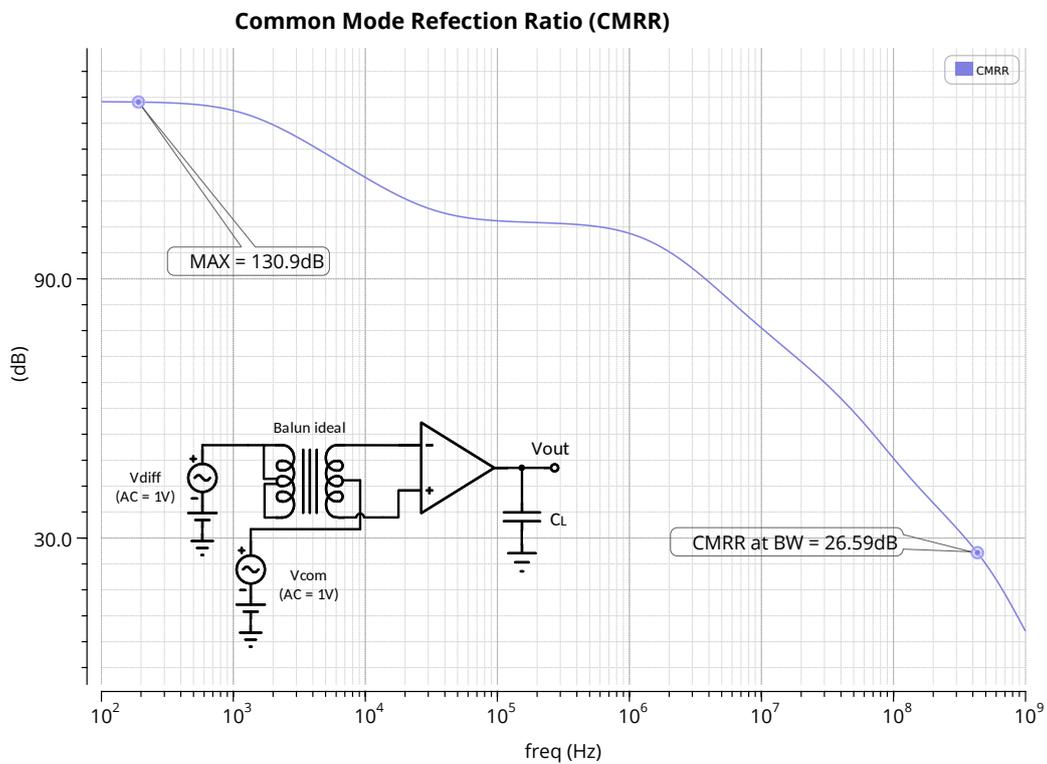


Figura 6.8: Gráfica del CMRR obtenida con la simulación AC.

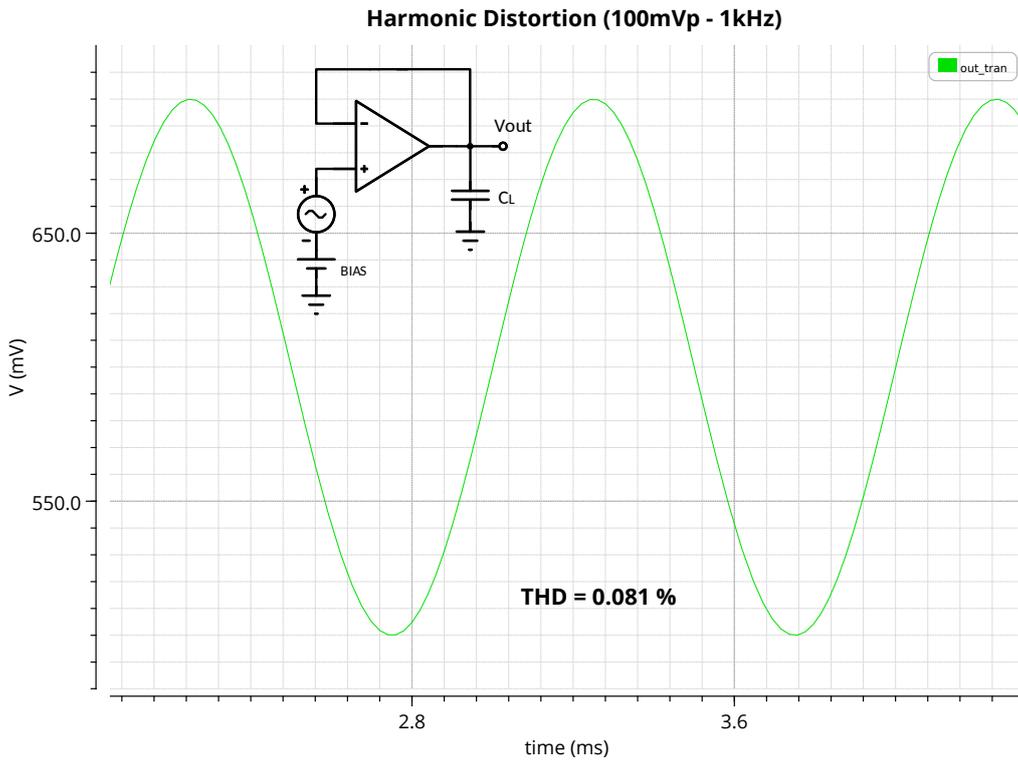


Figura 6.9: Gráfica de al distorsión armónica con la simulación *thd*.

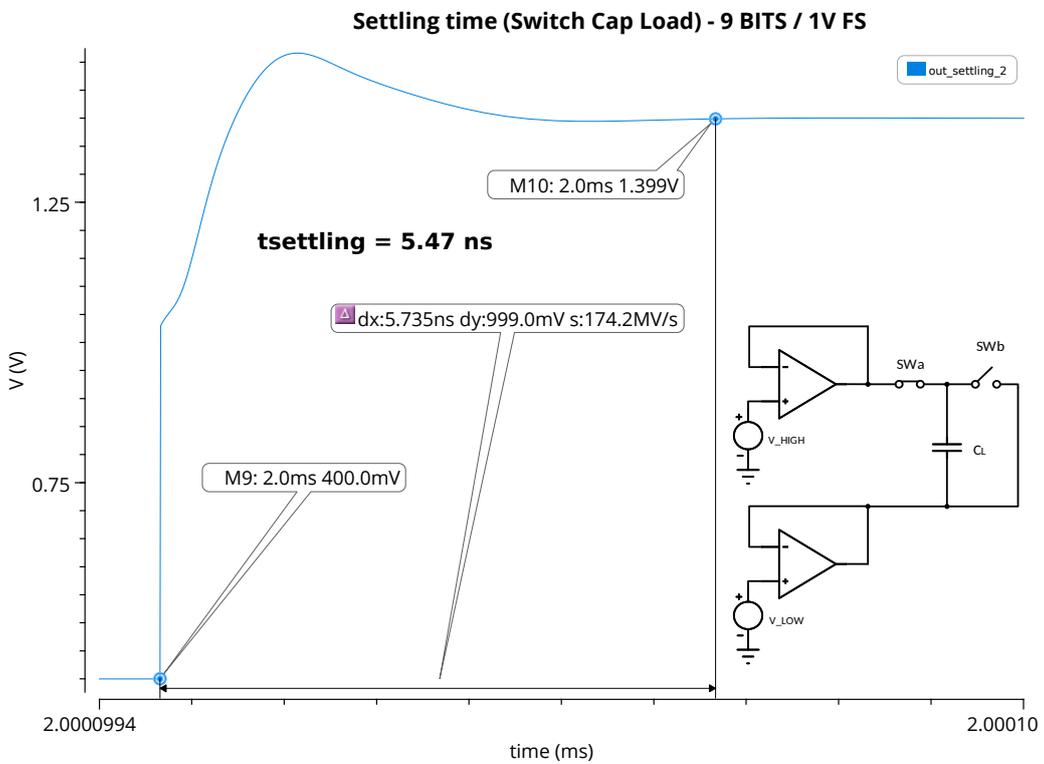


Figura 6.10: Tiempo de *settling* en condiciones de cambio de carga.

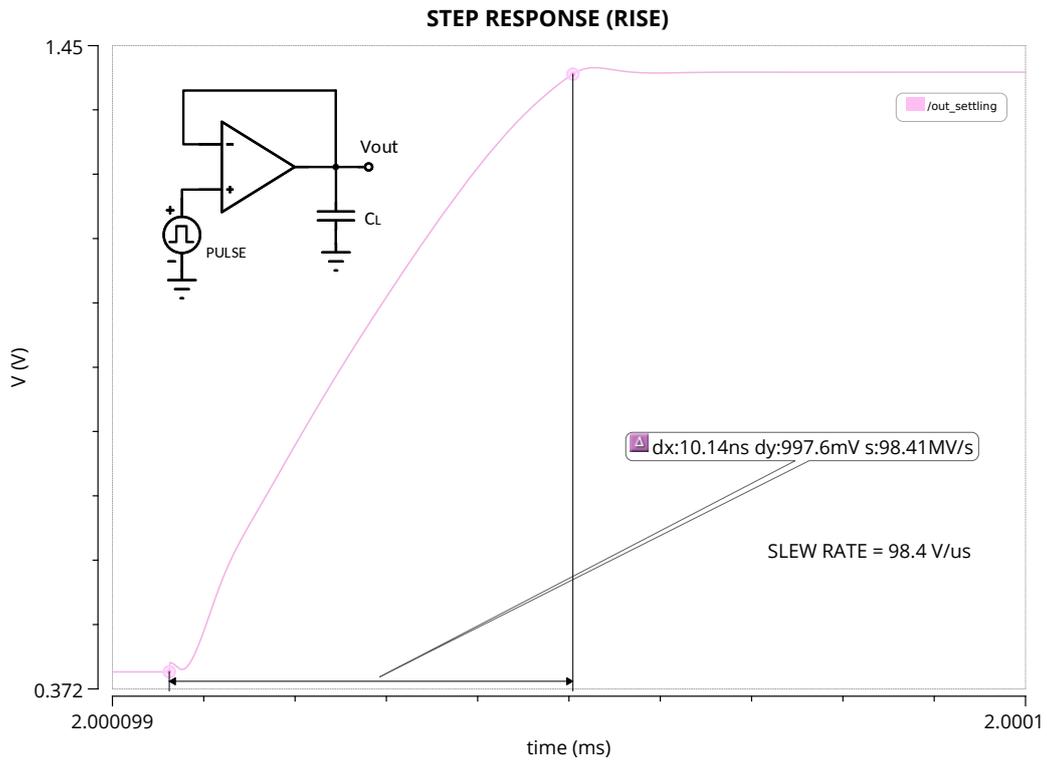


Figura 6.11: Tiempo de subida de la respuesta al impulso.

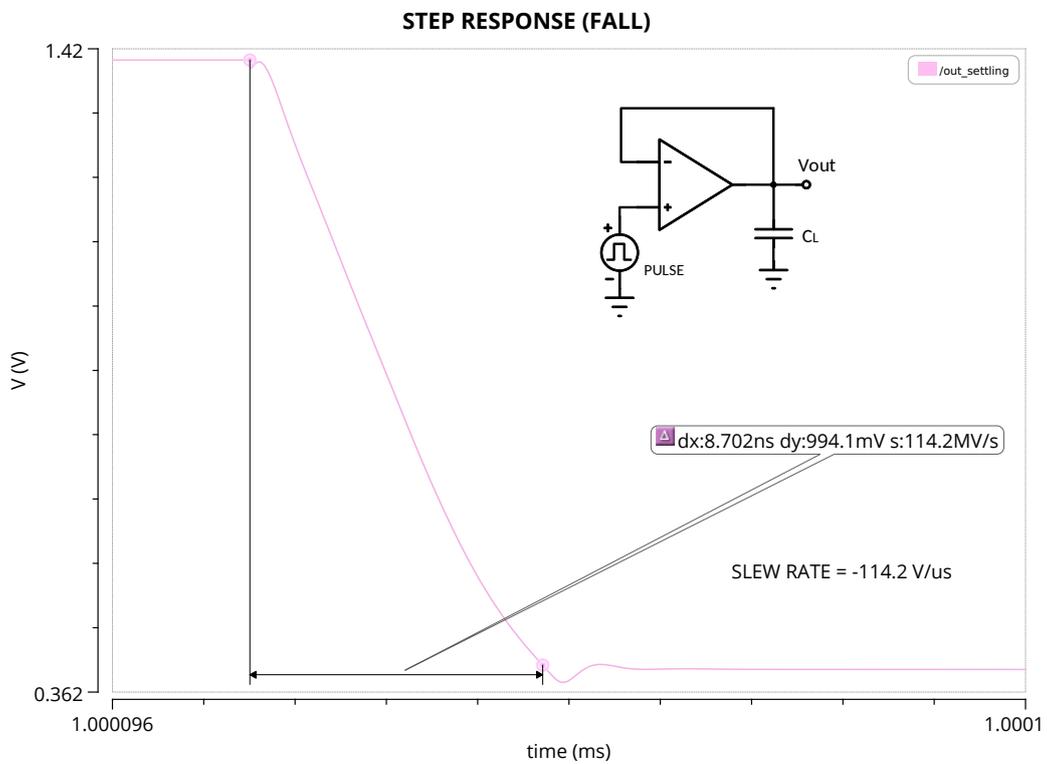


Figura 6.12: Tiempo de bajada de la respuesta al impulso.

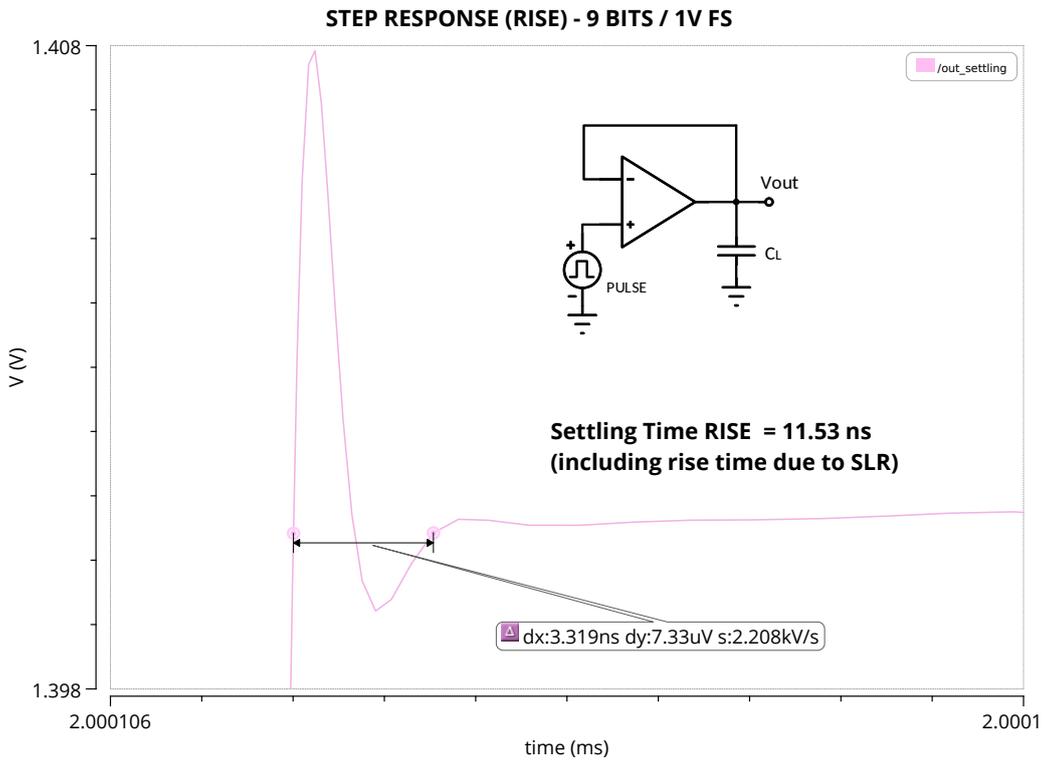


Figura 6.13: Tiempo estabilización de subida de la respuesta al impulso.

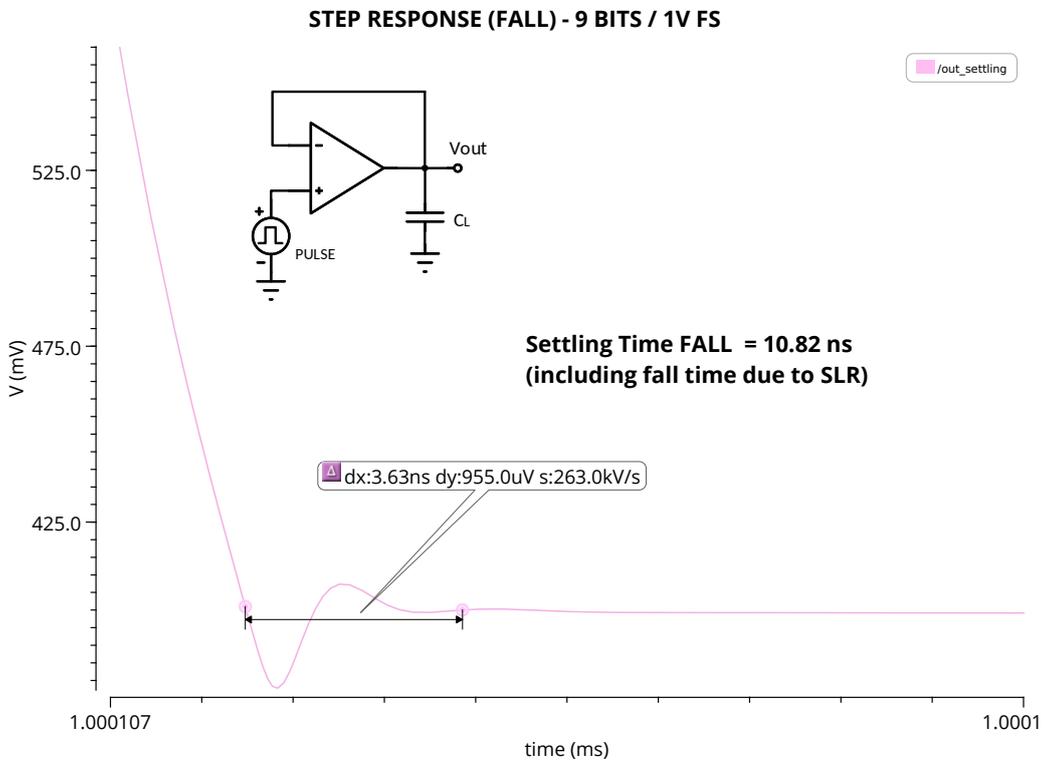


Figura 6.14: Tiempo de estabilización de bajada de la respuesta al impulso.

6.4. Resultados de simulación

En la Tabla 6.1 se puede observar una comparación de los resultados obtenidos en las simulaciones anteriormente explicadas con los objetivos establecidos al inicio del diseño.

En este diseño, todos los valores obtenidos de las especificaciones cumplen los objetivos y rangos propuestos al inicio, y se ha conseguido mejorarlos con respecto al diseño con un solo par diferencial. De la gráfica del error de la tensión de salida respecto de la entrada a lo largo de todo el rango dinámico, se puede derivar que el error máximo que se obtiene es menos que el LSB.

Especificación	Objetivo	Resultado	Unidades
Ganancia Lazo Abierto (AB)	80	102.7	dB
Ruido	250	189.8	μV_{rms}
Margen de Fase (PM)	50	63.64	°
Ancho de banda (BW)	175	432.3	MHz
Potencia consumida	–	1.35	mW
Rango dinámico de entrada	–	0 - 1.8	V
Tiempo de <i>settling</i>	15	<i>fall</i> 10.82 <i>rise</i> 11.53 <i>load</i> 5.47	ns

Tabla 6.1: Comparación de especificaciones iniciales y resultados obtenidos en la simulación del diseño del *buffer* basado en un OPAMP con dos pares diferenciales.

Además, para este segundo diseño, se han realizado simulaciones de tipo *corner*, donde se pretenden evaluar las variaciones extremas del proceso de fabricación bajo todas las condiciones posibles, incluyendo temperaturas a lo largo del rango de uso comercial.

En la Tabla 6.2 se observa que en los resultados referidos al tiempo de *settling* de cambio de carga, se consigue sacar datos muy aproximados a la especificación requerida en cualquiera de los casos, al igual que en el tiempo de *settling* de bajada. En el caso del tiempo de *settling* de subida sí que se destaca una desviación considerable al objetivo inicial. Sin embargo, dicha desviación se produce cuando los transistores MOSFET de ambos tipos tienen una ganancia menor (caso *worst speed*) o cuando los transistores de tipo *nmos* tienen una ganancia menor (caso *worst zero*). Es por ello que se podría revisar el diseño para incrementar el valor de *gm* de esos transistores y, en consecuencia, arreglar estos *corners*. En todo caso, hay que tener en cuenta que se trata de una situación extrema que probablemente no se traduciría en un rendimiento bajo de fabricación.

Especificación	Resultado	Rango <i>corner</i>	Unidades
Ganancia Lazo Abierto (AB)	102.7	[75.02 - 108.4]	dB
Ruido	189.8	[153.7 - 228.7]	μV_{rms}
Margen de Fase (PM)	63.64	[51.61 - 74.17]	°
Ancho de banda (BW)	432.3	[292.5 - 586.8]	MHz
Potencia consumida	1.35	–	mW
Rango dinámico de entrada	0 - 1.8	–	V
Tiempo de <i>settling</i>	<i>fall</i>	10.82	<i>fall</i> [7.35 - 16.22]
	<i>rise</i>	11.53	<i>rise</i> [7.28 - 23.8]
	<i>load</i>	5.47	<i>load</i> [2.73 - 8.44]
			ns

Tabla 6.2: Resultados nominales obtenidos en la simulación del diseño del *buffer* basado en un OPAMP con dos pares diferenciales y simulación de tipo *corner*.

Capítulo 7

Conclusiones

En este trabajo se ha diseñado una estructura basada en un OPAMP que tiene como objetivo comportarse como un *buffer*, aunque podría llegar a servir en otro tipo de configuraciones. Se han tomado como punto de partida unas especificaciones objetivo completas, llegando a cubrir prestaciones relacionadas con la respuesta en frecuencia, estabilidad o el estudio de ruido. Además, uno de los puntos más relevantes de este diseño es la modelización de la respuesta temporal, en la cual se ha prestado especial atención ya que depende de muchas especificaciones a la vez de que afecta a muchos otros factores del circuito, haciendo que su control sea sumamente complejo.

El circuito desarrollado a lo largo de este trabajo se ha obtenido siguiendo un procedimiento de diseño formado por varios pasos, desde la modelización de ecuaciones relacionadas con el comportamiento del circuito hasta el dimensionamiento de los transistores y polarización requerida. Sumado a esto, para obtener los resultados de simulación del circuito diseñado, se ha articulado un banco de pruebas. Dicho banco de pruebas aplica distintas condiciones de trabajo al circuito para obtener las prestaciones del diseño, utilizando varios estímulos según la especificación a estudiar. Cabe destacar que este procedimiento se ha conseguido automatizar dentro del entorno de *Cadence* para que pueda ser aplicado a diseños similares.

El flujo de diseño del operacional se ha dividido en dos partes diferenciadas. En primer lugar, se ha realizado el diseño partiendo de un circuito con un solo par diferencial, lo que ha permitido entender mejor el diseño y detectar los puntos críticos que requerían una optimización. Si bien los resultados son mejorables, el diseño de un *buffer* con un solo par diferencial es plenamente funcional, aunque se haya decidido continuar con la mejora de prestaciones. A continuación, se ha optimizado el circuito anterior añadiendo un segundo par diferencial, con el objetivo de enfocar el diseño a mejorar las prestaciones de cara a la aplicación de referencia.

Como ya se ha comentado, las especificaciones temporales son muy importantes en la estructura de un *buffer*. Con el objetivo de plantear unas especificaciones realistas, se ha elegido una aplicación consistente en el control de capacidades conmutadas. No obstante, también se han establecido especificaciones temporales de ámbito más general que han sido cubiertas con éxito.

Por último, se han llevado a cabo simulaciones de tipo nominal que han conseguido mostrar resultados que cumplen todas las especificaciones, y simulaciones de tipo *corner* que mostraban resultados teniendo en cuenta unas desviaciones estadísticas. Los resultados de estas simulaciones han cumplido en la mayoría de casos aunque algunos podrían llegar a mejorarse de cara al rendimiento de fabricación.

Capítulo 8

Trabajo a futuro

Como ya se ha explicado, el proyecto de elaboración completo de un OPAMP requiere un proceso complejo de diseño y simulación, del cual se han realizado todos los pasos, desde la especificación del diseño hasta el dimensionamiento del diseño en el software y la obtención de resultados en las simulaciones. En general, todas las especificaciones objetivo han llegado a cumplirse.

En el apartado 6.4 se han expuesto unos resultados de simulación de tipo *corners*, de los cuales algunos podrían llegar a mejorarse para conseguir que entraran, en todos los casos, dentro de los rangos requeridos. Esto conllevaría mejorar más el circuito y revisar con detalle todos los puntos explicados en este trabajo para maximizar cada uno lo máximo posible. No obstante, hay que tener en cuenta que este tipo de simulación ofrece unos resultados excesivamente restrictivos, ya que las desviaciones estadísticas de los parámetros son muy extremas.

Dentro de estas simulaciones estadísticas, podría añadirse un estudio de Montecarlo. Este tipo de simulación consiste en obtener en unas condiciones aleatorias dentro de las distribuciones conseguidas empíricamente de los parámetros de los dispositivos. A partir de estos datos, se lleva a cabo la simulación, obteniendo una distribución estadística de las características del diseño habiendo considerado una población extensa de casos.

Por otro lado, tal y como se presentó en la Figura 1.1 que muestra el diagrama de flujo del diseño de un circuito analógico, podría completarse el trabajo haciendo el *layout* del amplificador operacional diseñado en esta memoria, con el fin de que fuera una célula totalmente funcional en una librería de diseño. Llevando a cabo este proceso, se podría llegar a obtener más información acerca del comportamiento real del circuito, como algunos parásitos que pueden llegar a aparecer debido a las metalizaciones y desviaciones producidas por errores de *matching* (simetría entre distintas partes del circuito que deberían mantener un comportamiento parecido).

Bibliografía

- [1] *Europractice-IC*. <https://europractice-ic.com/technologies/asics/x-fab/>.
- [2] D.M. Monticelli. “A quad CMOS single-supply op amp with rail-to-rail output swing”. En: *IEEE Journal of Solid-State Circuits* 21.6 (1986), págs. 1026-1034. DOI: 10.1109/JSSC.1986.1052645.
- [3] Wikisource. *High accuracy settling time measurements* — Wikisource. [Online; accessed 13-May-2024]. 2022. URL: https://en.wikisource.org/w/index.php?title=High_accuracy_settling_time_measurements&oldid=12773102.
- [4] R. Hogervorst et al. “CMOS low-voltage operational amplifiers with constant-G/sub m/ rail-to-rail input stage”. En: *1992 IEEE International Symposium on Circuits and Systems (IS-CAS)*. Vol. 6. 1992, 2876-2879 vol.6. DOI: 10.1109/ISCAS.1992.230650.