



UNIVERSITAT  
POLITÈCNICA  
DE VALÈNCIA

– **TELECOM** ESCUELA  
TÉCNICA **VLC** SUPERIOR  
DE INGENIERÍA DE  
TELECOMUNICACIÓN

UNIVERSITAT POLITÈCNICA DE VALÈNCIA

Escuela Técnica Superior de Ingeniería de  
Telecomunicación

DISEÑO HARDWARE DE UNA INTERFAZ ENTRE USB  
3.0 - SENSORES ÓPTICOS

Trabajo Fin de Grado

Grado en Ingeniería de Tecnologías y Servicios de  
Telecomunicación

AUTOR/A: Díaz Pérez, Alberto

Tutor/a: Grima Palop, José María

Cotutor/a externo: Fuente Bustillo, Carlos de la

CURSO ACADÉMICO: 2023/2024



UNIVERSITAT  
POLITÈCNICA  
DE VALÈNCIA

– **TELECOM** ESCUELA  
TÉCNICA **VLC** SUPERIOR  
DE INGENIERÍA DE  
TELECOMUNICACIÓN



## Agradecimientos

En primer lugar, agradecer a la empresa PhotonicSENS por confiar en mi para la realización de este proyecto durante mi periodo de prácticas.

En segundo lugar, agradecer a mis compañeros del departamento de Hardware por la buena acogida que me han brindado y como me han tratado en los siete meses de prácticas, en especial a los dos compañeros que me han tutorizado, Arturo y Carlos.

En tercer lugar, agradecer a todo el profesorado de la escuela por formarme, tanto profesional como personalmente, haciendo mención especial a Jose María, el cual ha sido mi tutor interno.

En último lugar, pero más importante, quiero destacar el apoyo de mi familia y mis amigos más cercanos, que me han acompañado en estos años de carrera, apoyándome cuando más lo he necesitado.



## Carta de reconocimiento



Photonicsens S.A.

CTO, Jorge Blasco

UPV, Escuela Técnica Superior de Ingeniería de Telecomunicación

Estimados profesores y miembros del equipo de la ETSIT,

Me complace dirigirme a ustedes para compartir y agradecer los hitos que se han conseguido en colaboración con uno de los alumnos de prácticas de su escuela. Con esta carta, quiero reconocer el sobresaliente trabajo llevado a cabo por Alberto Díaz Pérez, quien ha demostrado notables habilidades y ha realizado una valiosa contribución a nuestra empresa, Photonicsens S.A.

Durante su periodo de prácticas curriculares en nuestra organización, Alberto emprendió un proyecto centrado en el diseño de una placa de circuito impreso que tiene como objetivo ser el puente de conexión entre cualquiera de nuestros sensores CMOS con el estándar MIPI y el equipo de fabricación de nuestra sala limpia. Gracias a su dedicación y esfuerzo, ahora somos capaces de fabricar nuestras cámaras con sensores de diferentes proveedores, aumentando notablemente la flexibilidad de nuestras soluciones.

Inicialmente el diseño de la placa estaba programado para las 225 horas de duración de prácticas curriculares. Siendo la colaboración de Alberto extremadamente fructífera en esta etapa, decidimos extender su periodo de prácticas a un carácter extracurricular con un total de 844 horas adicionales, para que pudiera continuar con la siguiente etapa del proyecto y una vez finalizado, poder seguir aprovechando sus habilidades y compromiso en los siguientes proyectos emergentes del departamento de hardware.

Tras la etapa de diseño, surgieron diferentes desafíos durante la fase de testeo de la placa. Alberto abordó y resolvió dichos obstáculos en nuestro laboratorio, lo que llevó a la creación de una versión revisada de la placa, corrigiendo los errores identificados y añadiendo notables mejoras.

Reconocemos su destacada contribución, pero al mismo tiempo somos conscientes de que todos los logros son el resultado de un trabajo en equipo con sus tutores, y de la colaboración entre nuestra empresa y su institución educativa, a quienes agradecemos haber hecho posible esta colaboración.

Estamos orgullosos de que este proyecto se haya realizado con éxito y haya contribuido al desarrollo de nuestra compañía, pero también de que sea el Trabajo Final de Grado para la obtención del Título de Graduado en Ingeniería de Tecnologías y Servicios de Telecomunicación de Alberto Díaz.

Atentamente

Jorge Blasco

CTO Photonicsens S.A.

Carlos de la Fuente

Tutor Photonicsens S.A.

En Paterna, a 31 de agosto de 2023

## Resumen

El proyecto desarrollado en esta memoria trata del diseño de un conjunto de evaluación para el estudio del desarrollo de los diferentes CIS y la fabricación de cámaras para la empresa PhotonicSENS.

El trabajo abarca el diseño hardware de dos PCBs que, junto con un tercero donde reside el sensor, forman un conjunto de evaluación para sensores CMOS de varios distribuidores. Las placas que se van a diseñar en este proyecto son la *Demo 3 Bridge CX3* como PCB principal, la *Interposerboard* que se encarga de posibilitar la conexión entre el microprocesador y el sensor, y por último la *Camboard* donde se haya el CIS, aunque no entraré en el diseño de esta.

En conclusión, este conjunto de tres PCBs hace de puente entre la comunicación de entrada *MIPI CSI-2* del CIS y la salida *USB 3.0* para, por un lado, poder volcar toda la información del CIS al ordenador para estudiarla, y, por otro lado, poder llevar a cabo el proceso de fabricación en la línea de producción de cámaras, en procesos como el *chip on board*, o la caracterización de las ópticas, entre otros.



## Resum

El projecte desenvolupat en aquesta memòria tracta del disseny d'un conjunt d'avaluació per a l'estudi del desenvolupament dels diferents CIS i la fabricació de càmeres per a l'empresa PhotonicSENS.

El treball abasta el disseny hardware de dos PCBs que, junt amb un tercer on resideix el sensor, formen un conjunt d'avaluació per a sensors CMOS de diversos distribuïdors. Les plaques que es dissenyaran en aquest projecte són la Demo 3 Bridge CX3 com PCB principal, la Interposerboard que s'encarrega de possibilitar la connexió entre el microprocessador i el sensor, i per última la Camboard on es troba el CIS, encara que no entraré en el disseny d'aquesta.

En conclusió, aquest conjunt de tres PCBs fa de pont entre la comunicació d'entrada MIPI CSI-2 del CIS i l'eixida USB 3.0 per a, per una banda, poder bolcar tota la informació del CIS a l'ordinador per a estudiar-la i, per altra banda, poder dur a terme el procés de fabricació en la línia de producció de cambres, en processos com el chip on board o la caracterització de les òptiques, entre altres.

## Abstract

The project developed in this report deals with the design of an evaluation set for the study of the development of the different CIS and the manufacture of cameras for the company PhotonicSENS.

The work covers the hardware design of two PCBs which, together with a third where the sensor resides, form an evaluation set for CMOS sensors of various distributors. The boards to be designed in this project are the Demo 3 Bridge CX3 as the main PCB, the Interposerboard which is responsible for enabling the connection between the microprocessor and the sensor, and finally the Camboard where the CIS is located, although I will not go into the design of this one.

In conclusion, this set of three PCBs acts as a bridge between the MIPI CSI-2 input communication of the CIS and the USB 3.0 output in order, on the one hand, to be able to transfer all the information from the CIS to the computer to study it, and, on the other hand, to be able to carry out the manufacturing process in the camera production line, in processes such as the chip on board, or the characterisation of the optics, among others.

## RESUMEN EJECUTIVO

La memoria del TFG del DISEÑO HADWARE DE UNA INTERFAZ ENTRE USB 3.0 – SENSORES ÓPTICOS debe desarrollar en el texto los siguientes conceptos, debidamente justificados y discutidos, centrados en el ámbito de la ELECTRÓNICA.

CONCEPT (ABET)	CONCEPTO (traducción)	¿Cumple? (S/N)	¿Dónde? (páginas)
1. IDENTIFY:	1. IDENTIFICAR:	SÍ	3 y 4
1.1. Problem statement and opportunity	1.1. Planteamiento del problema y oportunidad	SÍ	3
1.2. Constraints (standards, codes, needs, requirements & specifications)	1.2. Toma en consideración de los condicionantes (normas técnicas y regulación, necesidades, requisitos y especificaciones)	SÍ	3
1.3. Setting of goals	1.3. Establecimiento de objetivos	SÍ	3
2. FORMULATE:	2. FORMULAR:	SÍ	3 y 4
2.1. Creative solution generation (analysis)	2.1. Generación de soluciones creativas (análisis)	SÍ	3 y 4
2.2. Evaluation of multiple solutions and decisionmaking (synthesis)	2.2. Evaluación de múltiples soluciones y toma de decisiones (síntesis)	SÍ	3 y 4
3. SOLVE:	3. RESOLVER:	SÍ	III y 54
3.1. Fulfilment of goals	3.1. Evaluación del cumplimiento de objetivos	SÍ	54
3.2. Overall impact and significance (contributions and practical recommendations)	3.2. Evaluación del impacto global y alcance (contribuciones y recomendaciones prácticas)	SÍ	III y 54



## Índice

Capítulo 1. Introducción.....	1
1.1 Motivación.....	2
1.2 Enumeración de siglas empleadas .....	2
1.3 Objetivos .....	2
1.4 Enfoque del problema .....	3
1.5 Soluciones propuestas.....	3
1.5.1 Diseño de un sistema nuevo empleando una FPGA o Linux embebido.....	3
1.5.2 Diseño de un adaptador para la placa de desarrollo de SONY.....	3
1.5.3 Desarrollo hardware a medida para todos los sensores .....	4
1.6 Solución adoptada .....	4
1.7 Metodología.....	5
1.7.1 Aprendizaje y familiarización con el entorno Altium Designer .....	5
1.7.2 Elección de factor de forma y componentes.....	6
1.7.3 Diseño de esquemáticos.....	6
1.7.4 Diseño del PCB.....	6
1.7.5 Generación de ficheros de fabricación y exportación al proveedor (Eurocircuits)6	
1.7.6 Corrección de errores y warnings indicados por Eurocircuits, y ajustes para la obtención de la tecnología deseada.....	7
1.7.7 Envío del PCB a fabricación .....	7
1.7.8 Recepción del PCB y primer testeo de su funcionamiento .....	7
1.7.9 Correcciones manuales de los errores encontrados.....	7
1.7.10 Test cargando el firmware de los diferentes sensores .....	7
1.7.11 Creación de una nueva versión mejorada.....	7
1.8 Medios empleados .....	8
1.8.1 Sala gris de laboratorio .....	8
1.8.2 Altium Designer.....	8
1.8.3 eDrawings .....	8
1.8.4 GitLab y TortoiseGit .....	8
1.8.5 EZ-USB Suite .....	8
1.8.6 DigiKey.....	8
1.8.7 SnapEDA y Ultralibrarian.....	8



1.8.8	3D ContentCentral.....	8
1.8.9	Calculadora de impedancias online.....	8
Capítulo 2.	Diseño Hardware PCB Demo3 Bridge CX3 (alias: Demo 4).....	9
2.1	Alimentaciones.....	9
2.1.1	Reguladores de tensión.....	9
2.1.2	Planos de alimentación.....	12
2.2	Conectores.....	15
2.2.1	USB-B SuperSpeed 3.0.....	15
2.2.2	Board to Board (MIPI).....	18
2.3	Microprocesador CX3.....	19
2.3.1	Red de desacoplo.....	20
2.4	Stack-up e impedancias características.....	21
2.5	Factor de forma.....	24
2.6	Memoria SPI Flash.....	27
2.7	Clock.....	28
2.7.1	Oscilador de cristal de cuarzo XTAL.....	28
2.7.2	Clock Buffer.....	28
2.8	Reset.....	29
2.9	Test points.....	30
2.9.1	Power Rails.....	30
2.9.2	UART.....	31
2.9.3	I <sup>2</sup> C.....	31
2.10	Via Stitching.....	32
2.11	Costes.....	33
2.12	Producto definitivo Versión 1.0.....	35
2.13	Errores encontrados durante el testeo.....	36
2.13.1	Pull ups I <sup>2</sup> C.....	36
2.13.2	Plano 2V8 (R12 y C12).....	36
2.13.3	MIPI CLK.....	37
2.13.4	Reset.....	38
2.13.5	Memoria SPI Flash (booteo, mirar documentación Arturo).....	39
2.13.6	MIPI 0 N.....	40
2.14	Versión 1.1.....	41
2.14.1	Cambios y mejoras añadidas (JTAG J-link, DNEBOLA).....	41
2.14.2	Capturas del diseño en 3D.....	41
Capítulo 3.	Diseño Hardware PCB InterposerBoard – Demo3 Bridge CX3.....	42



3.1	Conectores.....	42
3.1.1	Conector con Demo 3 Bridge CX3 .....	42
3.1.2	Conector con Camboard Vx.2.x.....	42
3.2	Stack-up y tecnología.....	43
3.3	Factor de forma .....	44
3.4	Pasivos .....	45
3.5	Test points .....	46
3.6	Costes.....	47
3.7	Errores encontrados durante el testeo .....	47
3.8	Producto definitivo .....	48
Capítulo 4.	Camboards.....	49
4.1	Camboard V2.2.x .....	49
4.2	Camboard V5.2.x .....	50
4.3	Camboard V6.2.x .....	51
Bibliografía.....		52
Conclusiones y propuestas de trabajo futuro.....		53
Capítulo 5.	Anexos.....	54
5.1	Esquemáticos Demo3 BridgeCX3 V1.0.....	54
5.2	Esquemáticos Interposerboard .....	61
5.3	Esquemáticos Demo3 BridgeCX3 V1.1.....	62

## Capítulo 1. Introducción

Tras realizar una entrevista técnica en la empresa PhotonicSENS de Paterna, fui escogido para realizar mis prácticas con ellos. El proyecto que se me encomendó para el periodo de 225 horas curriculares era la primera parte de este trabajo, el diseño del PCB Demo3 BridgeCX3 y su envío a fabricación. Después de este periodo, la empresa me ofreció continuar con un convenio de carácter extracurricular de 844 horas adicionales, de este modo pude llevar a cabo la recepción de la placa, el testeo de su correcto funcionamiento, poner solución a los problemas surgidos hasta conseguir la funcionalidad total y diseñar una segunda versión definitiva con los errores corregidos y añadiendo ciertas mejoras.

PhotonicSENS es una empresa emergente de unos treinta empleados enfocada en crear cámaras y dotarlas de aplicaciones 3D a través de algoritmos. La parte técnica de la compañía se divide en los siguientes departamentos:

- Óptica

Encargados del estudio de las propiedades de las ópticas que se le incorporan a cada sensor.

- Algoritmos

Con la información cruda que se obtiene de los sensores son los encargados de aplicar tratamiento de imagen para poder conseguir prestaciones como la profundidad.

- Software

Son la unión entre el producto y el cliente, encargados de crear la aplicación para el cliente, utilizando la imagen ya tratada, la acercan y adaptan para cada usuario y sus necesidades.

- Producción

Encargados de fabricar las cámaras, es decir, unir el sensor al PCB y ponerle la lente correspondiente.

- Hardware

El departamento que pertenezco. Nuestro trabajo consiste en diseñar hardware adaptado a las necesidades de cada sensor, tanto para su estudio y testeo como para productos finales para clientes.

Todas las áreas están conectadas y existe una constante comunicación entre todos para trabajar conjuntamente y hacia la misma dirección.



Figura 1.1. Aplicaciones actuales [1]



## 1.1 Motivación

Hasta la actualidad, PhotonicSENS únicamente había trabajado con el sensor AR1335 del fabricante ON-Semiconductor, este sensor tiene ciertas limitaciones como el nº de píxeles, el tamaño de estos o la posibilidad de ser un producto que se quede descatalogado en pocos años, esto junto a las exigencias de los clientes, han provocado la necesidad de buscar nuevas soluciones con mejores prestaciones, así pues, tras un trabajo de investigación se decidió elegir el sensor IMX283 de SONY, esto traería unas ventajas y unos inconvenientes.

Al tratarse de un nuevo fabricante, la placa de desarrollo de ON-Semiconductor con la cual se estaba realizando los procesos de fabricación, con el nuevo fabricante no era compatible, y la placa de desarrollo que ofrecía SONY no era útil para el laboratorio debido a su factor de forma, ya que era demasiado voluminosa y, además, cada placa de desarrollo solo tiene compatibilidad con su respectivo sensor del mismo fabricante.

En este punto, considerando que los robots del laboratorio y sala limpia están ajustados finamente para el factor de forma del kit de desarrollo de ON-Semiconductor, se decidió buscar una solución que fuera compatible con el factor de forma y a su vez con cualquier sensor de la empresa, para poder testear ambos sensores de diferentes fabricantes y futuros posibles.

## 1.2 Enumeración de siglas empleadas

PCB → Printed Circuit Board

CIS → CMOS Image Sensor

MIPI → Mobile Industry Processor Interface

IC → Impress Circuit

LDO → Low Dropout Regulator

ESD → Electrostatic Discharge

BGA → Ball Grid Array

BOM → Bill Of Materials

## 1.3 Objetivos

El objetivo del proyecto es diseñar y fabricar una placa funcional que permita testear sensores CMOS con protocolo MIPI de diferentes fabricantes, ajustando el factor de forma a la actual configuración de los robots de la sala limpia y laboratorio, añadiendo todo tipo de testpoints necesarios para el estudio de estos sensores.

A su vez y de manera complementaria, también se diseñará un PCB más sencillo que hará de enlace entre el conector de la Demo3 Bridge CX3 al conector de la Camboard donde reside el CIS.

## 1.4 Enfoque del problema

El problema se enfoca como un requisito para poder progresar en el desarrollo y descubrimiento de nuevos sensores para aumentar el alcance y la variedad de los productos de la compañía. Además, la empresa SONY apuesta por PhotonicSENS para poder emplear los avances en nuevas aplicaciones de su interés, así pues, se le da una importante prioridad.

Esto es una gran oportunidad para la empresa, teniendo en cuenta que se trata de una startup y es una posibilidad de nuevos horizontes de mercado.

Como restricciones, dicha solución debería ser apta para el uso en sala limpia cumpliendo las normas de la clase ISO 14644-1, respetar los puntos de apoyo, el factor de forma, y la colocación del conector USB, siendo este necesariamente 3.0. Por otro lado, la empresa japonesa exige con su sensor que se utilice el protocolo MIPI CSI-2 de 4 lanes.

## 1.5 Soluciones propuestas

### 1.5.1 *Diseño de un sistema nuevo empleando una FPGA o Linux embebido*

Trataría de realizar un proceso de diseño completamente desde cero, utilizando como base una FPGA o un microprocesador con Linux embebido para conseguir compatibilidad entre sensores.

Como contras, esta solución tiene un nivel de complejidad elevado, y también se requeriría de mucho tiempo.

Como pros, propone una compatibilidad entre sensores, con un uso reducido de componentes hardware.

### 1.5.2 *Diseño de un adaptador para la placa de desarrollo de SONY*

No solo debería incluir un adaptador para la placa de SONY, sino también un sistema que permitiera seleccionar entre placas de desarrollo en función del sensor que se estuviera empleando.



**Figura 1.2.** Imagen del kit de desarrollo de SONY

Como contras, encontramos una dificultad en la creación de un sistema para el cambio de placas de desarrollo, ya que, al no compartir factor de forma, cada configuración debería modificar muchos elementos de la línea de producción. Además, el packaging que permite esta placa para los sensores, es diferente al que la empresa emplea.

Como pros, esta solución parte de un hardware estándar, lo cual facilita el diseño y solo habría que centrarse en el adaptador para dicha placa.



### **1.5.3 Desarrollo hardware a medida para todos los sensores**

Esta solución pretende utilizar como punto de partida la actual placa de desarrollo aportada por ON-Semiconductor's: AGB1N0CS-GEVK Demo 3 Board.

Como pros, cumple con el factor de forma del anterior hardware, por tanto, no se debe cambiar la configuración del laboratorio, y al ser compatible con ambos sensores, no es necesario retirar y colocar cada vez un hardware distinto para cada sensor. Además, al ser un PCB a medida, podremos optimizarlo para un mejor funcionamiento.

Como contra, pese a que esté basado en la actual placa de desarrollo, se tendrá que hacer un proceso de estudio previo para la elección de los componentes, y desarrollar no solo una parte hardware, sino también firmware.

## **1.6 Solución adoptada**

Tras un estudio de las posibles soluciones, se opta por la solución de desarrollar un hardware a medida para todos los sensores.

Uno de los principales motivos para elegir esta opción es la enorme flexibilidad y adaptabilidad que se obtiene al desarrollar a medida tanto un hardware como un firmware, permite realizar un producto muy optimizado, pudiendo modificar la solución final siempre que sea necesario. Además de unificar el tamaño para evitar hacer un proceso de reajuste en la línea de producción.

## 1.7 Metodología

Año 2023

Tareas	Febrero 1-12	Febrero 13-28	Marzo 1-15	Marzo 15-31	Abril 1-15	Abril 16-30	Mayo 1-15	Mayo 16-31
1.7.1								
1.7.2								
1.7.3								
1.7.4								
1.7.5								
1.7.6								
1.7.7								
1.7.8								
1.7.9								
1.7.10								
1.7.11								

**Tabla 1.1.** Diagrama de Gantt con todas las tareas a realizar y su temporización

### 1.7.1 Aprendizaje y familiarización con el entorno Altium Designer

La primera fase fue familiarizarme con el programa para poder adaptarme lo más rápido posible. Entre las fuentes más útiles de información que he utilizado se encuentran las siguientes.

- Vídeos de canales como:
  - *Altium Academy* [2]
  - *Robert Feranec* [3]
  - *Arley Bejano*
  - *PCB DESIGNER*
  - *Microtecnología*
- Documentación de diferentes páginas web, entre otras:
  - *Circuit Basics*
  - *NWES*
  - *Altium*
  - *Stack Overflow*
- Documentación de guía sobre rutado:
  - Texas Instruments “High-Speed Layout Guidelines for Signal Conditioners and USB Hubs”. Application Report, SLLA414 – August 2018
  - PLX Technology “Tight vs. Loose Coupling of Differential Pairs”. Ray Mitchell – PCB West March 28, 2006

### 1.7.2 Elección de factor de forma y componentes

El fabricante ON-Semiconductor tiene su propio Evaluation Kit (AGB1N0CS-GEVK Demo 3 Board), el cual se ha utilizado durante varios años en la compañía para poder testear el sensor AR-1335 de este mismo fabricante. Así pues, dado que los robots del laboratorio y la sala limpia están ajustados para este tamaño, se decidió replicar las mismas medidas para evitar ajustar de nuevo la línea de producción.

Para la elección de componentes se tuvo en cuenta que partimos de la base del kit de evaluación de ON-Semi, de igual modo, también se buscará reutilizar componente de diferentes placas ya creadas por PhotonicSENS que compartan algún tipo de similitud en la utilización de elementos.

### 1.7.3 Diseño de esquemáticos

Basándome en los datasheets de cada componente, comparando con esquemáticos de otros productos ya realizados por la empresa con componentes semejantes y poniendo en práctica los conocimientos de rutado, optimización, compatibilidad electromagnética y buenas prácticas de ingeniería.

### 1.7.4 Diseño del PCB

Una vez terminados los esquemáticos, es momento de exportar todo a la placa, la cual previamente se le había dado el factor de forma deseado y creado todo el conjunto de las reglas de diseño. Después de decidir dónde iba a estar situado cada componente, fue momento de rutear todas las señales, siguiendo un orden de mayor a menor relevancia:

1. Señales de alta velocidad: pares diferenciales MIPI y USB
2. Señal de CLOCK
3. Alimentaciones y sus planos correspondientes
4. Resto de señales de baja velocidad
5. Test Points

### 1.7.5 Generación de ficheros de fabricación y exportación al proveedor (Eurocircuits)

Crear un fichero .OutJob que incluye toda la información que queremos generar, entre ello: PDFs con:

- PDF3D
- Schematic Prints
- Report Board Stack

Ficheros:

- NC Drill Files
- Gerbers X2 Files
- Bill of Materials
- Generates pick and place files

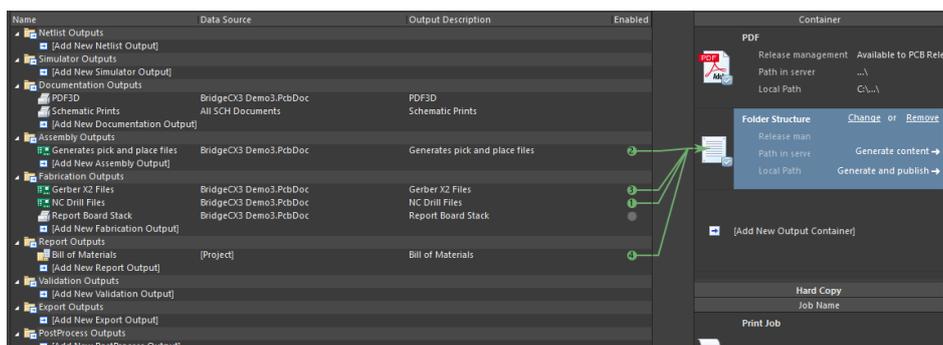


Figura 1.3. Configuración del fichero .OutJob para generación de ficheros de fabricación

Tras esto se generan los ficheros y se suben a Eurocircuits:

- BOM (Bill of Materials) → Contiene la lista de componentes
- Gerbers X2 Files → Contiene toda la configuración del stack-up
- Pick and place Files → Contiene la información de la localización de cada componente

### ***1.7.6 Corrección de errores y warnings indicados por Eurocircuits, y ajustes para la obtención de la tecnología deseada***

Tras la subida de los ficheros, Eurocircuits te informa de los diferentes errores y warnings que ha detectado, esta fase y la anterior se repite varias veces hasta conseguir depurar todos los errores y warnings.

Los ajustes se hacen para poder lograr una categoría 8D, la cual ha sido estudiada previamente por el departamento para cumplir una relación precio-calidad óptima para un producto de uso interno en la empresa.

### ***1.7.7 Envío del PCB a fabricación***

Con todos los archivos subidos y sin errores, es momento de enviar la placa a fabricar. En este caso se decidió hacer un pedido de 10 placas.

### ***1.7.8 Recepción del PCB y primer testeo de su funcionamiento***

Los pasos para testear inicialmente la placa son:

1. Comprobar que hay continuidad, es decir, que no existen cortocircuitos
2. Comprobar los valores de las alimentaciones

Ambas comprobaciones se hacen con el multímetro, en modo continuidad y en modo tensión continúa respectivamente.

Por otro lado, también se testean las señales de interés con el osciloscopio, señales MIPI y I2C.

### ***1.7.9 Correcciones manuales de los errores encontrados***

Al hacer las comprobaciones anteriores salieron errores de diseño, serán mencionados más adelante. En esta fase trabajamos en el laboratorio para corregirlos.

### ***1.7.10 Test cargando el firmware de los diferentes sensores***

Una vez los tests de continuidad y alimentaciones fueron exitosos, se cargó el firmware de los sensores, el AR1335 y el AR2020 de ON-Semiconductors y el IMX283 de SONY, y se logró sacar por pantalla imagen, es decir, un correcto funcionamiento del PCB.

### ***1.7.11 Creación de una nueva versión mejorada***

Rediseño del PCB añadiendo todos los errores corregidos manualmente y con mejoras implementadas, como pueden ser el conector JTAG para poder depurar.

## **1.8 Medios empleados**

### **1.8.1 Sala gris de laboratorio**

Laboratorio con flujo de aire positivo donde se han realizado todas las pruebas, modificaciones y estudios a las placas.

En concreto se le ha dado uso al microscopio, multímetro, soldador y osciloscopio.

### **1.8.2 Altium Designer**

Con este programa se ha diseñado todo el hardware de los PCBs y sus respectivos esquemáticos. Utilizando la versión temporal de estudiante.

### **1.8.3 eDrawings**

Utilizado para la visualización 3D y para realizar mediciones del PCB. Esto es útil para el posicionamiento de algunos elementos, como agujeros o conectores.

### **1.8.4 GitLab y TortoiseGit**

GitLab es una plataforma web basada en Git que permite gestionar repositorios para poder llevar a cabo un control de versiones, en este caso para los PCBs.

TortoiseGit es la interfaz gráfica intuitiva que implementa con el Explorador de archivos de Windows y facilita la gestión en local de los proyectos y su seguimiento.

### **1.8.5 EZ-USB Suite**

Infineon ofrece una estructura completa de software y firmware para la familia de dispositivos FX3, a fin de integrar fácilmente SuperSpeed USB en cualquier aplicación integrada. El SDK proporciona soporte completo de desarrollo de firmware y depuración.

El microcontrolador CX3 proporciona una interfaz MIPI CSI que se puede conectar directamente a los sensores de imagen.

### **1.8.6 DigiKey**

Distribuidor de componentes, en la página web podemos encontrar los datasheet de cada componente para elegir con buen criterio.

### **1.8.7 SnapEDA y Ultralibrarian**

Plataformas online que ofrecen bibliotecas de componentes, footprints y símbolos.

### **1.8.8 3D ContentCentral**

Plataforma online alimentada por usuarios para obtener los diseños 3D de componentes.

### **1.8.9 Calculadora de impedancias online**

Hay diferentes páginas web, para este TFG se ha empleado la calculadora proporcionada por la web *multi-cb*.

## Capítulo 2. Diseño Hardware PCB Demo3 Bridge CX3 (alias: Demo 4)

### 2.1 Alimentaciones

#### 2.1.1 Reguladores de tensión

La alimentación que nos proporciona el USB es de 5V, y nuestro microprocesador precisa de las tensiones 1.8V, 1.2V y 2.8V, así pues, será necesario utilizar reguladores de tensión para obtener los diferentes niveles de tensión de manera constante y sin ruido.

##### 2.1.1.1 1V8 LDO

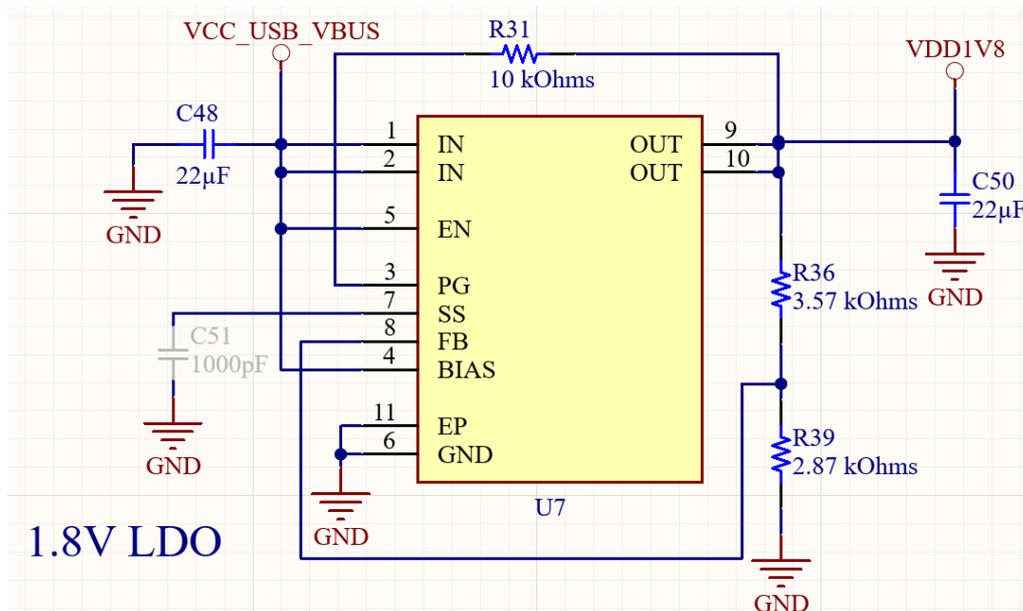


Figura 2.1. Regulador de tensión 1V8

##### 2.1.1.2 2V8 LDO

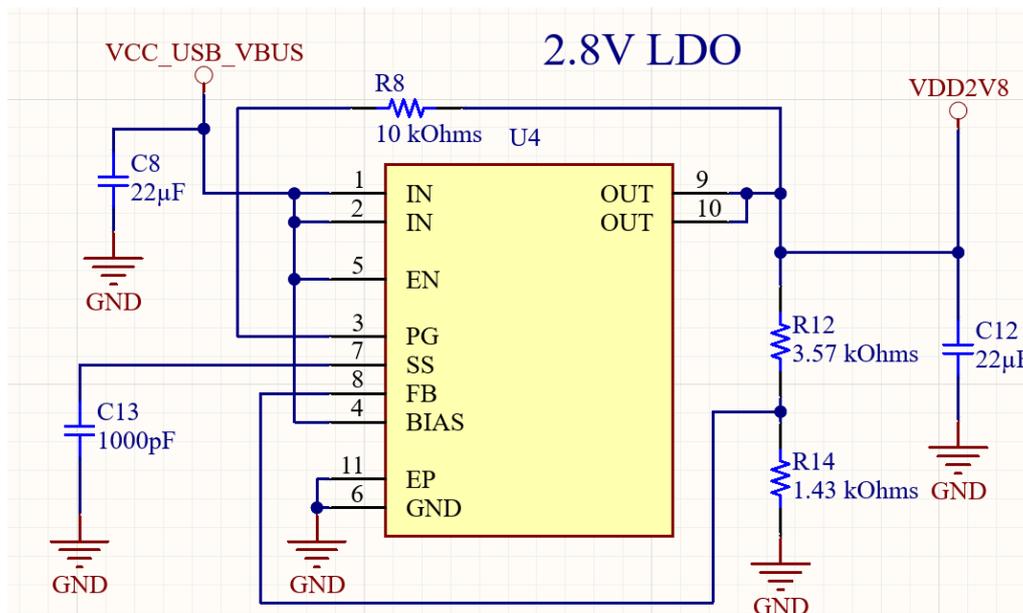
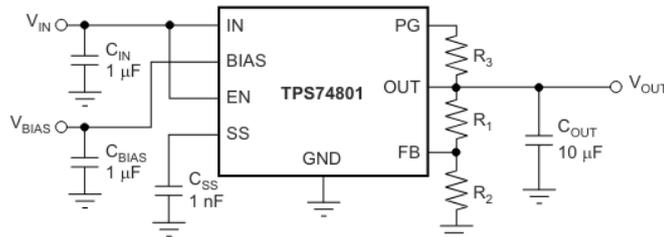


Figura 2.2. Regulador de tensión 2V8

Part number: TPS74801DRC (mismo para 1V8 y 2V8 LDO).

La forma de regular la tensión de estos reguladores es a través de disipación en forma de calor.

Para poder ajustar el nivel de tensión a la salida en cada regulador, se emplea la siguiente relación del divisor resistivo entre el pin OUT y FB(feedback):



$$V_{OUT} = 0.8 \times \left(1 + \frac{R_1}{R_2}\right)$$

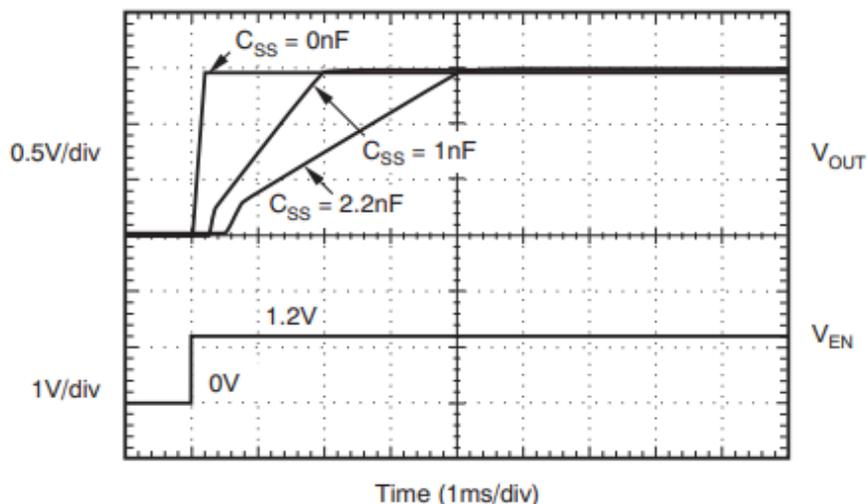
**Figura 2.3.** Extracto del datasheet del regulador de voltaje lineal TPS74801DRC

Como se puede observar, la fórmula de tensión de salida se ha ajustado modificando los valores de las dos resistencias para obtener los valores de 1V8 y 2V8. Además, para reducir el número de componentes diferentes, solo se ha cambiado el valor de una resistencia entre ambas configuraciones.

El microprocesador nos indica el orden de puesta en marcha de cada alimentación, es decir, no todas las alimentaciones se inician al mismo tiempo. En concreto el orden es: 1V8, 1V2 y 2V7.

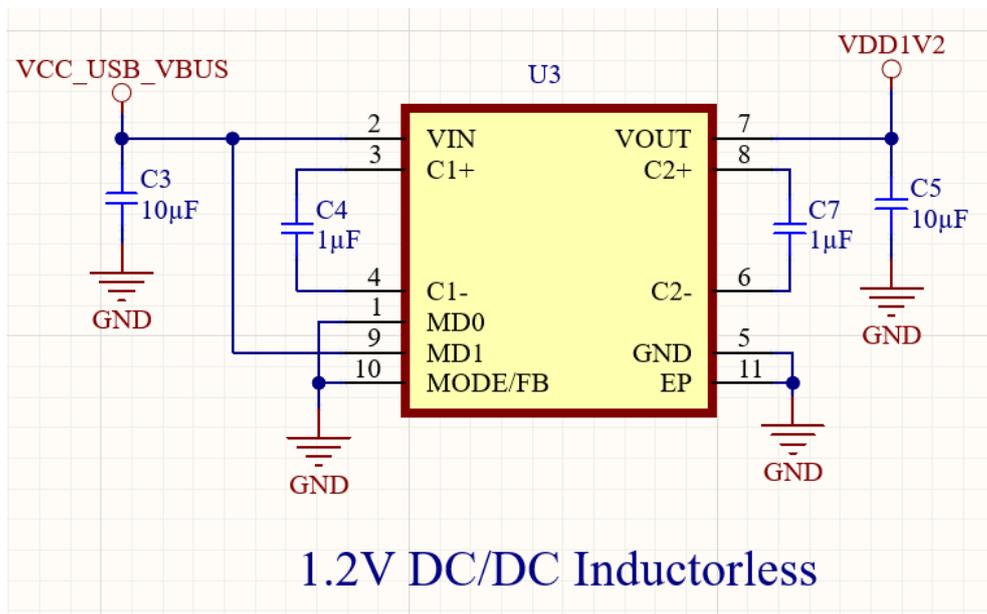
El pin SS de los LDO se encarga de darle una curva al flanco de subida más o menos suave.

Esto influirá en el orden en el que se activen las alimentaciones y, por tanto, el orden en el que los componentes serán alimentados. La forma que tenemos de modificar la pendiente de dicha curva es con el uso de un condensador conectado a este pin. A continuación, se muestra una gráfica tomada del datasheet del LDO donde se aprecian diferentes curvas con sus respectivos valores de capacidad. Se puede observar como en el 2V8 LDO está implementado un condensador de 1nF(C13), lo cual significa un delay de 2ms como se puede ver en la gráfica siguiente.



**Figura 2.4.** Gráfica correspondiente al tipo de curva en función del valor del condensador

### 2.1.1.3 1V2 DC/DC Inductorless (charge pump)



**Figura 2.5.** DC/DC Converter 1V2

En el caso particular de 1V2 existe un problema por el cual hemos tenido que elegir este componente y no un LDO como para los anteriores reguladores descritos.

La forma de funcionar de un LDO es coger de la tensión de entrada la que es demandada por la salida, y el resto disiparla en forma de calor. Esto quiere decir que cuanto más diferencia de tensión hay entre entrada – salida, más temperatura va a disipar el componente.

En el caso de 5V a 1V2, la diferencia de 3V8 es suficientemente notable a nivel de disipación de temperatura como para que se pueda tolerar, así pues, había que buscar una alternativa.

La alternativa más directa era un buck converter, ya que este componente trabaja con cambios de switches para coger solo parte de la tensión de entrada que necesita, sin embargo, conlleva un problema que no podíamos dejar pasar: el ruido que inyecta al circuito causado por la frecuencia de switcheo entre transistores.

Finalmente, la solución adoptada fue utilizar un charge pump, el cual funciona con condensadores, haciendo switch entre ellos para ponerlos en serie/paralelo para, o bien cargarlos, o bien sumarlos y dar la tensión de salida necesaria. Esta opción no inyecta tanto ruido al circuito.

Part number: LTC3251EMSE#.

Forma de regular la tensión: Mediante switcheo entre condensadores.

## 2.1.2 Planos de alimentación

### 2.1.2.1 Top

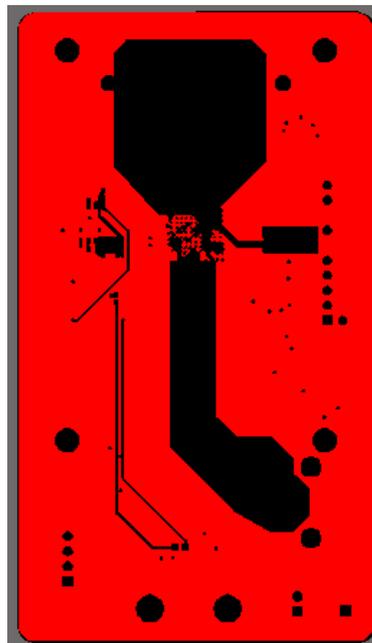


Figura 2.6. Plano GND y CutOut sobre las señales de alta velocidad: MIPI y USB

### 2.1.2.2 Mid 2

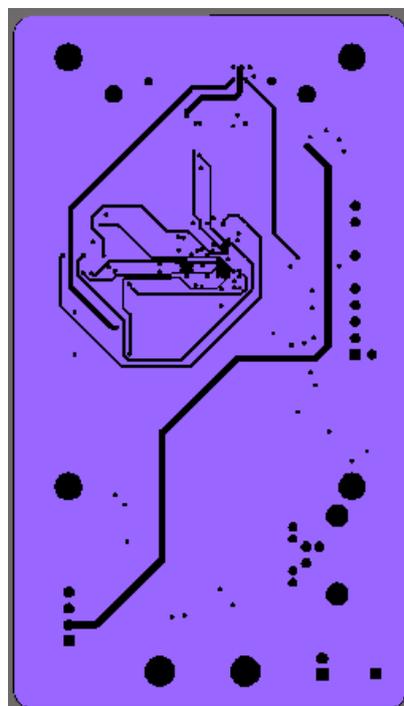


Figura 2.7. Plano GND

### 2.1.2.3 Mid 3

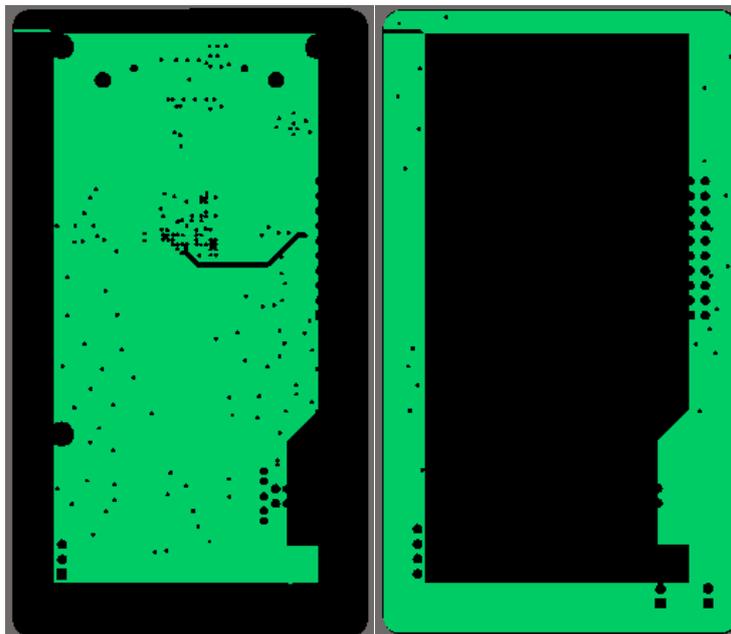


Figura 2.8. Plano 1V2 y Plano SHELL

### 2.1.2.4 Mid 4

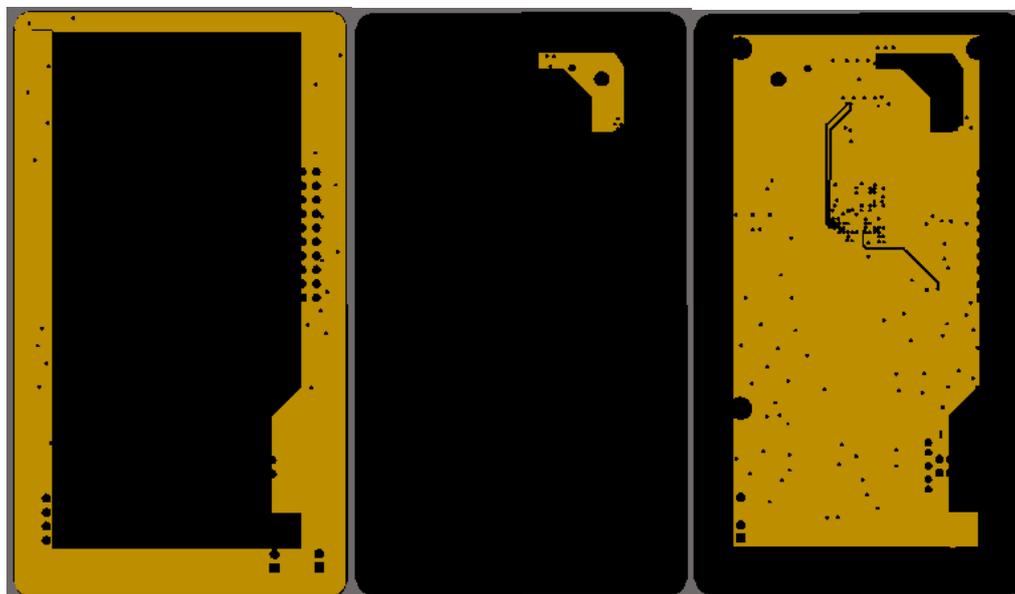
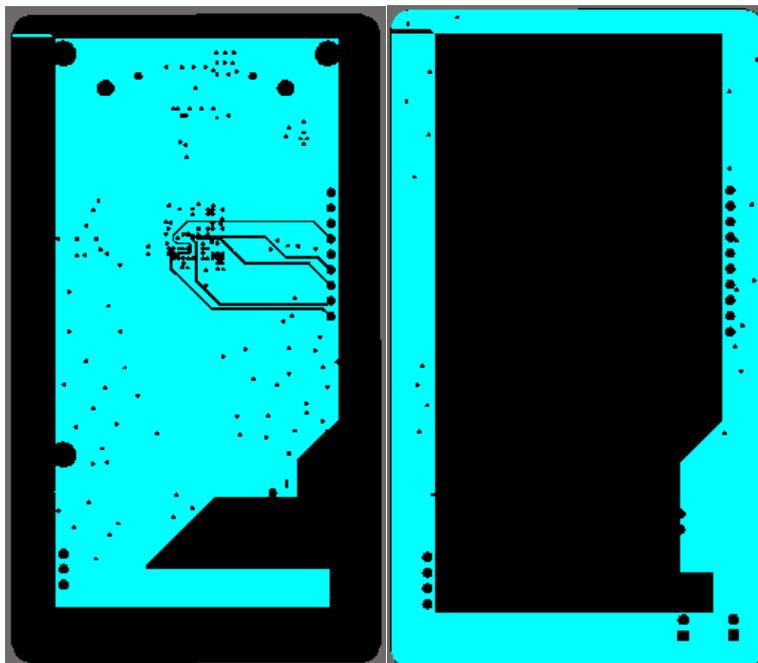


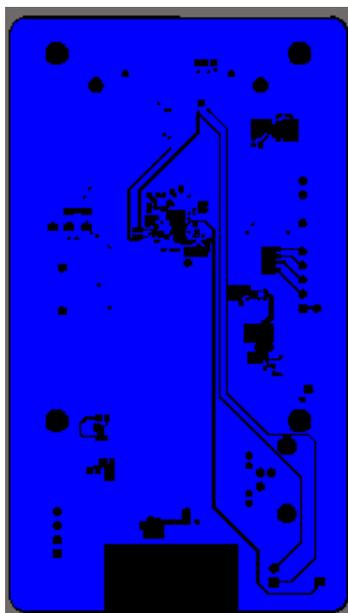
Figura 2.9. Plano SHELL, Plano 2V8 y Plano 1V8

### 2.1.2.5 *Mid 5*



**Figura 2.10.** Plano VCC\_USB\_VBUS y Plano SHELL

### 2.1.2.6 *Bottom*



**Figura 2.11.** Plano GND

### 2.1.2.7 Mid 1 y Mid 6

La distribución de capas se ha elegido así para poder favorecer el retorno de la señal, en este caso las dos capas inmediatamente seguidas del top y bottom son capas de GND donde se ha aplicado una técnica de GND Plane para conectar todo el plano a GND, ya que en estos dos planos no se ha ruteado ninguna señal, se han utilizado plenamente para el retorno de señal.

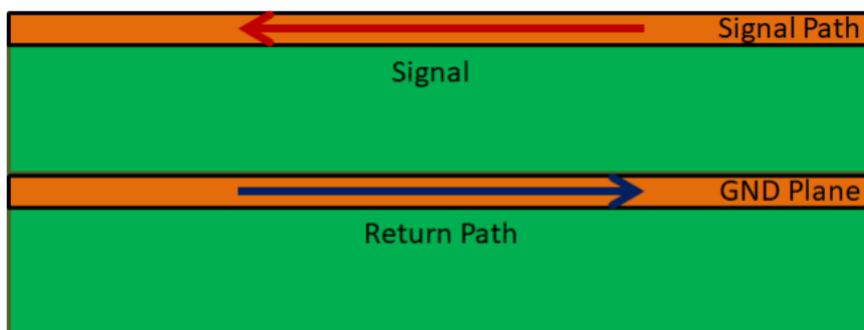


Figura 2.12. Esquema de retorno de señal [4]



## 2.2 Conectores

### 2.2.1 USB-B SuperSpeed 3.0

Part number: 692221030100

Este conector cuenta con una alimentación de 5V que suministrará toda la placa.

También cuenta con tres señales diferenciales que permitirán enviar datos en modo *SuperSpeed*, hasta un máximo de 5Gbps.

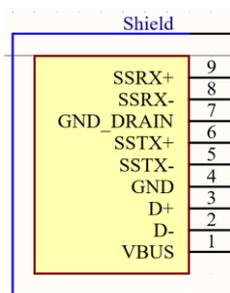


Figura 2.13. Conector USB-B

Respecto al USB2.0, se añaden los siguientes pares diferenciales para poder transmitir en modo *SuperSpeed*:

Pares de transmisión diferencial → SSTX+ y SSTX-

Pares de recepción diferencial → SSRX+ y SSRX-

Tierra para los pares diferenciales → GND\_DRAIN

Las señales diferenciales precisan de protección ante sobretensiones, para ello se utilizan las siguientes protecciones:

- **Array de diodos TVS** para proteger de una posible descarga electrostática (ESD). Su colocación en la placa es relevante, debe estar colocado lo más próximo del conector USB y en el camino entre este y el microprocesador. Esto será necesario para las señales diferenciales SSRX y SSTX (recepción y transmisión de datos).

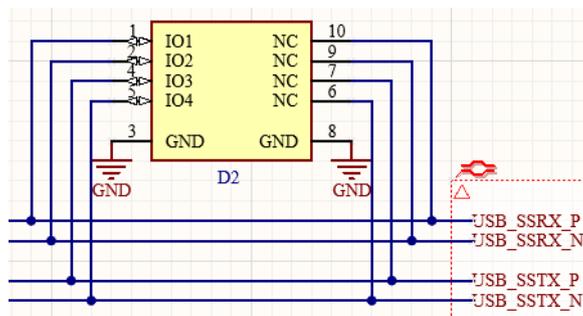


Figura 2.14. Array de diodos TVS

- **Filtro de modo común:** bobina de choque con dos diodos de TVS de protección ESD. Esto será necesario para la señal diferencial DATA, ya que este filtro impedirá el paso de la corriente alterna y del modo común, así pasará la señal en modo diferencial y con corriente continua.



Figura 2.15 Bobina de choque y diodos TVS

En este conector conviven dos pines que pueden ser confundidos, GND y SHELL. La diferencia entre ellos es que el pin GND es el potencial eléctrico de referencia 0V, mientras que el SHELL es la conexión a tierra, por tanto, va conectado al exterior metálico del conector. Para unir ambos pines será necesario utilizar dos componentes pasivos:

- Condensador de baja capacitancia y alta tensión: para filtrar las altas frecuencias.
- Resistencia de alta resistividad: para eliminar la estática de la masa del PCB respecto a tierra.

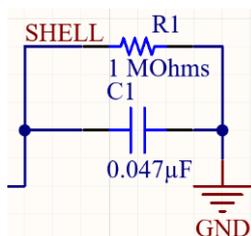


Figura 2.16. Unión del SHELL con GND

En el PCB se decidió rutear este componente por el TOP, para tener así todas las señales de alta velocidad en la misma capa. Por necesidad de laboratorio era necesario colocar el conector en el BOTTOM, pero aprovechamos que es through hole para poder rutearlo por el TOP.

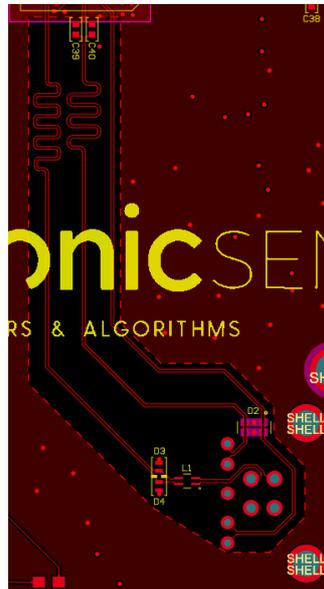


Figura 2.17. Rutado del USB y sus componentes de protección

A parte de la colocación de las protecciones lo más cerca del conector USB, también es importante el **matcheo de los tracks**, es decir, que estos tengan la misma longitud y distancia entre par y par, lo cual proporcionará las siguientes características:

- **Consistencia en la longitud de la señal** → Asegura que ambas señales lleguen al destino al mismo tiempo.
- **Matcheo de impedancias** → Los pares diferenciales están diseñados para tener una impedancia característica que se especifica en los estándares del protocolo de comunicación, así pues, todas las impedancias de la misma línea a línea deben ser iguales, ya que al ser un par diferencial, toda diferencia que se genere, al llegar al destino volverá en forma de reflexión.
- **Crosstalk** → Esto es la interferencia electromagnética que ocurre cuando una señal de un par afecta al otro par cercano. Al emparejar los tracks de pares y mantener una distancia constante entre ellos se evita el crosstalk y se mejora la integridad de señal.
- **Diferencia de retardos** → Esto puede causar problemas de sincronización y distorsión con las señales de alta velocidad. Al matchear se reducen retardos y se evitan problemas de sincronización.

## 2.2.2 Board to Board (MIPI)

Part Number: QMS-026-05.75-X-D-A-RT1

Las alimentaciones están filtradas a través de un condensador de  $4.7\mu\text{F}$ , ya que necesitamos que estas señales estén limpias para evitar introducir ruidos en el resto del PCB. Teóricamente se necesitaría un cerámico en paralelo a cada condensador de  $4.7\mu\text{F}$ , sin embargo, estos condensadores están añadidos a la red de desacoplo de la Camboard, así pues, no es necesario incluirlos también aquí.

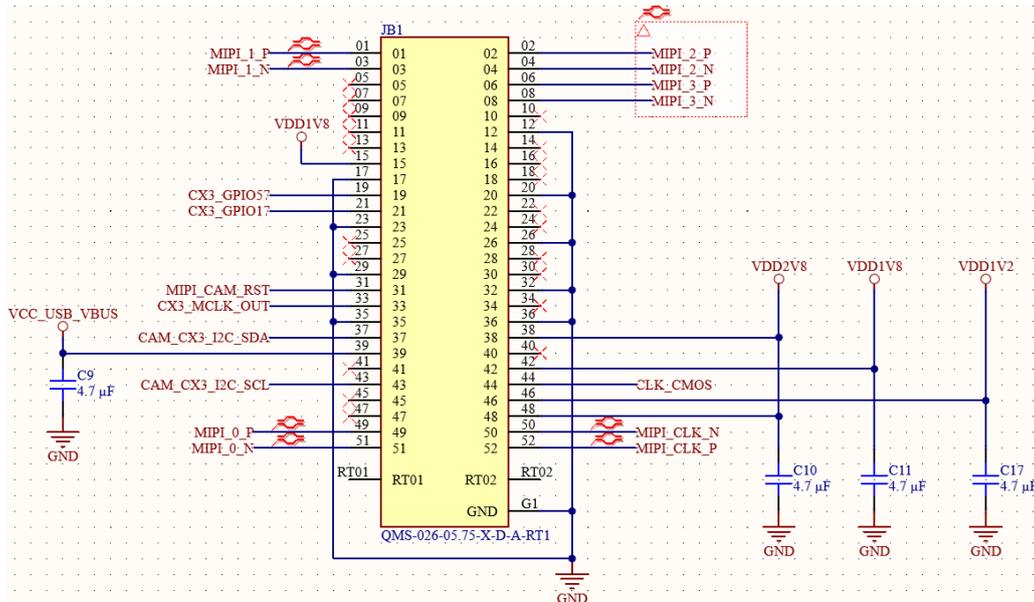


Figura 2.18. Conector MIPI junto con los capacitadores encargados de filtrar las alimentaciones

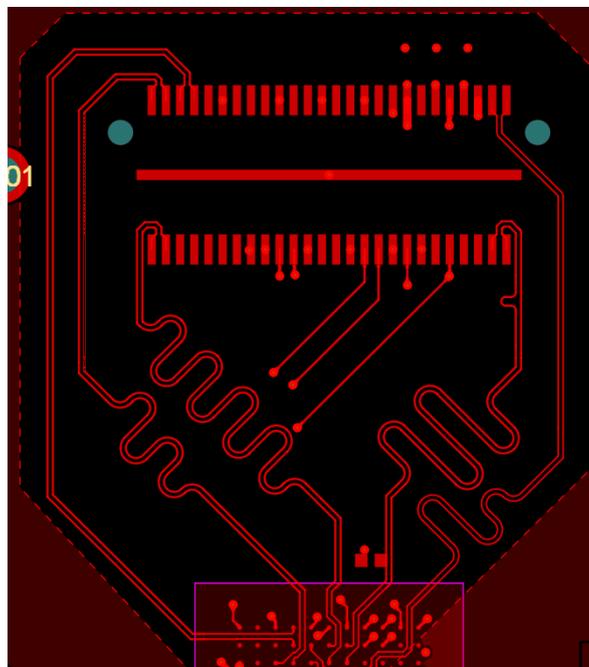


Figura 2.19. Rutado del conector MIPI con el microprocesador CX3

Se ha decidido rutear por el TOP puesto que los pines de los pares diferenciales del conector quedaban más directos con sus pines correspondientes del BGA, para facilitar el rutado. De igual modo que con los tracks del USB, los pares de MIPI también deben ser matcheados.

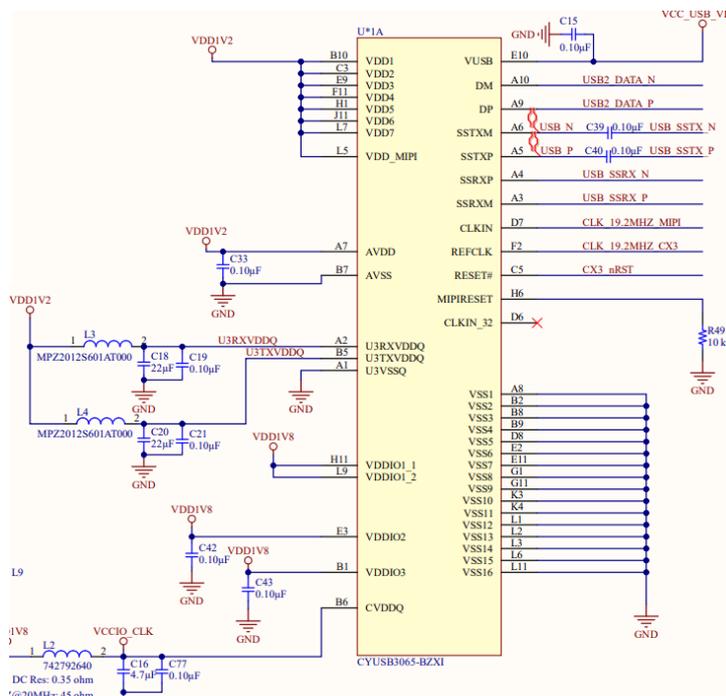
## 2.3 Microprocesador CX3

Part Number → CYUSB3065-BZXI

Características destacables:

- USB 3.0
- Interfaz MIPI CSI-2 RX de 4 lanes
- Formatos de video
  - RAW8/10/12/14
  - YUV422, YUV444
  - RGB888/666/565
- Core ARM926EJ-S con 200MHz de operación
- I<sup>2</sup>C, UART y SPI
- 12 GPIOs
- SDK EZ-USB para desarrollar firmware

Usando como punto de partida la placa de desarrollo de ON-Semi, dicho PCB tiene un FX3 junto con una FPGA para la adquisición de datos. Se buscó una alternativa para poder realizar este mismo proceso, y el único integrado que se encontró fue el CX3, que es una versión reducida del FX3, pero que lleva integrado dentro del mismo chip un periférico de adquisición MIPI y otro de comunicación USB3.0. Como punto negativo, este micro al ser 4 lanes con una tasa máxima de 600Mbps por lane, podrá alcanzar una tasa máxima de datos de 2.4Gbps, en lugar de utilizar una tasa de 5Gbps de lo que es capaz el USB3.0.



**Figura 2.20.** Sección del esquemático del microprocesador CX3

En la sección recortada de la figura superior se aprecian dos elementos a destacar:

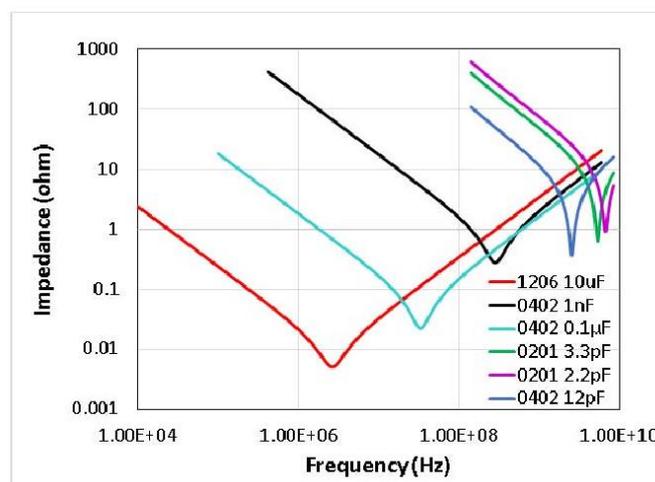
- **Filtro paso bajo de 3º orden** → Formado por una ferrita y dos condensadores, su función es filtrar de una manera muy fina una única línea de un integrado para así limpiar todo el ruido que le pueda llegar a dicho componente en particular.
- **Condensadores “diferenciales” (C39 y C40)** → su función es eliminar la continua de las líneas diferenciales.

### 2.3.1 Red de desacoplo

Es necesario disponer de una correcta red de desacoplo puesto que los tracks y planos conectados a las alimentaciones de los integrados tienen un valor de resistividad e inductancia, esta última añade una impedancia directamente proporcional a la frecuencia, por tanto, esta inductancia limitará las fuentes de alimentación evitando así la posibilidad de suministrar los picos de corriente de alta frecuencia de cada IC.

La colocación de estos será relevante, puesto que tienen la función de filtrar el ruido producido cerca de los pines de alimentación de los IC, por tanto, se tendrán que colocar cerca de dichos pines y para esto también será necesario que el valor del condensador esté en su menor valor de impedancia a la frecuencia que se produce el ruido. Por esta razón se necesitará variar el valor y el tamaño de los condensadores para así poder barrer todas las frecuencias de ruido generadas.

En la siguiente gráfica queda reflejado que, en función de la capacitancia, la frecuencia de resonancia varía.



**Figura 2.21.** Gráfica de impedancia de condensador real frente frecuencia para diferentes capacitancias y packagings [5]

Los condensadores de mayor tamaño requerirán un mayor tamaño del encapsulado, podríamos hacer la siguiente relación para nuestro proyecto:

- Rango  $< 0.01 \mu\text{F}$   $\rightarrow$  encapsulado 0201
- Rango  $[0.01 - 0.1] \mu\text{F}$   $\rightarrow$  encapsulado 0402
- Rango  $[4.7 - 10] \mu\text{F}$   $\rightarrow$  encapsulado 0805 o 0603

## 2.4 Stack-up e impedancias características

El stack-up escogido ha sido de 8 capas de categoría 8D según las normas del fabricante Eurocircuits.

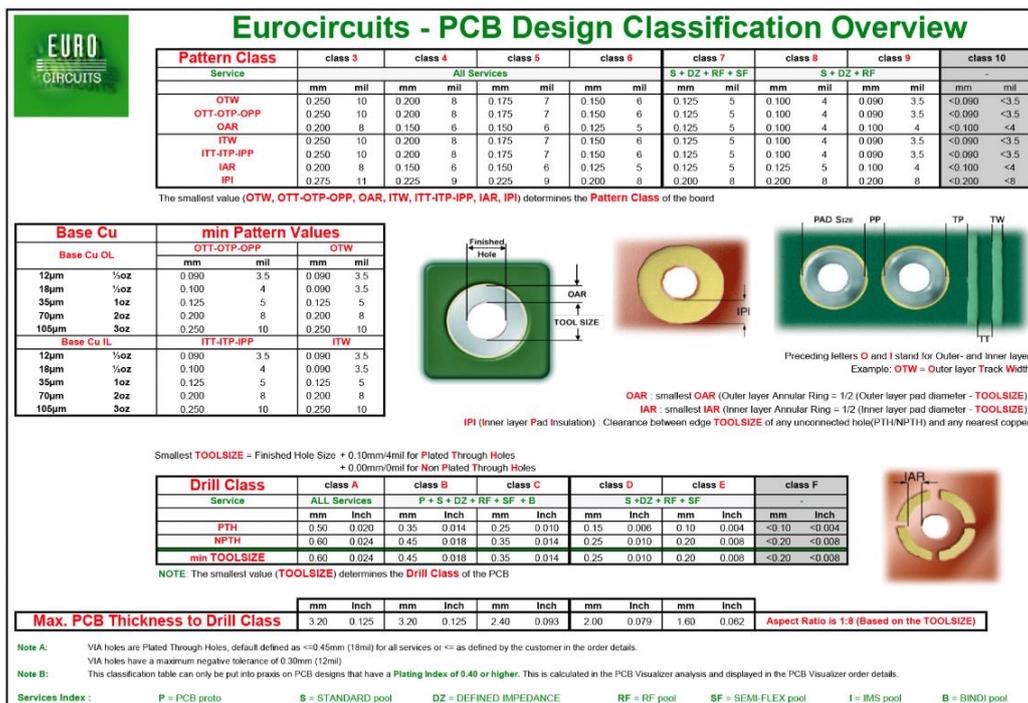


Figura 2.22. Clasificación de diseños de PCBs de Eurocircuits

La razón por la cual hemos elegido este número de capas ha sido por la relación de compromiso entre la comodidad de rutado, el coste total de placa y el matcheo de impedancias.

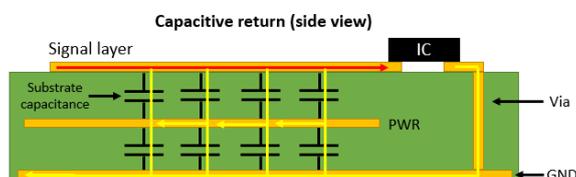
Board Stack Report					
Stack Up		Layer Stack			
Layer	Board Layer Stack	Name	Material	Thickness	Constant
1		Top Paste			
2		Top Overlay			
3	■ ■ ■ ■ ■ ■ ■ ■ ■ ■	Top Solder	Solder Resist	0.070mm	3.5
4		Top Layer	Copper	0.035mm	
5		Dielectric1	FR-4	0.190mm	4.3
6		Internal Plane 1	Copper	0.018mm	4.3
7		Dielectric3	FR-4	0.200mm	4.2
8	■ ■ ■ ■ ■ ■ ■ ■ ■ ■	Mid-Layer 1	Copper	0.018mm	
9		Dielectric5	FR-4	0.190mm	4.2
10	■ ■ ■ ■ ■ ■ ■ ■ ■ ■	Mid-Layer 2	Copper	0.018mm	
11		Dielectric 1	Core-009	0.200mm	4.5
12	■ ■ ■ ■ ■ ■ ■ ■ ■ ■	Mid-Layer 3	Copper	0.018mm	
13		Dielectric 2	PP-006	0.190mm	4.1
14	■ ■ ■ ■ ■ ■ ■ ■ ■ ■	Mid-Layer 4	Copper	0.018mm	
15		Dielectric4	FR-4	0.200mm	4.2
16		Internal Plane 2	Copper	0.018mm	
17		Dielectric2	FR-4	0.190mm	4.2
18		Bottom Layer	Copper	0.035mm	
19	■ ■ ■ ■ ■ ■ ■ ■ ■ ■	Bottom Solder	Solder Resist	0.070mm	3.5
20		Bottom Overlay			
21		Bottom Paste			

Height : 1.678mm

Figura 2.23. Stack-up del PCB

Las especificaciones de espesor y constante dieléctrica han sido importadas de la plantilla del stack-up de 8 capas que proporciona Eurocircuits. Un aspecto importante son las capas Internal Plane, estas son en esencia un plano completo de GND, las razones por las cuales es importante disponer de dichos planos son:

- **Camino de retorno de corriente** → un plano de tierra adyacente proporciona un camino de retorno de corriente de señal eficiente, así la corriente no busca otras rutas más largas y que interfieran con el resto de los componentes del PCB.
- **Reducción de interferencias electromagnéticas** → al tener la corriente un camino eficiente, se reduce las corrientes de bucle y por tanto las interferencias electromagnéticas.
- **Capacitancia parásita controlada** → la presencia de una capa de tierra cercana a la capa de señal crea una capacitancia parásita que ayuda a reducir la fluctuación de voltaje en la capa de señal. Esto es muy importante con las señales de alta velocidad.



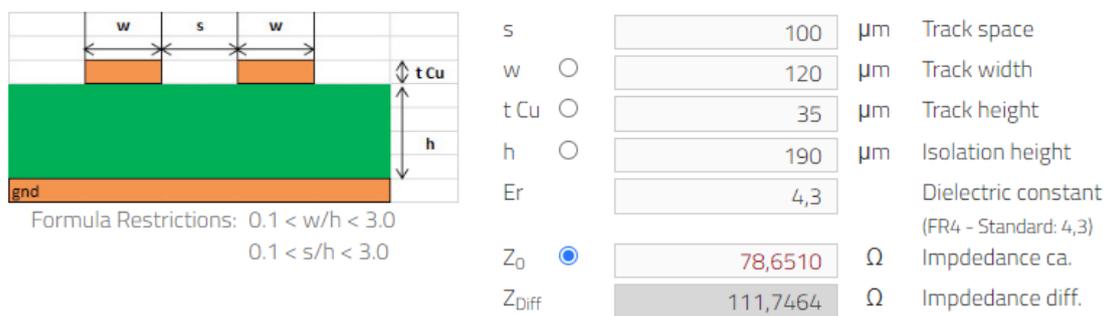
**Figura 2.24.** Esquema representativo de la señal de retorno por la capa GND

Con esto elegido, el siguiente compromiso a determinar son las características de los tracks críticos para lograr la impedancia característica deseada:

➤ Señales diferenciales **MIPI**

Según especificación la impedancia de las señales MIPI debe ser de  $100\Omega$ , haciendo uso de una calculadora online, sabiendo que dichas señales son de tipo Edge-couple Surface microstrip, ya que son diferenciales y están sobre un cutout, es decir, están rodeadas del cutout y en la capa inferior tienen GND.

### Edge-Coupled Surface Microstrip



**Figura 2.25.** Cálculo de impedancia de la señal MIPI con la calculadora online de *multi-cb*

Con una anchura de pista de  $120\mu\text{m}$  obtenemos una impedancia diferencial de  $111.7464\Omega$ , lo cual implica una tolerancia sobre el 10%, es aceptable.

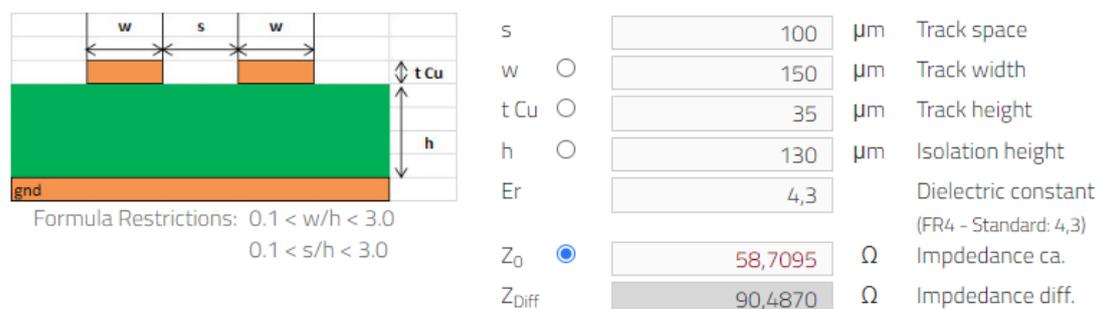
El espaciado entre tracks tiene estas medidas ya que el protocolo MIPI se emplea tanto en pares diferenciales como en terminación única (single ended).

➤ Señales diferenciales del **USB**

De igual modo realizamos el cálculo de la impedancia del par diferencial del USB.

Según especificaciones del USB la impedancia debe ser de  $90\Omega$ .

### Edge-Coupled Surface Microstrip



**Figura 2.26.** Cálculo de impedancia de la señal USB con la calculadora online de *multi-cb*

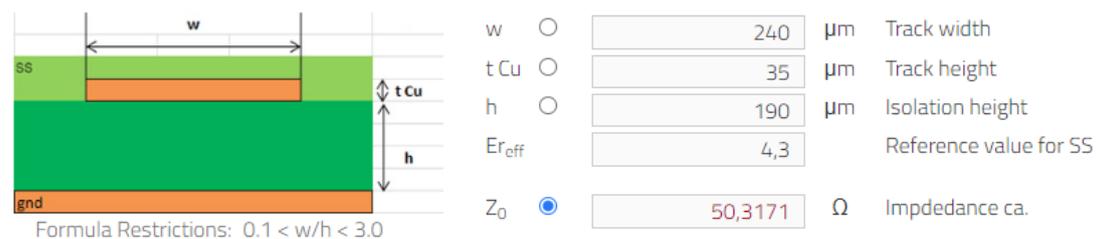
Para un ancho de track de  $150\mu\text{m}$  obtenemos una impedancia diferencial de  $90.4870\Omega$ , lo cual es más que aceptable.

➤ Señales del **CLOCK BUFFER**

En este caso no es una impedancia diferencial.

Según especificaciones del USB la impedancia debe ser de  $50\Omega$ .

### Coated Microstrip

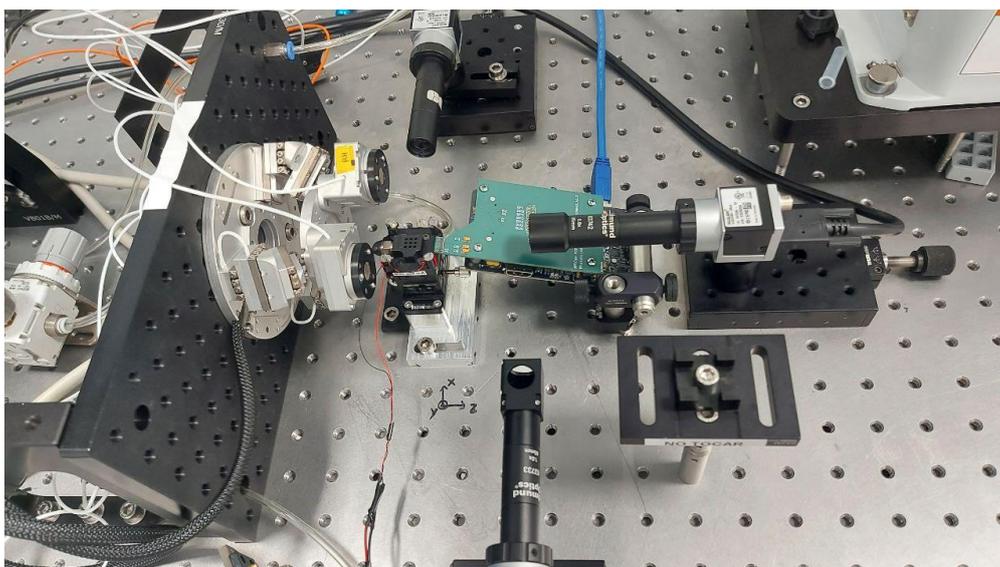
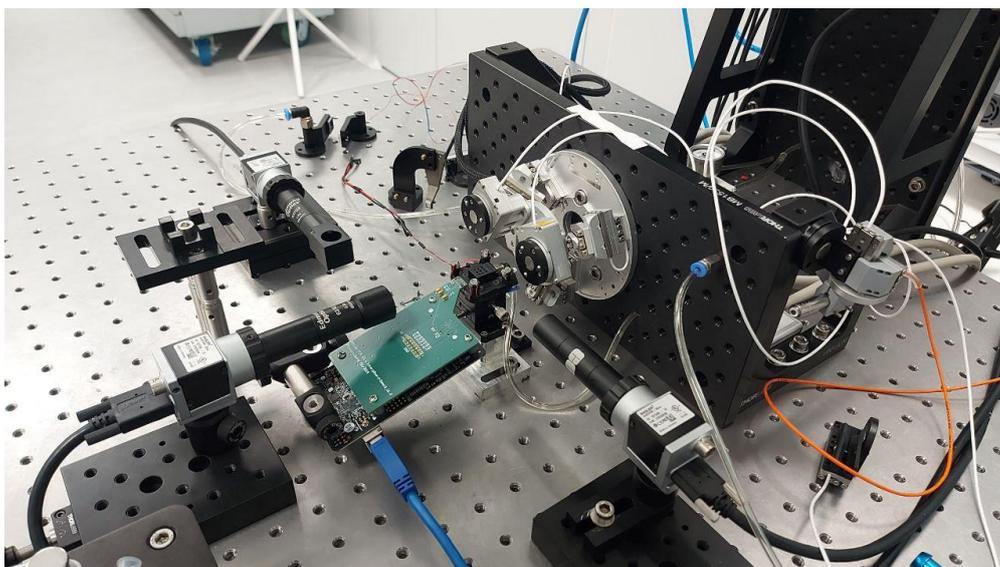


**Figura 2.27.** Cálculo de impedancia de la señal CLOCK con la calculadora online de *multi-cb*

Para un grosor del track de  $240\mu\text{m}$  obtenemos una impedancia de  $50.3171\Omega$ , muy aceptable.

## 2.5 Factor de forma

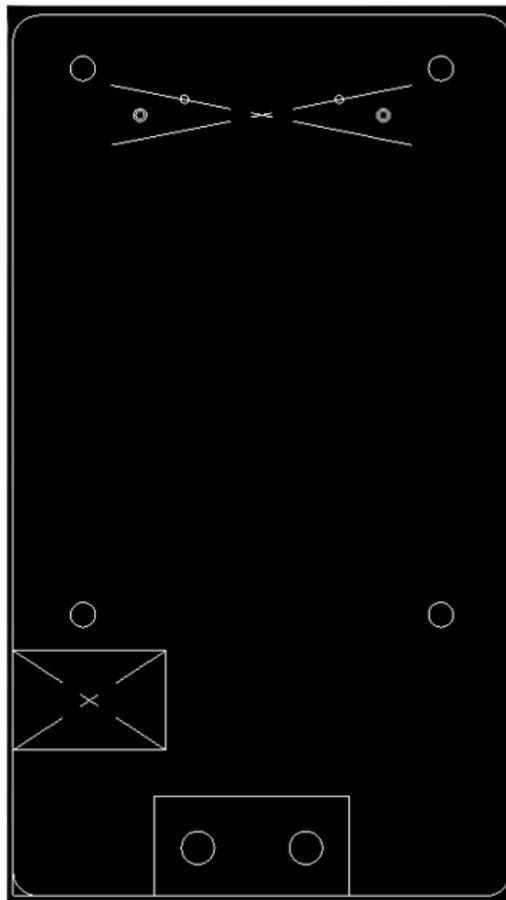
Las dimensiones y la forma de la placa tienen un papel importante debido a que su uso va a involucrar un setup con todo tipo de elementos ajustados al factor de forma de la misma. Durante los años de desarrollo del sensor AR1335 se ha trabajado con la placa de desarrollo proporcionada por el mismo fabricante, On-Semiconductors, es por esto que se buscó replicar el factor de forma de esta placa, para evitar tener que ajustar elementos delicados como goniómetros, hexapod o las cámaras telecéntricas entre otros.



**Figura 2.28.** Imágenes del setup del laboratorio con el PCB de desarrollo de ON-Semi

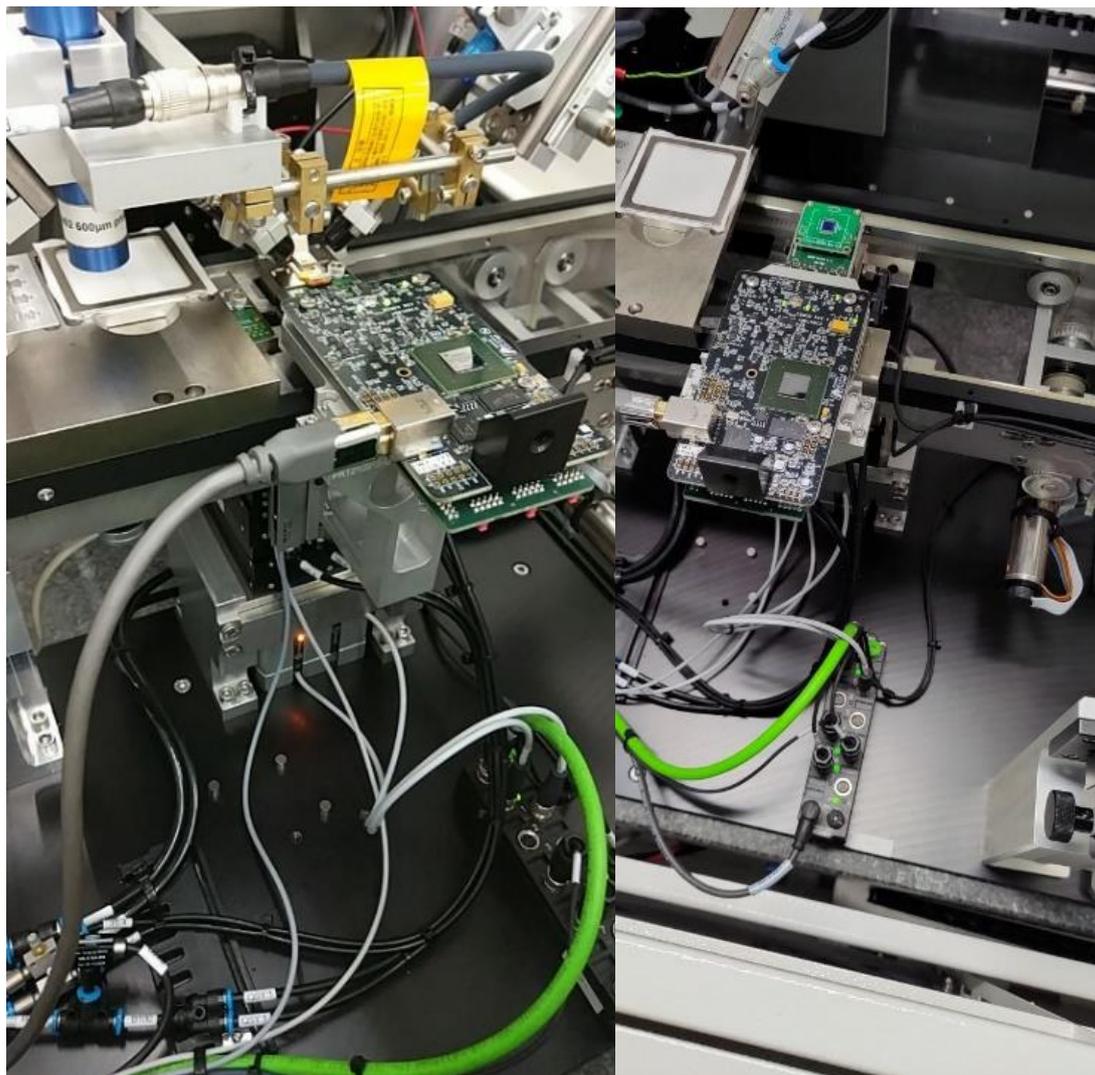
Para poder ajustar con facilidad dicho factor de forma, un compañero del departamento realizó una plantilla en SolidWorks donde se muestra todo lo necesario:

- Dimensiones de la placa
- Posicionamiento y tamaño de los agujeros
- Posicionamiento para el conector USB y el conector MIPI
- Espacio en la parte inferior que debe quedar vacío para poder conectar el soporte mecánico



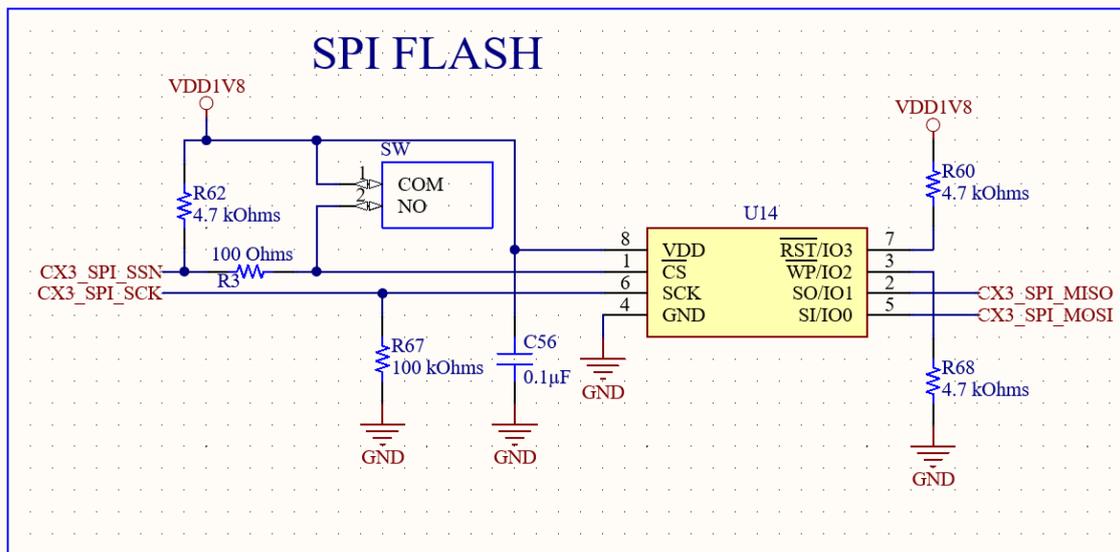
**Figura 2.29.** Archivo con la plantilla del factor de forma

Esta plantilla con formato .DWG fue importada al .pcb del proyecto para poder ajustar las todas las dimensiones correctamente. También se hizo uso del software eDrawings para ayudar con la toma de medidas.



**Figura 2.30.** Fotografías del setup de la línea de producción en la sala limpia con el PCB de desarrollo de ON-Semi

## 2.6 Memoria SPI Flash



**Figura 2.31.** Esquemático de la memoria SPI Flash y el Switch

Part Number → S25FS064SAGNFN030

Características destacables:

- Almacenamiento total de 64Mb
- Organización de la memoria 8M x 8
- Frecuencia de reloj 133Mhz
- Alimentada a 1V8

Necesaria para poder almacenar el firmware.

El CX3 se ha configurado para que inicie desde la presente memoria, pero para poder actualizar el firmware grabado en la memoria, es necesario tener otro mecanismo para poder arrancar el micro sin ningún firmware a la espera de ser cargado, en ese momento será cuando se pueda grabar un nuevo código en la Flash. Para eso está el switch, que al pulsarlo cortocircuitará, con ayuda de R3, el pin de CS (Chip-Select) de la Flash, estableciéndolo a nivel alto lógico, así el microprocesador no podrá recibir el firmware de la memoria.

## 2.7 Clock

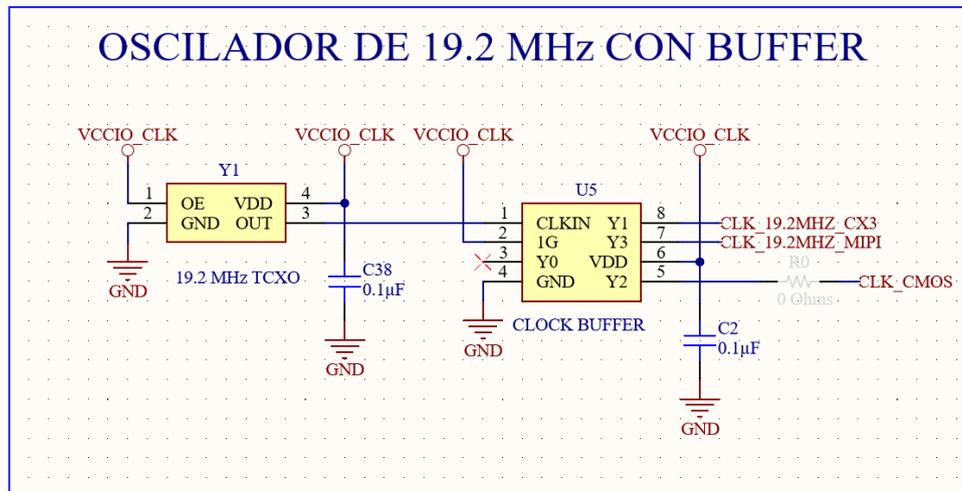


Figura 2.32. Esquemático de la generación de la señal Clock

### 2.7.1 Oscilador de cristal de cuarzo XTAL

Part Number → ECS-2520SMV-192-FP-TR

Características destacables:

- Frecuencia 19.2Mhz
- Alimentación 1V8
- Ruido de  $\pm 10$  ppm

Como generador de una señal estable, este componente piezoeléctrico es perfecto para obtener una frecuencia de reloj precisa.

### 2.7.2 Clock Buffer

Part Number → LMK1C1104DQF

Características destacables:

- Relación entrada-salida 1:4
- Frecuencia máxima 250Mhz

Permitirá obtener varias señales a su salida con muy bajo skew y jitter. Esto se consigue usando la histéresis a modo de prevención de ruido de la señal de entrada.

## 2.8 Reset

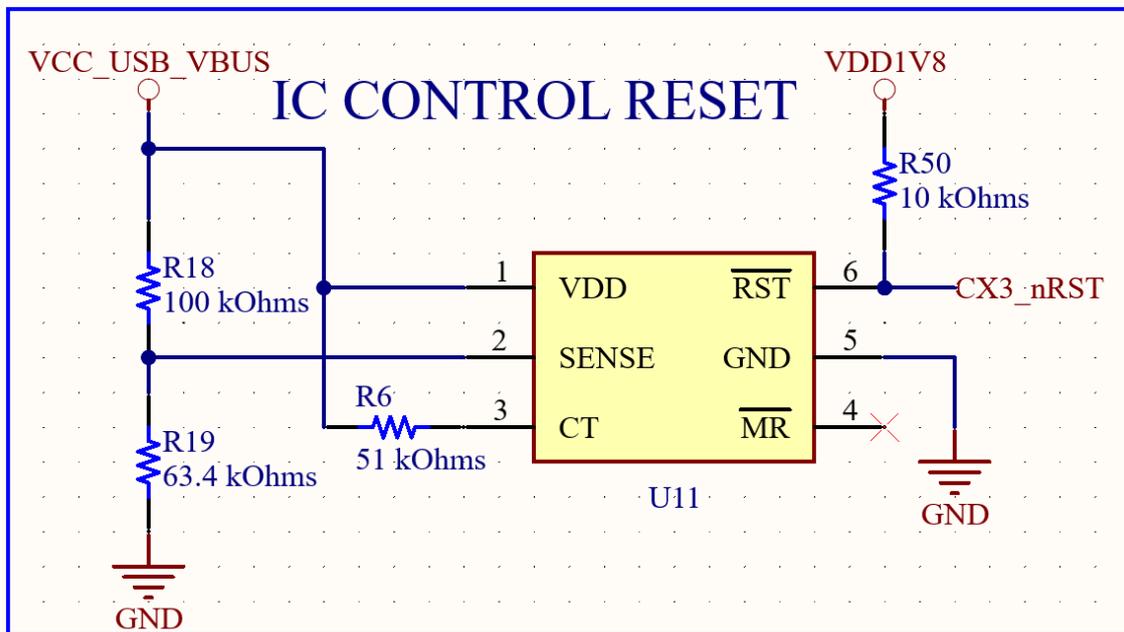


Figura 2.33. Esquemático del circuito de Reset

Part Number → TPS3808G01DRV

Características destacables:

- Baja corriente de reposo de 2.4μA
- Salida colector común

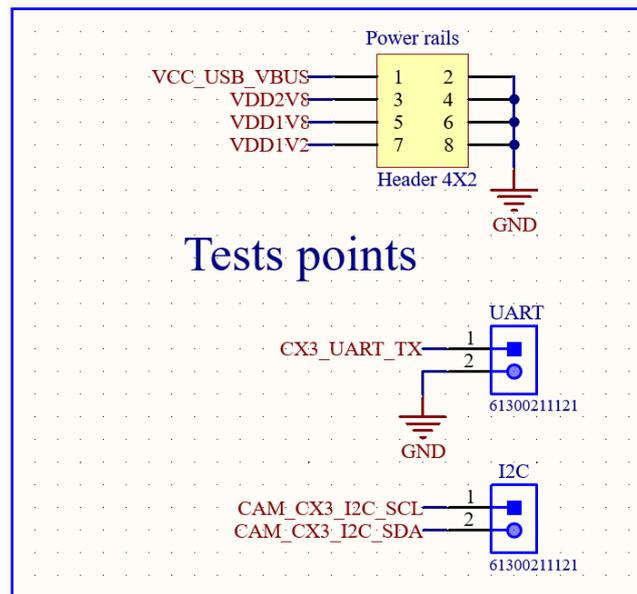
Para seleccionar el tiempo de delay, se emplea la resistencia R6=51kOhms uniendo el pin CT con Vcc, consiguiendo así un valor típico de 300ms de delay.

El sistema de resetea cuando hay una caída de tensión mayor que el threshold asignado de la alimentación de 5V. De esto se encarga el pin SENSE, el cual tenemos conectado a un divisor resistivo que nos permite modificar la tensión que lee dicho pin. Asumimos una caída de tensión del 40%, fijando R18 a 100Ohms, obtenemos así el valor de R19:

$$V_{IT} = \frac{R19}{R19 + R18} * 0.4 * V_{cc}$$

Se obtiene el valor final de R19 = 63.4kOhms

## 2.9 Test points

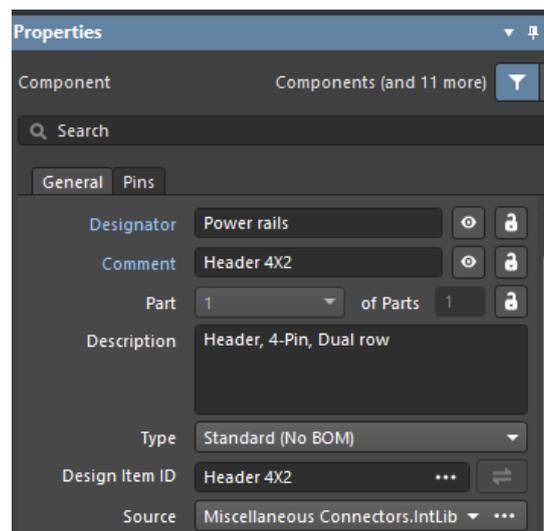


**Figura 2.34.** Esquemático de los test points

### 2.9.1 Power Rails

Decidí utilizar un conector de la librería Miscellaneous que proporciona Altium, ya que lo que realmente me interesa es tener los agujeros para poder pinchar con el multímetro u osciloscopio, por esta razón lo definí como *Standard (No BOM)*, para que al no tenerlo en cuenta en el listado de componentes únicamente se realizaran los agujeros en el PCB.

Estos tests points nos servirán para poder medir las alimentaciones de la placa (5V, 2V8, 1V8 y 1V2).



**Figura 2.35.** Propiedades del conector Power Rails

### 2.9.2 UART

Part Number → 61300211121

El CX3 utiliza la UART para transmitir mensajes de log sobre su funcionamiento, estos mensajes nos permiten depurar el firmware del microprocesador durante su desarrollo, así como detectar un mal funcionamiento de una Demo3 Bridge CX3. Esto se puede visualizar abriendo un puerto serie con cualquier aplicación de emulador de terminal, en nuestro caso utilizamos Tera Term.



**Figura 2.36.** Captura del 3D del test point de la UART

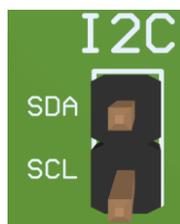
Solo se emplea la línea de transmisión de datos TX, debido a que la comunicación es unidireccional, únicamente queremos ver los mensajes de error.

### 2.9.3 I<sup>2</sup>C

Part Number → 61300211121

El I2C es un bus serie que se utiliza para la intercomunicación de diferentes elementos de un circuito electrónico. Cumple con una estructura Master-Slave, en nuestro caso el CX3 tiene el rol de Master y el CMOS de Slave.

Los puntos de acceso de test son el pin de datos (SDA) y de reloj (SCL) del bus I2C, lo que nos permitirá ver en el osciloscopio la actividad en el bus, es decir, si hay comunicación entre el micro y el sensor.



**Figura 2.37.** Captura del 3D del test point del I2C

La colocación en el PCB de ambos puntos de testeo se ha hecho en el extremo por una cuestión de comodidad a la hora de conectar cualquier tipo de cable a los test points.

## 2.10 Via Stitching

Este concepto no es más que una red de vías que atraviesan todas las capas del PCB y están conectadas a GND.

Su objetivo es unificar y ampliar toda la superficie de cobre conectada a GND para poder disipar mejor el calor generado por los componentes.

Otra aplicación de esta práctica es el bloqueo de la radiación a ciertas frecuencias, en nuestro caso no es algo en lo que merezca la pena pararse a estudiar, sin embargo, con ayuda de las herramientas de Altium Designer se podría realizar fácilmente una red de vías equiespaciadas para controlar dicho bloqueo de radiación.

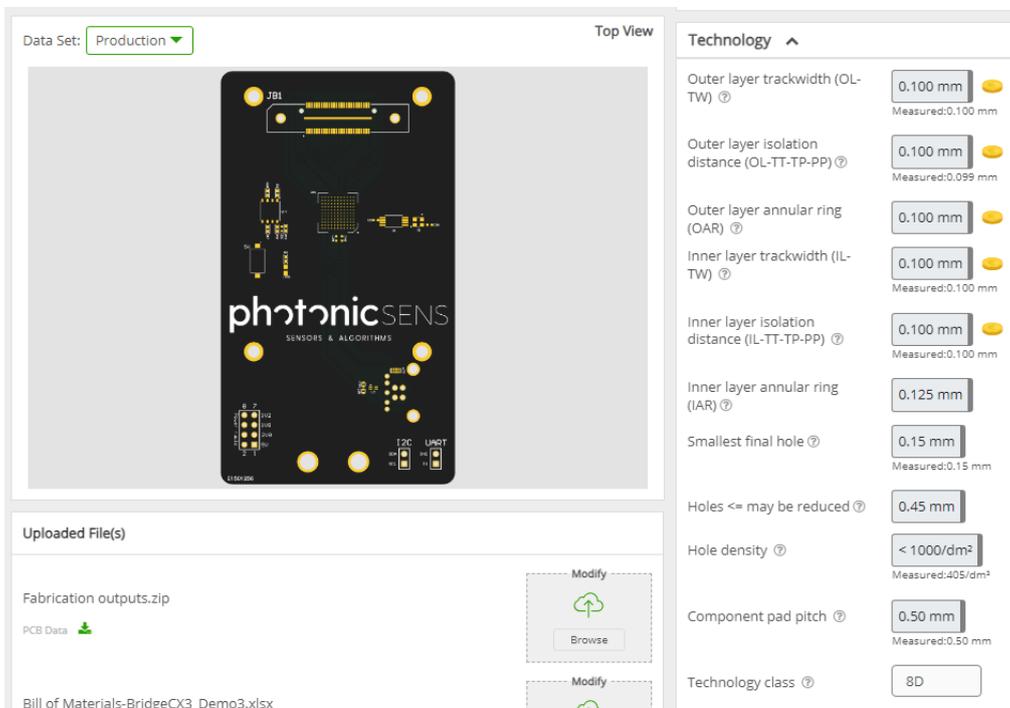
$$f_{max}^{bloqueo} = \frac{c_0}{\sqrt{\epsilon_r} * 8 * d_{grid}}$$

**Figura 2.38.** Fórmula para poder obtener la frecuencia de bloqueo máxima

Para este PCB se decidió realizar la malla de vías de manera manual, es decir, se pusieron una alta cantidad de vías conectadas a GND repartidas por todo el PCB.

## 2.11 Costes

Como he comentado en el apartado 2.4, el tipo de tecnología escogido por el departamento para mantener una relación precio-calidad óptima es de 8D. En la siguiente figura se puede observar como la placa cumple con las especificaciones necesarias para lograr este objetivo.



Parameter	Specified Value	Measured Value
Outer layer trackwidth (OL-TW)	0.100 mm	0.100 mm
Outer layer isolation distance (OL-TT-TP-PP)	0.100 mm	0.099 mm
Outer layer annular ring (OAR)	0.100 mm	-
Inner layer trackwidth (IL-TW)	0.100 mm	0.100 mm
Inner layer isolation distance (IL-TT-TP-PP)	0.100 mm	0.100 mm
Inner layer annular ring (IAR)	0.125 mm	-
Smallest final hole	0.15 mm	0.15 mm
Holes <= may be reduced	0.45 mm	-
Hole density	< 1000/dm <sup>2</sup>	405/dm <sup>2</sup>
Component pad pitch	0.50 mm	0.50 mm
Technology class	8D	-

Figura 2.39. Especificaciones de la tecnología de la placa en *eurocircuits.com*

Una vez subido el BOM a la página web, se pueden realizar reemplazos de componentes, en mi caso los componentes pasivos como resistencias y condensadores los reemplacé por componentes genéricos, de ese modo el coste por componente es gratis como se puede apreciar con los condensadores que aparecen en la siguiente figura.

MPN	Alternatives	Image	Description	Availability	Ref des	Supplied by	Quantity	Price	Exact	Media
GPC0402104-16 SPN: GCM155R71C104KA5J Ceramic Capacitors	1 Generic part		0.1µF ±10% 16V Ceramic Capacitor X7R 0402 (1005 Metric)	Generic part (Available)	C2, C15, C19, C21, C23, C25, C27, C29...	Assembler Generic part	Qty per PCB: 20 Order qty: 200	Free	<input type="checkbox"/>	
GPC0805106-16 SPN: GCM21BR70J106KE22L Ceramic Capacitors	1 On Demand		10µF ±10% 16V Ceramic Capacitor X5R 0805 (2012 Metric)	Generic part (Available)	C3, C5	Assembler Generic part	Qty per PCB: 2 Order qty: 20	Free	<input type="checkbox"/>	
GPC0603105-16 SPN: GCM188R71C105KA64D Ceramic Capacitors	1 Generic part		1µF ±10% 16V Ceramic Capacitor X5R 0603 (1608 Metric)	Generic part (Available)	C4, C7	Assembler Generic part	Qty per PCB: 2 Order qty: 20	Free	<input type="checkbox"/>	
GPC0603475-10 SPN: GRM188R61C475KE11D Ceramic Capacitors	1 On Demand 1 Generic part		4.7µF ±10% 10V Ceramic Capacitor X5R 0603 (1608 Metric)	Generic part (Available)	C6, C9, C10, C11, C16, C17	Assembler Generic part	Qty per PCB: 6 Order qty: 60	Free	<input type="checkbox"/>	

Figura 2.40. Algunos componentes genéricos

El presupuesto total de la placa se divide en tres:

- Coste del **PCB** → la fabricación de la placa sin componentes, únicamente el stack-up
- Coste **BOM** → la compra de la lista de componentes
- Coste **ensamblaje** → la colocación y soldado de los componentes

El coste por PCB es de 74.16€, sin embargo, el precio del BOM y el ensamblaje es un precio fijo de 685.4€ y 769.5€ respectivamente.

Todo esto, para un pedido de 10 placas significa un coste total de **2203.86€**

Item	Quantity	Lead time	Unit price	VAT	Gross	Add to cart
<b>PCB Services</b>						
PCB	10	Default (7 Working Days)	€ 74.16	€ 0.00 (0%)	€ 741.60	<input checked="" type="checkbox"/>
<b>PCBA Services</b>						
Assembly	10	15 Working Days	€ 685.40	€ 0.00 (0%)	€ 685.40	<input checked="" type="checkbox"/>
Components	-		€ 769.50	€ 0.00 (0%)	€ 769.50	<input checked="" type="checkbox"/>

PCB Name: BridgeCX3 Demo3 V1.0

STANDARD pool service	
Prices	Net
Items	€ 2196.50
Express transport	€ 7.36
VAT	-
<b>Total Gross</b>	<b>€ 2203.86</b>
Est. shipment date **	05-05-2023
Total lead time **	22 Working Days

\*\* Based upon component availability at the end of the PCB production

Fix a shipment date

Fix a shipment date

Figura 2.41. Costes Eurocircuits

En todo este presupuesto no se ha contemplado los costes del trabajo del ingeniero.

## 2.12 Producto definitivo Versión 1.0



**Figura 2.42.** Fotografía del TOP y el BOTTOM del producto definitivo V1.0

## 2.13 Errores encontrados durante el testeo

Tras realizar un testeo a la placa, vi rápidamente gracias a los Power Rails que las tensiones de alimentación no eran correctas, así pues, analicé el PCB y encontré los siguientes errores.

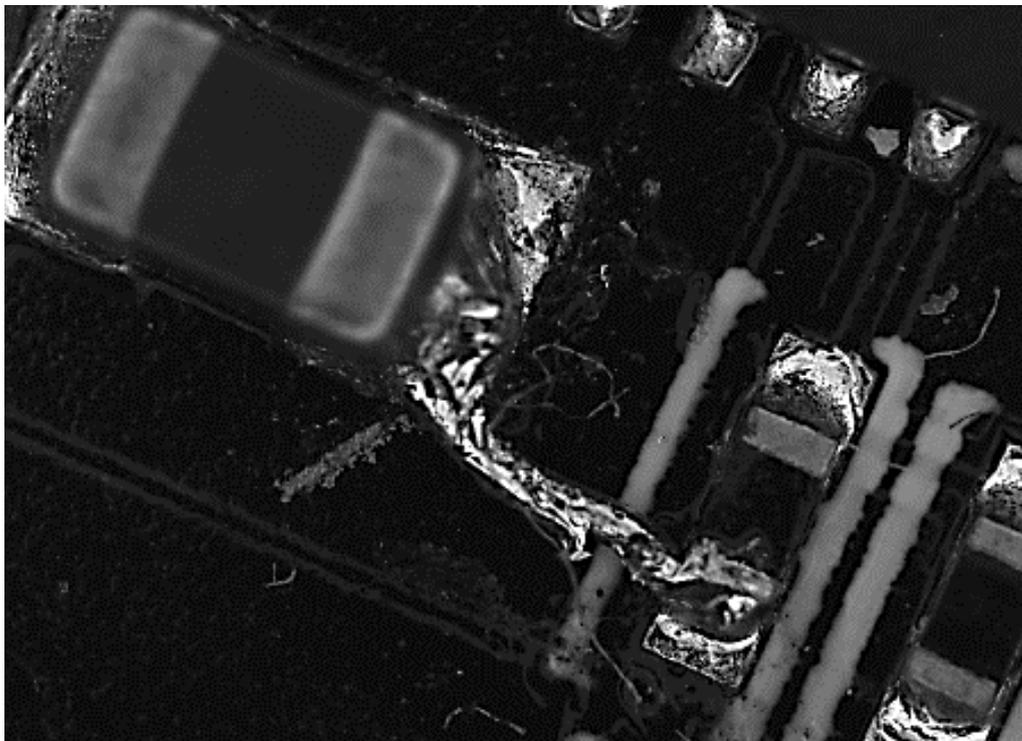
### 2.13.1 *Pull ups I<sup>2</sup>C*

Las resistencias de pull up de I2C R4 y R9 ya están añadidas en el PCB InterposerBoard, por tanto, en este PCB sobran ya que se estaban sumando sus valores en paralelo al estar en ambas placas.

Únicamente fue necesario desoldar ambas resistencias del PCB.

### 2.13.2 *Plano 2V8 (R12 y C12)*

Al ver que el Power Rail de 2V8 no daba la tensión correcta, analicé la continuidad de los componentes del regulador que proporciona dicho voltaje, y pude ver que había una discontinuidad entre R12 y C12 que era debida a un posicionamiento erróneo de un plano de alimentación de 2V8. Así pues, la manera de solucionar este problema fue puentear con un cable los dos pines que deberían estar unidos por el plano.

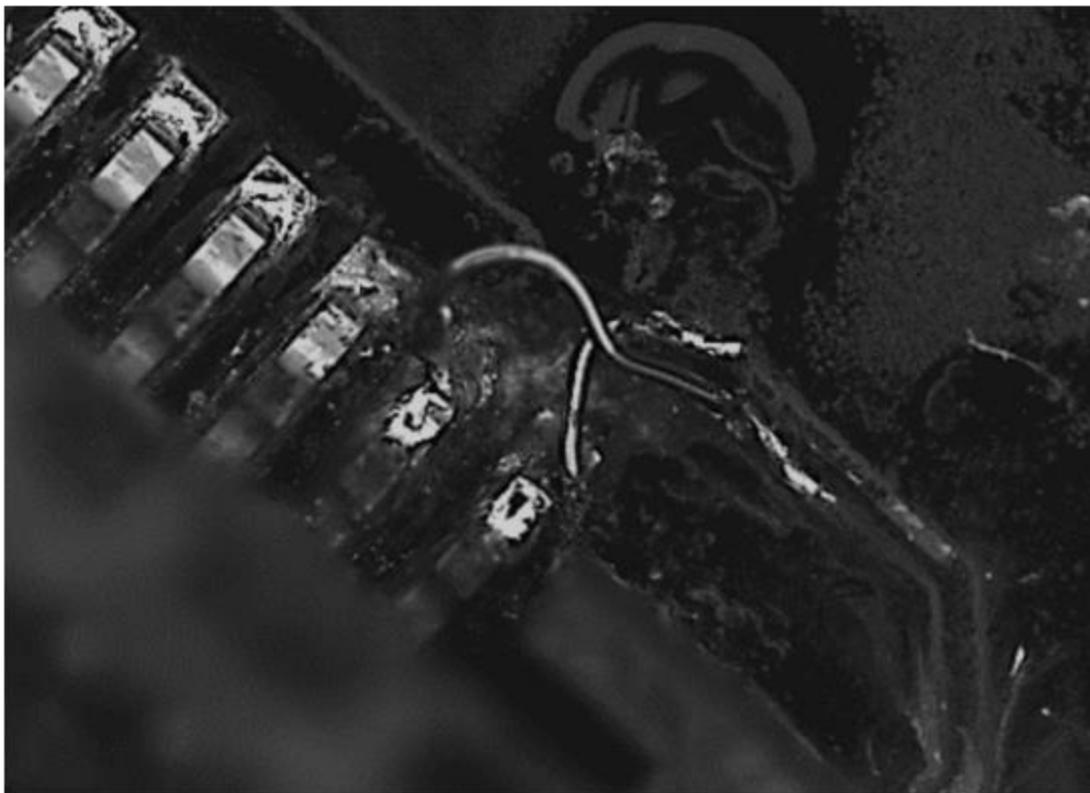


**Figura 2.43.** Resistencia R12 y condensador C12 puenteados por un cable

### 2.13.3 MIPI CLK

Al intentar levantar el sensor con EZ-USB la pantalla se quedaba en negro, así que sospeché de las líneas MIPI, me puse a analizar el conector y encontré un error de rutado en el par diferencial MIPI\_CLK ya que las posiciones del positivo y negativo estaban cambiadas y no coincidían con los pines del conector complementario.

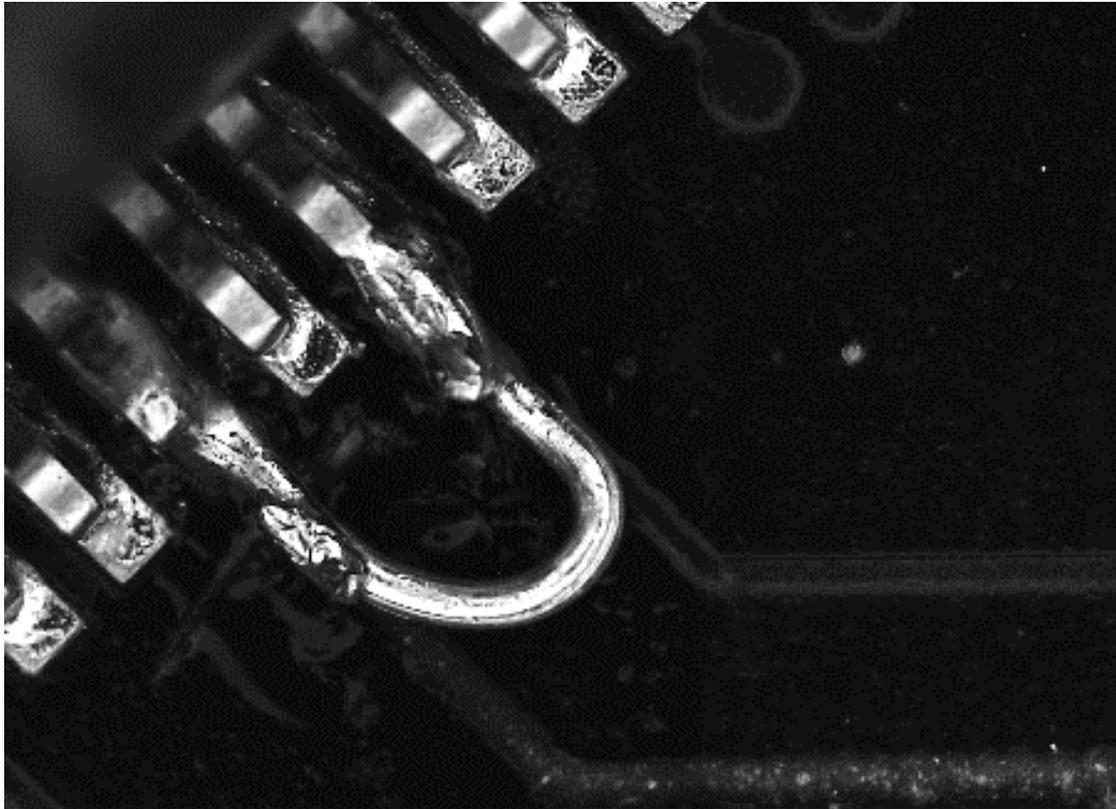
Esta solución fue la más complicada de todas, puesto que tuve que pelar el solder mask con un bisturí, seguidamente cortar ambos pares diferenciales y el problema es que se tenían que cruzar, así que la solución que tomé fue poner un par recto, desde la zona pelada hasta el conector y el otro lo puse por encima para evitar conexión entre ellos. Como el espacio era muy reducido tuve que utilizar un cable de un tamaño muy pequeño, el cual dificultaba notablemente la operación.



**Figura 2.44.** Fotografía del par diferencial MIPI\_CLK intercambiados de posición

#### 2.13.4 *Reset*

El pin al cual se conectó el Reset fue el 27, siendo esto un error pues debía estar en el 31 como en la placa de ON-Semi y en la Interposer. La solución fue puentear con un cable el pin 27 donde estaba con el pin 31 donde debería estar.



**Figura 2.45.** Pin 27 puentead con el pin 31 del conector MIPI

### 2.13.5 Memoria SPI Flash (booteo, mirar documentación Arturo)

Una vez solucionados el resto de los problemas mencionados, se llevó a cabo el testeo con los diferentes sensores, a la hora de cargar el firmware en la memoria SPI con el primer sensor no había ningún problema y funcionaba correctamente, sin embargo, al escribirle otro segundo firmware para un sensor diferente, surgía un error que no permitía que funcionara correctamente.

Tras pensar inicialmente que el error provenía de que la memoria SPI fuera defectuosa, se procedió a intercambiarla con una memoria nueva, pero el error seguía apareciendo. Se comprobaron todos los posibles errores que podía tener el PCB pero todo estaba en orden, por consiguiente, realicé una búsqueda por el foro de Cypress y finalmente se halló el problema en cuestión y su solución.

En resumen, lo que comenta en el hilo es que por defecto este modelo de memoria SPI Flash posee sectores híbridos. Esto quiere decir que el dispositivo almacena la imagen de arranque en dos sectores diferenciados. Pues parece ser que el primer sector posee tamaños de página variables y en cambio el segundo sector si posee tamaños de páginas uniformes. Esto se traduce en que al cargar una nueva imagen el borrado de la anterior no es completo y por tanto la nueva imagen no se graba correctamente.

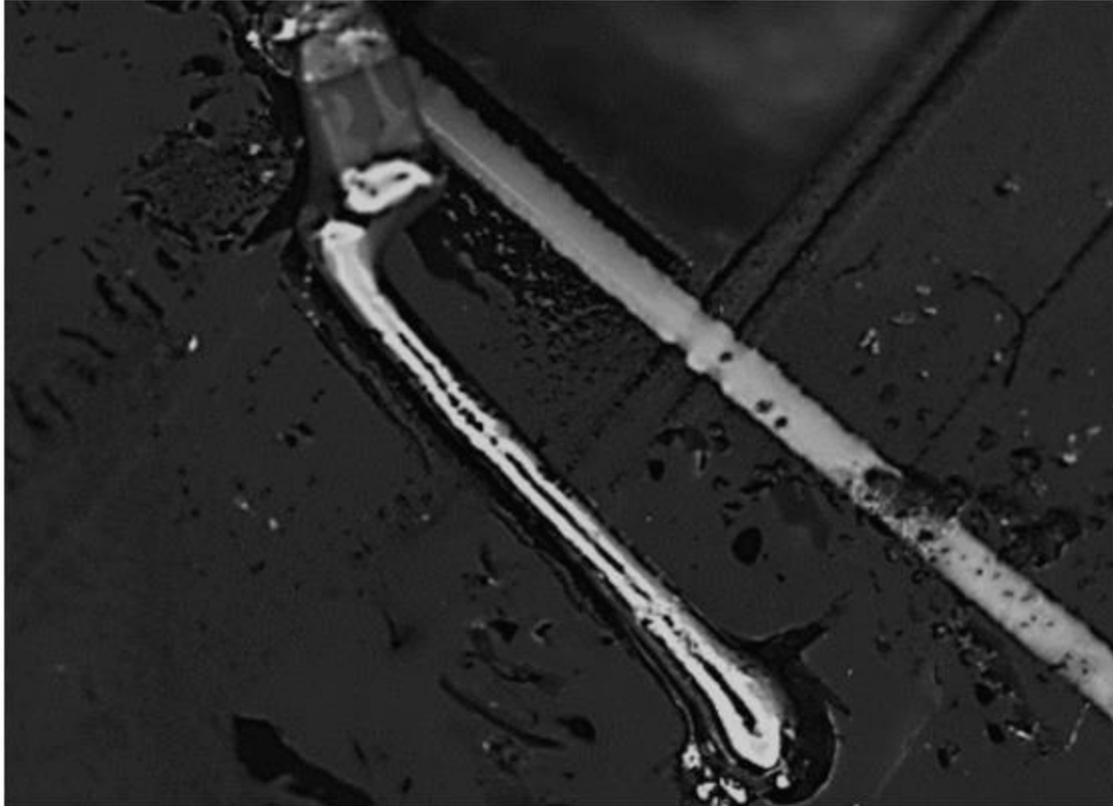
Para solucionar este problema, los ingenieros de Cypress proporcionan el código fuente que genera el *CyBootProgrammer.img*, y recomiendan introducir un parche software al fichero *cyxf-flashprog.c* para permitir borrar de manera eficiente memorias con sectores híbridos.

He [aquí](#) el hilo de Cypress donde se encuentra la solución mencionada, la cual se llevó a cabo.

[6]

### 2.13.6 MIPI\_0\_N

Detectamos que la memoria Flash recibía los datos correctamente en el proceso de escritura de una nueva boot imagen, pero posteriormente enviaba erróneamente el dataframe al CX3 durante el proceso de lectura. Tras una búsqueda por el foro de Cypress [7] encontré un hilo donde indicaba que el par diferencial MIPI tenía un fallo de matcheo y era necesario añadirle un condensador de 330pF para poder compensarlo. Así pues, tras añadirlo lo más cercano al CX3 posible, se consiguió un correcto funcionamiento.



**Figura 2.46.** Fotografía del condensador conectado al par diferencial MIPI\_0\_N y GND

## 2.14 Versión 1.1

### 2.14.1 Cambios y mejoras añadidas (JTAG J-link, DENEbola)

- Se ha cambiado el stack-up de 8 a 6 capas, por un motivo de abaratar costes y utilizar otro fabricante (*Aisler*)
- Se ha cambiado el switch de lugar para que sea más accesible
- Se ha modificado en el diseño todos los problemas que habíamos resuelto en el laboratorio (indicados en el punto 2.12)
- Se ha añadido un conector JTAG para poder hacer proceso de debugging

### 2.14.2 Capturas del diseño en 3D



**Figura 2.47.** Visión 3D del TOP y el BOTTOM del producto definitivo V1.1

Esta versión del PCB no se ha enviado a fabricar. La razón es porque la versión V1.0 con las correcciones manuales realizadas es totalmente funcional, y la empresa por el momento ha decidido no invertir otro presupuesto en esta nueva versión. Al menos hasta que existan más razones para hacerlo, como puede ser un deterioro de los PCB, la necesidad de depuración haciendo uso del conector JTAG incluido.

## Capítulo 3. Diseño Hardware PCB InterposerBoard – Demo3 Bridge CX3

### 3.1 Conectores

Las alimentaciones, que provienen de la Demo 3, están filtradas con un condensador de 10 $\mu$ F con packaging de 1206.

#### 3.1.1 Conector con Demo 3 Bridge CX3

Este conector será el que haga de conexión con la Demo 3 Bridge CX3

Part Number: QFS-026-04.25-L-D-A-RT1

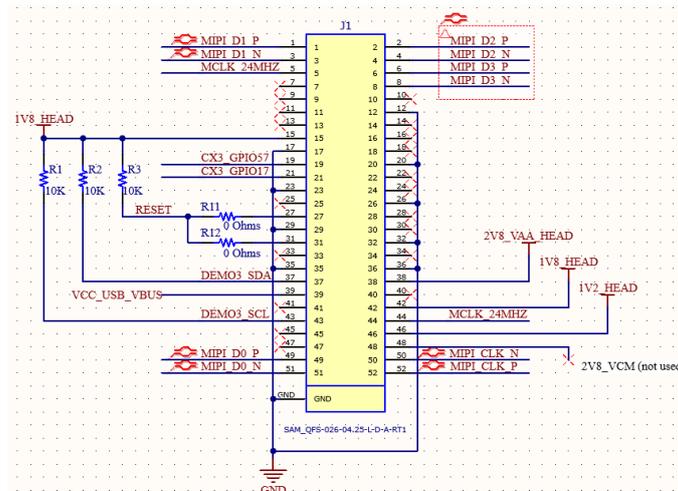


Figura 3.1. Esquemático del conector QFS

#### 3.1.2 Conector con Camboard Vx.2.x

Este conector será el que haga de conexión con cualquiera de las Camboards

Part Number: DF12NB(3.0)-40DP-0.5V(51)

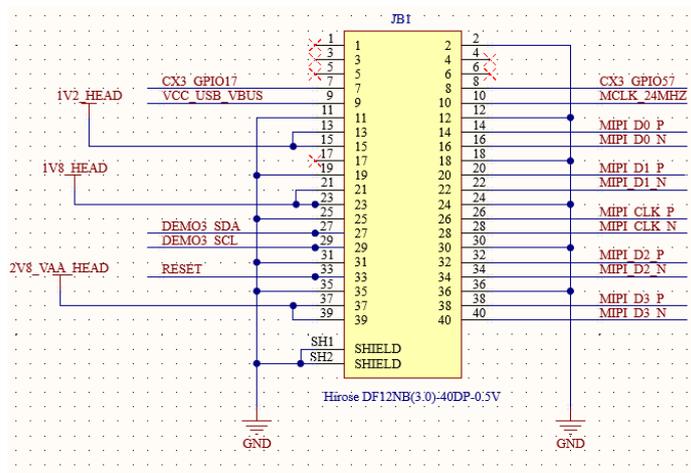


Figura 3.2. Esquemático del conector DF12NB

### 3.2 Stack-up y tecnología

Debido a la baja cantidad de componentes de este PCB, se decidió utilizar un stack-up de 4 capas, puesto que no era necesario disponer de más y al reducir capas se reducía también el coste.

#	Name	Material	Type	Weight	Thickness	Dk
	Top Overlay		Overlay			
	Top Solder	Solder Resist	Solder Mask		0.01mm	3.5
1	Top Layer		Signal	1oz	0.035mm	
	Dielectric1	FR-4	Prepreg		0.18mm	4.8
2	Mid-Layer 1		Signal	1oz	0.035mm	
	Dielectric2	FR-4	Core		0.71mm	4.8
3	Mid-Layer 2	CF-004	Plane	1oz	0.035mm	
	Dielectric3	FR-4	Prepreg		0.18mm	4.8
4	Bottom Layer		Signal	1oz	0.035mm	
	Bottom Solder	Solder Resist	Solder Mask		0.01mm	3.5
	Bottom Overlay		Overlay			

Figura 3.3. Stack-up del PCB Interposeboard

De igual modo, tampoco era necesario disponer de una tecnología de 8D como habíamos seleccionado en el otro PCB, así pues, haciendo un balance de costes con el resto del departamento, se eligió finalmente la tecnología 6D, que ofrecía una calidad óptima para nuestras necesidades y un coste inferior.

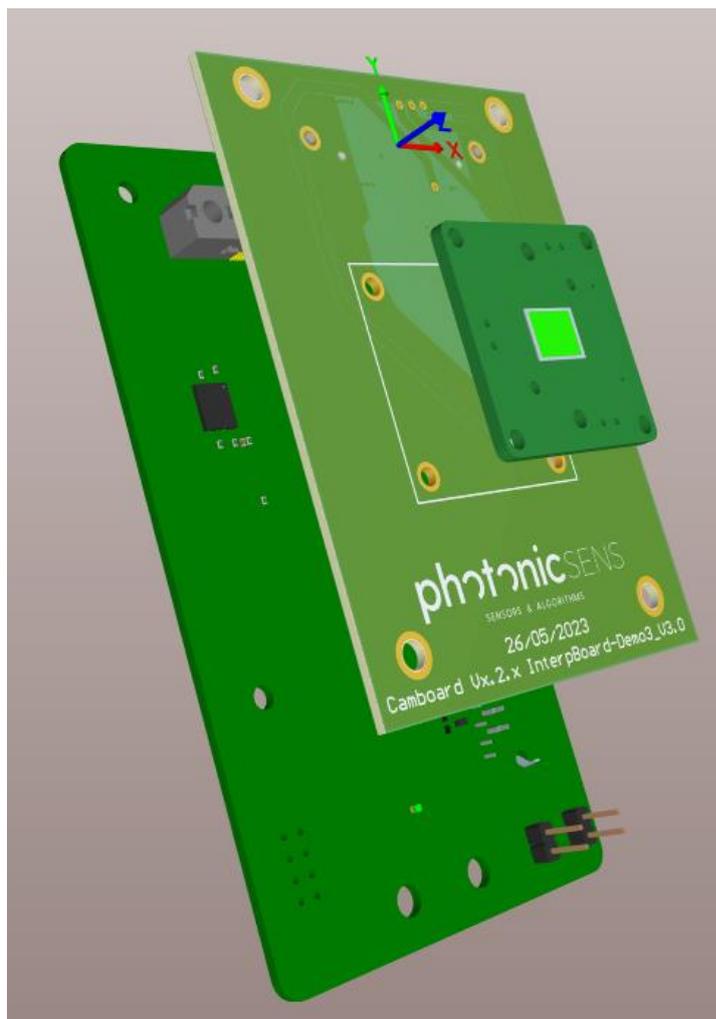
Technology class: 6D

- Outer layer trackwidth (OL-TW): 0.150 mm (Measured: 0.150 mm)
- Outer layer isolation distance (OL-TT-TP-PP): 0.150 mm (Measured: 0.150 mm)
- Outer layer annular ring (OAR): 0.125 mm
- Inner layer trackwidth (IL-TW): 0.200 mm (Measured: 0.200 mm)
- Inner layer isolation distance (IL-TT-TP-PP): 0.150 mm (Measured: 0.150 mm)
- Inner layer annular ring (IAR): 0.125 mm
- Smallest final hole: 0.20 mm (Measured: 0.20 mm)
- Holes <- may be reduced: 0.45 mm
- Hole density: < 1000/dm<sup>2</sup> (Measured: 194/dm<sup>2</sup>)
- Component pad pitch: 0.50 mm (Measured: 0.50 mm)

Figura 3.4. Especificaciones de la tecnología de la placa en *eurocircuits.com*

### 3.3 Factor de forma

El factor de forma de este PCB está estrechamente condicionado por el factor de forma de la Demo 3, ya que son placas que dependen la una de la otra y siempre van a ir unidas. El factor más determinante son los agujeros, los cuatro agujeros que forman un rectángulo deben coincidir perfectamente para poder atornillar una placa con la otra. Por otro lado, para la unión de la Camboard también es necesario hacer otros cuatro agujeros a las medidas exactas de la Camboard.



**Figura 3.5.** Imagen del 3D de la Demo 3 con la Interposer, y con una Camboard

### 3.4 Pasivos

Como ya he explicado en el apartado 2.14.1, este PCB está dotado de resistencias Pull Up para la alimentación de 1V8. Y siguiendo la misma línea que con la Demo 3, las alimentaciones están filtradas con condensadores de cerámica, en este caso de 10 $\mu$ F.

Antes de hacer el arreglo de puentear el pin 27 con el 31 en la Demo 3, correspondientes al Reset, para poder conectar este PCB tanto con la placa de ON-Semiconductor como con nuestra Demo 3, se colocó un par de resistencias jumpers, para poder tener la opción de elegir un pin u otro en función de la placa a la que se fuera a conectar. Esto finalmente no es necesario puesto que ahora ambas Demos tienen el pin 31 como Reset.

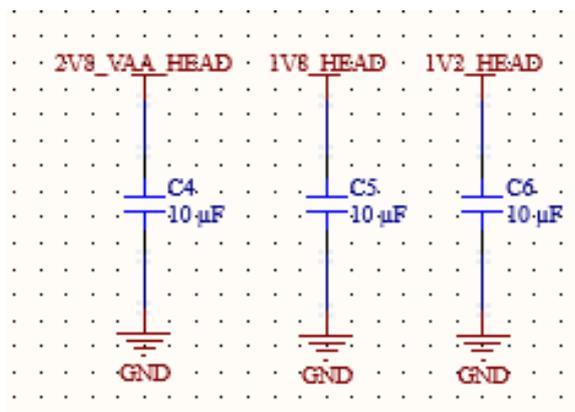


Figura 3.6. Condensadores para filtrar las alimetnaciones

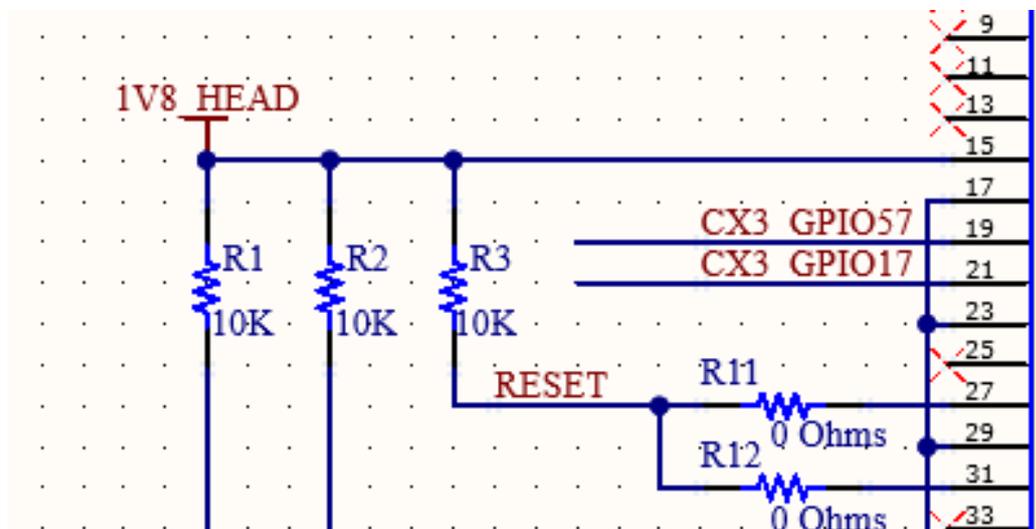


Figura 3.7. Resistencias Pull Up y Jumper

### 3.5 Test points

En el caso de este PCB no solo es interesante poder ver las alimentaciones, puesto que también nos interesa poder ver con el osciloscopio qué está ocurriendo en la comunicación I<sup>2</sup>C (entre el microprocesador y el sensor) y también poder ver las operaciones de lectura/escritura de los registros del sensor durante la inicialización o el cambio de configuración mediante un analizador lógico capaz de decodificar este protocolo.

Las alimentaciones están claramente localizadas en las salidas del conector QFS y van directamente al conector de la Camboard, siendo filtradas por los condensadores cerámicos. De ahí que en este caso se consideró que lo más apropiado era ensanchar las vías y no ponerle *Filling* ni cubrirla con *Solder Mask (tent)* para así conseguir dejar el cobre al aire y poder pinchar fácilmente con cualquier herramienta.

En el caso de los buses del I<sup>2</sup>C esto no era tan sencillo y lo mejor fue poner un conector *thruhole* y excluirlo de la BOM para poder aprovechar los agujeros. También se añadió el Reset para obtener más información interesante para su estudio.

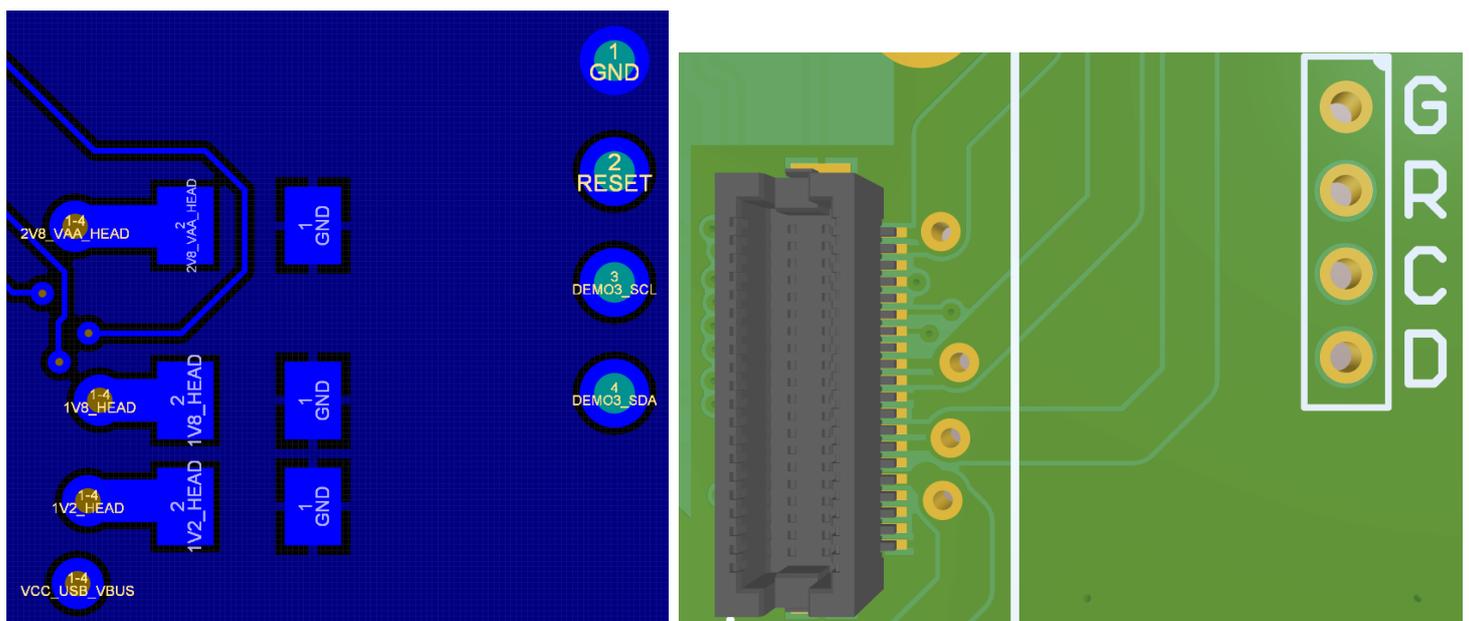
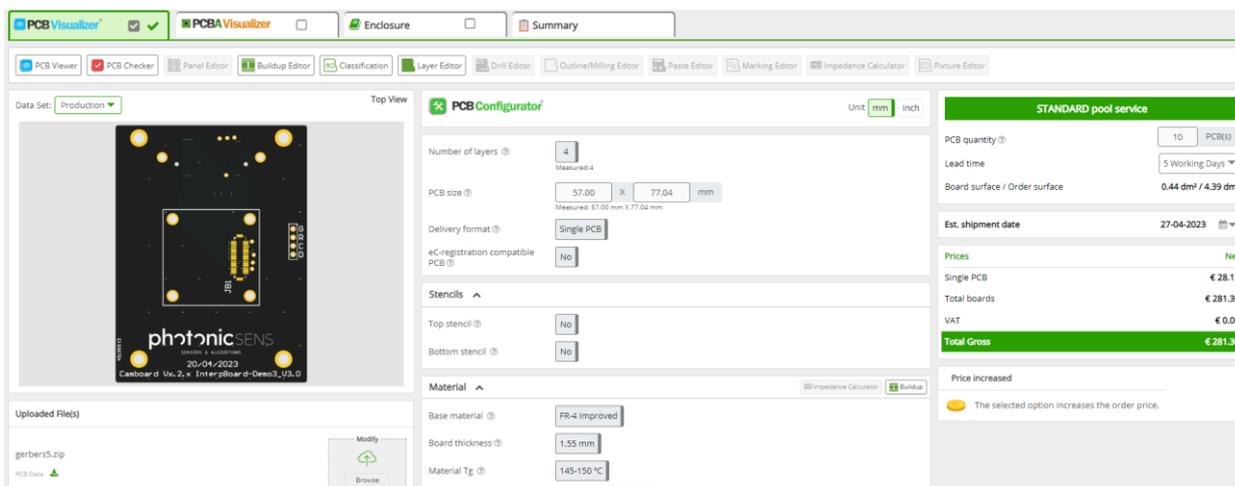


Figura 3.8. Imagen del layout y el 3D de los Tests Points

### 3.6 Costes

Dado que la cantidad de componentes de este PCB es muy reducida y el precio de ensamblaje es fijo y caro, decidí optar por no pedir ensamblaje en la fabricación del PCB, y sería yo quien me encargaría de hacer el *pick and place* de los componentes con ayuda de las herramientas del laboratorio. Los componentes no hicieron falta comprarlos puesto que había stock en el almacén de la empresa.

De esta manera, el coste para 10 placas es de **281.3€**



The screenshot shows the PCB Configurator interface with a 'Summary' tab selected. The main configuration area shows 4 layers, a size of 57.00 x 77.04 mm, and a delivery format of 'Single PCB'. The material is FR-4 improved with a thickness of 1.55 mm and a Tg of 145-150 °C. The right-hand panel displays the cost summary for 10 PCBs under 'STANDARD pool service'.

STANDARD pool service	
PCB quantity	10 PCB(s)
Lead time	5 Working Days
Board surface / Order surface	0.44 dm <sup>2</sup> / 4.39 dm <sup>2</sup>
Est. shipment date	27-04-2023
Prices	
	Net
Single PCB	€ 28.13
Total boards	€ 281.30
VAT	€ 0.00
<b>Total Gross</b>	<b>€ 281.30</b>

Below the price table, there is a 'Price increased' section with a warning icon and the text: 'The selected option increases the order price.'

**Figura 3.9.** Resumen de coste del PCB

### 3.7 Errores encontrados durante el testeo

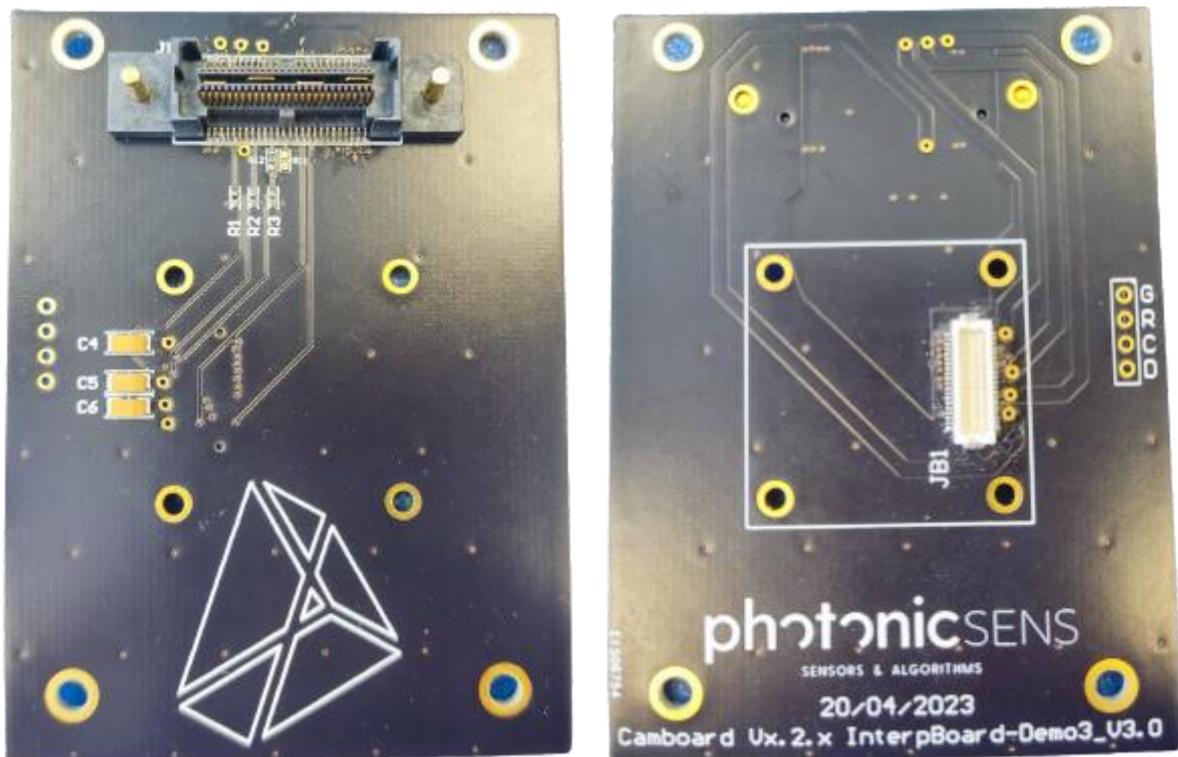
Llevé a cabo el mismo procedimiento que para la Demo 3, en primer lugar, comprobar continuidad, es decir, que no existan cortocircuitos, y seguidamente ver los niveles de voltaje de las alimentaciones. No encontré ningún error en estas dos pruebas de testeo, pasé al siguiente paso que era comprobar su funcionamiento junto con la Demo3 y las tres Camboards.

El funcionamiento resultó ser exitoso,

La baja complejidad de la placa hizo que la probabilidad de error fuera muy reducida.

### 3.8 Producto definitivo

Como he descrito en el apartado 3.6, el pedido de fabricación de este PCB no incluyó *pick and place*, por tanto, tuve que montar los PCBs con ayuda del soldador, el microscopio, la cama de calor y diferentes materiales como estaño y flux, quedando el producto definitivo mostrado a continuación.



**Figura 3.10.** Fotografía del TOP y el BOTTOM del producto definitivo

## Capítulo 4. Camboards

Los siguientes tres PCBs son compatibles con el InterposerBoard Bridge CX3, y recoge los 3 sensores con los que actualmente trabaja la compañía.

El proceso de unión del sensor con el pcb se realiza en la sala limpia mediante un proceso semiautomático con el instrumento de bonado *tpt HB16*.

Y respecto a la óptica, se coloca mediante otro proceso en la sala gris, con ayuda del setup de la figura 2.X donde también se utiliza la Demo 3 Bridge CX3.

### 4.1 Camboard V2.2.x

PCB diseñado para contener el sensor AR1335 del fabricante ON-Semiconductor.



Figura 4.1. Fotografía del PCB Camboard V2.2.2. con óptica

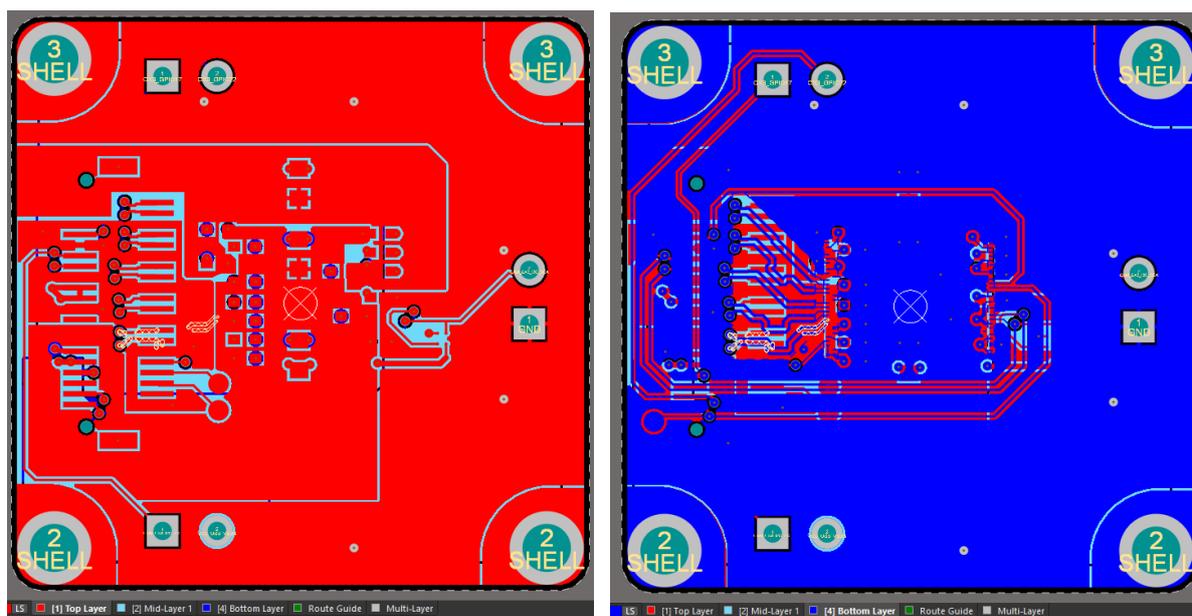


Figura 4.2. Captura del diseño del Camboard V2.2.2.

## 4.2 Camboard V5.2.x

PCB diseñado para contener el sensor AR2020 del fabricante ON-Semiconductor.

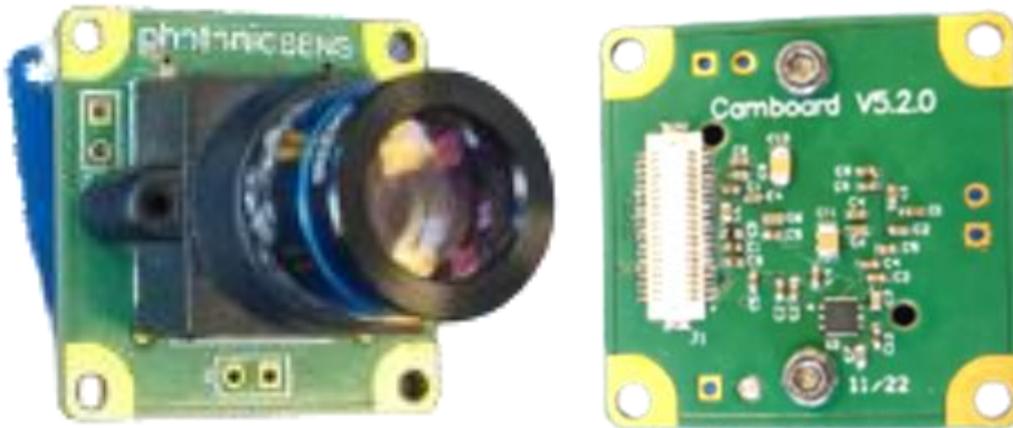


Figura 4.3. Fotografía del PCB Camboard V5.2.0. con óptica

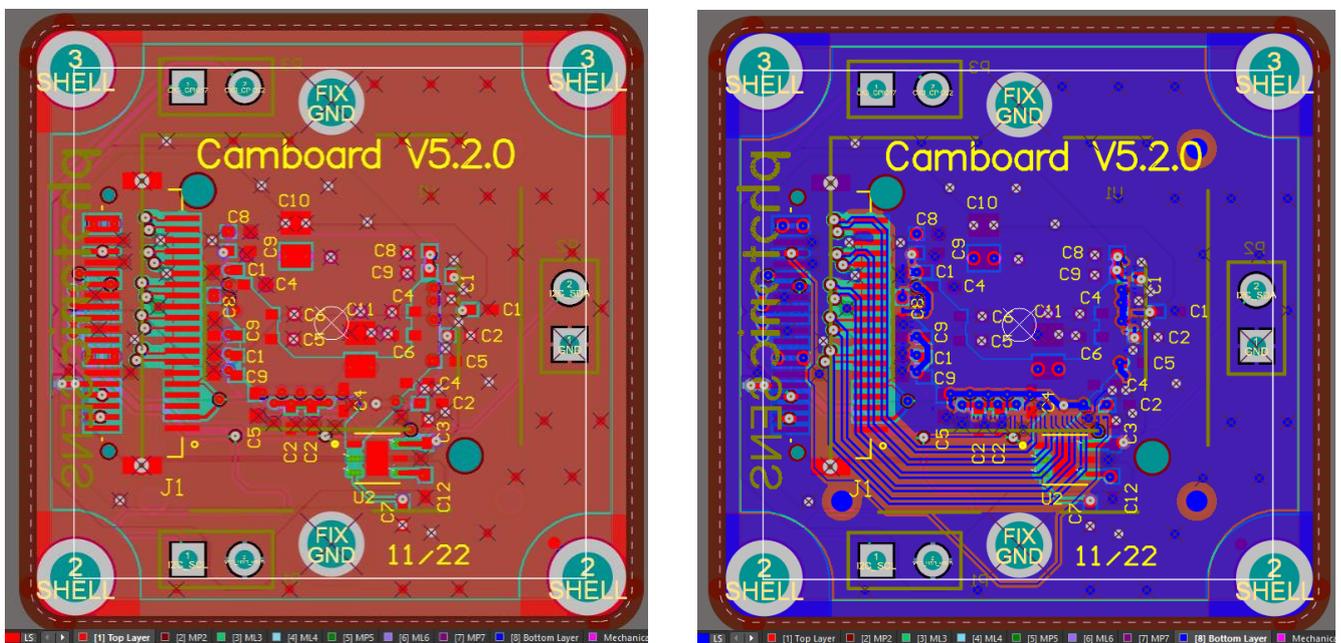


Figura 4.4. Captura del diseño del PCB Camboard V5.2.0.

### 4.3 Camboard V6.2.x

Este Camboard ha sido el último en fabricarse, en la figura 4.X se puede apreciar el sensor IMX283 de SONY bonchado sin óptica y con un mecanizado justamente para evitar que se rompan los cables del bonchado puesto que estos son de  $16\mu\text{m}$  y hay más de 120 conexiones y se pueden romper con mucha facilidad.



Figura 4.5. Fotografía del PCB Camboard V6.2.0. sin óptica y con mecanizado

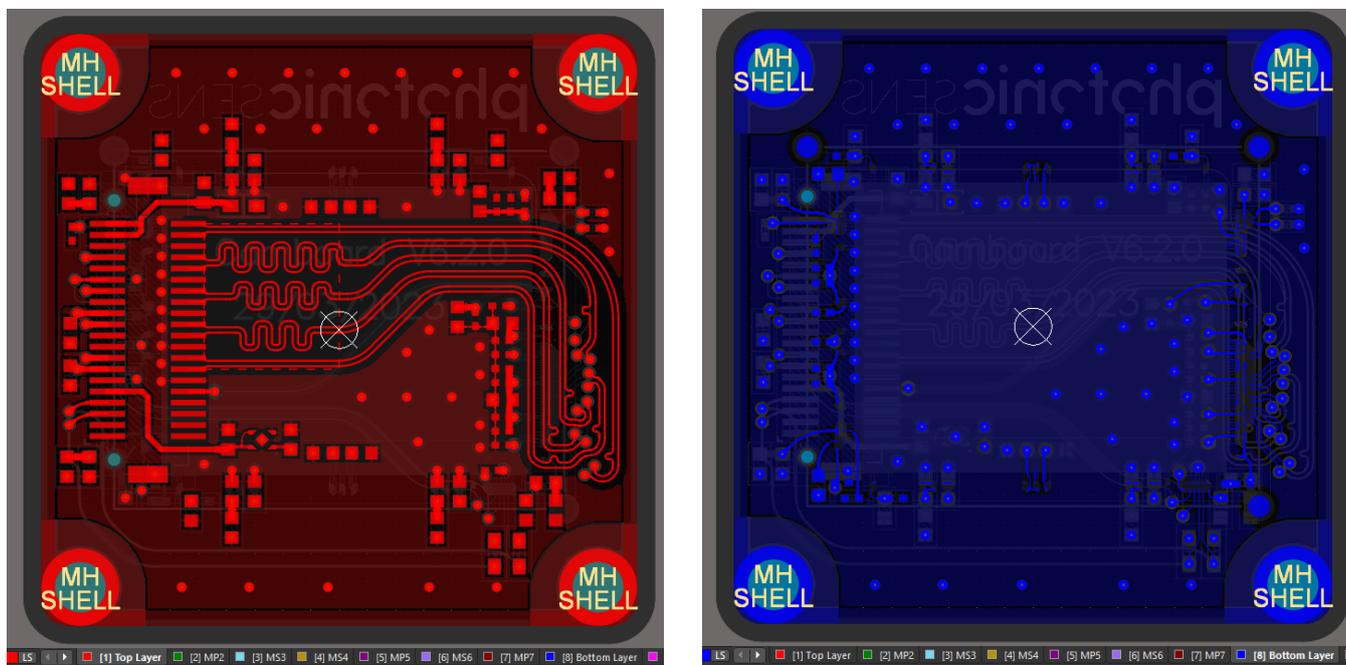


Figura 4.6. Captura del diseño del PCB Camboard V6.2.0.



## Bibliografía

- [1] photonicSENS. “Products” URL: <https://photronicsens.com/products/>
- [2] <https://www.youtube.com/@AltiumAcademy/videos>
- [3] <https://www.youtube.com/@RobertFeranec/videos>
- [4] Texas Instruments “High-Speed Layout Guidelines for Signal Conditioners and USB Hubs”. Application Report, SLLA414 – August 2018
- [5] Ying-Ern Ho, Hao-han Hsu, Jaejin Lee. “Optimal decoupling strategy to suppress radio frequency interference (RFI) from double data-rate (DDR) memory power-plane radiation” - 1 August 2017 URL: [https://www.semanticscholar.org/paper/Optimal-decoupling-strategy-to-suppress-radio-\(RFI\)-Ho-Hsu/13566a5b6f43ef72d151d8d43c02b13853087638](https://www.semanticscholar.org/paper/Optimal-decoupling-strategy-to-suppress-radio-(RFI)-Ho-Hsu/13566a5b6f43ef72d151d8d43c02b13853087638)
- [6] <https://community.infineon.com/t5/Knowledge-Base-Articles/FX3-Error-in-CyU3PDmaMultiChannelCommitBuffer-code-71/ta-p/251093#>
- [7] <https://community.infineon.com/t5/USB-superspeed-peripherals/Initially-MIPI-errors-while-receiving-image-in-CX3/td-p/363923>



## Conclusiones y propuestas de trabajo futuro

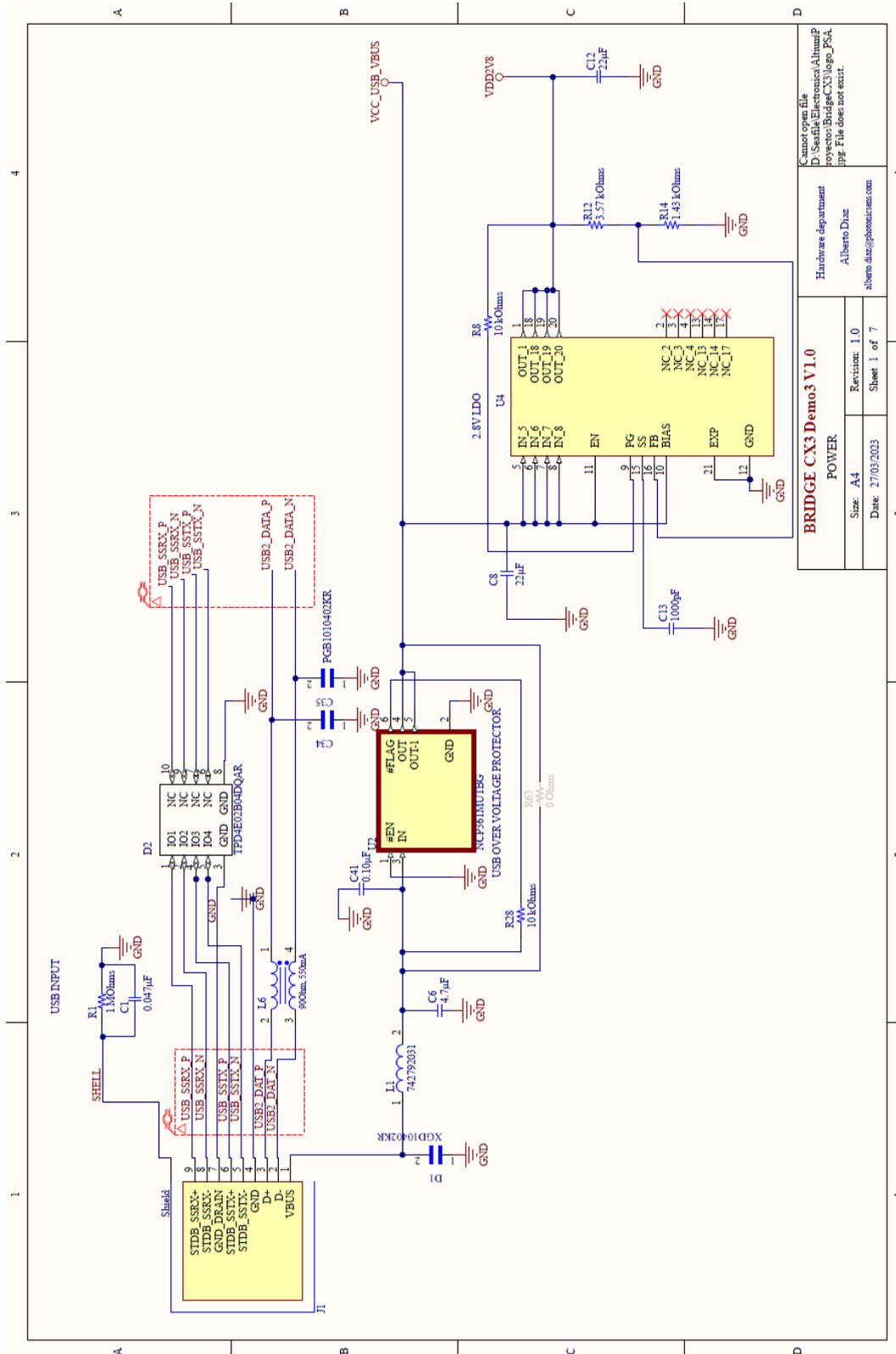
La solución adoptada cumple con los objetivos planteados inicialmente, siendo en primer lugar una placa funcional que cumple con el factor de forma requerido para los robots de la línea de producción. Además, es compatible entre diferentes sensores CMOS, siendo capaz de hacer de interfaz entre el protocolo MIPI CSI-2 de 4 lanes y USB3.0.

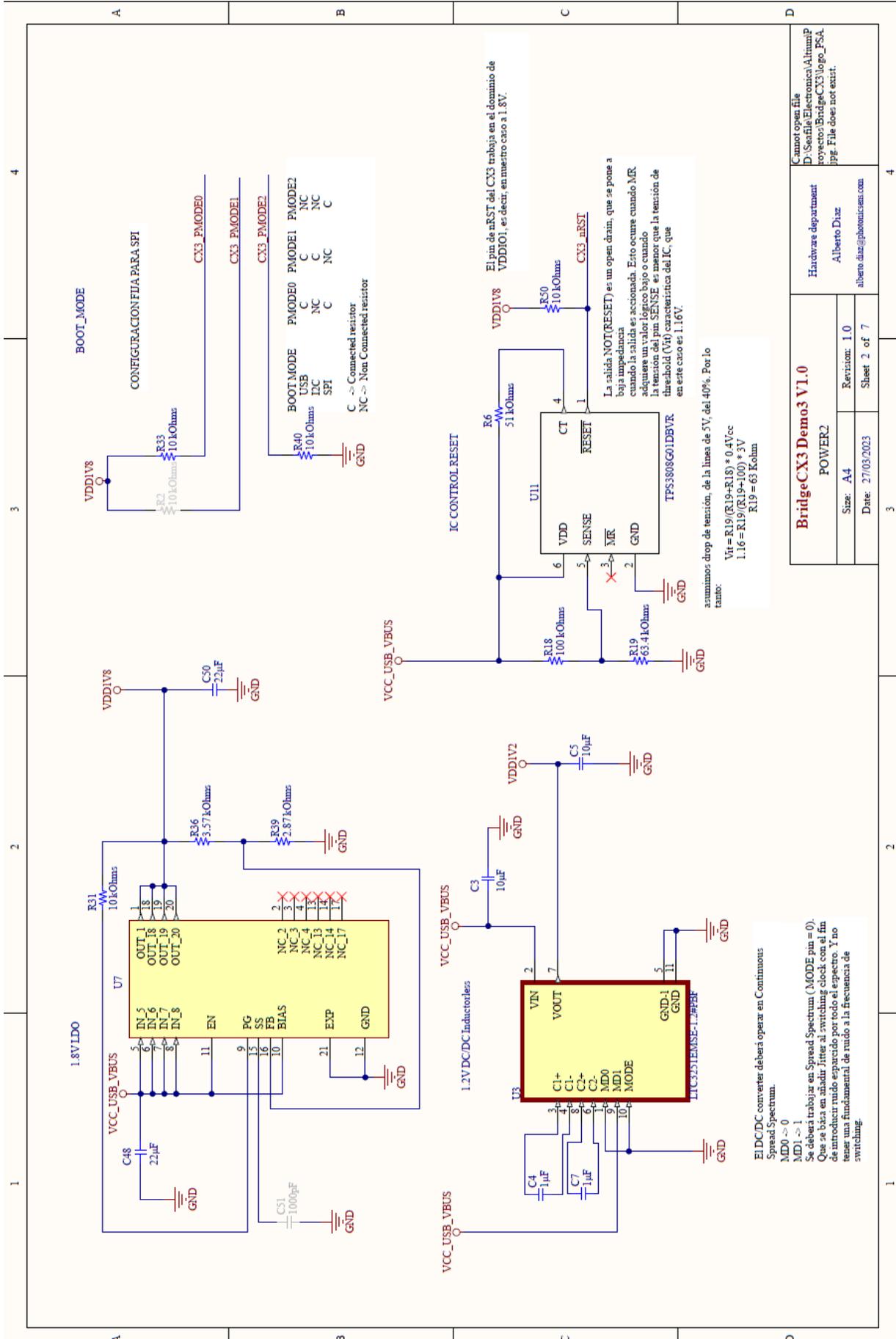
Dadas las circunstancias en las cuales se ha realizado este proyecto, dicha solución se puede considerar ajustada a los recursos y necesidades.

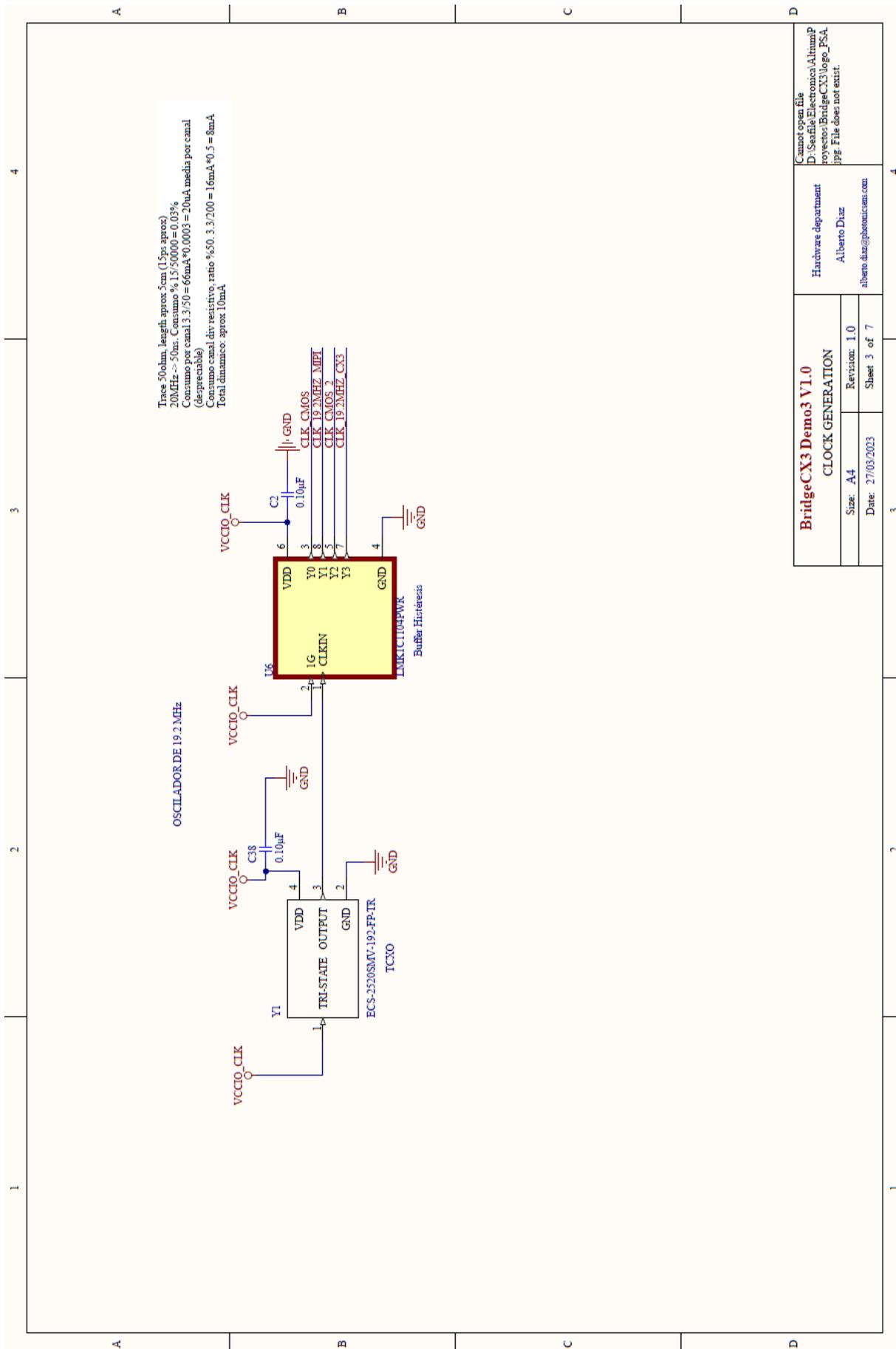
Como línea de trabajo futuro, la solución propuesta del diseño de un nuevo sistema empleando una FPGA o microprocesador Linux embebido sería la progresión más directa para llevar a cabo. Pese que sería necesario disponer de más recursos, tiempo y un equipo de ingenieros.

## Capítulo 5. Anexos

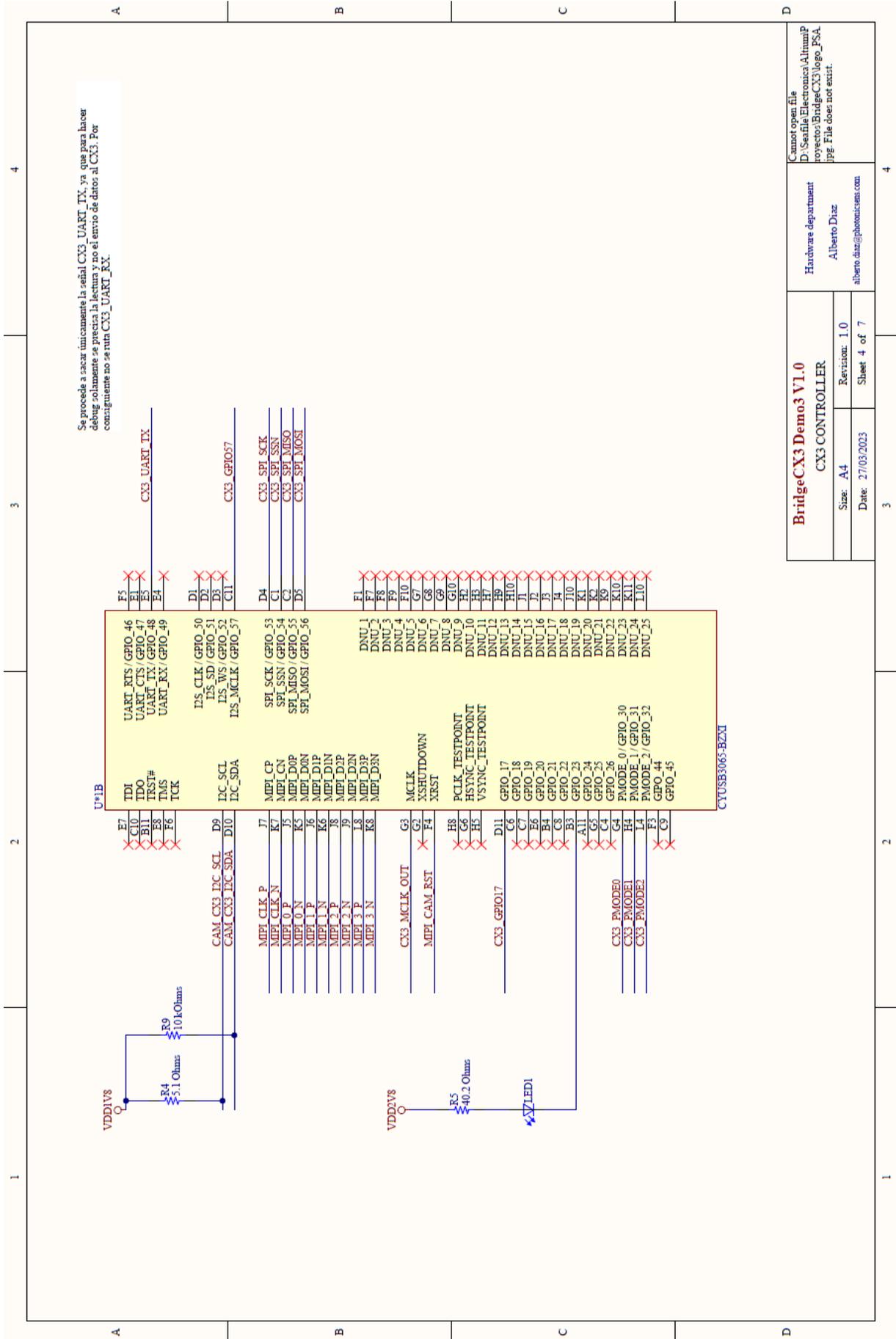
### 5.1 Esquemáticos Demo3 BridgeCX3 V1.0







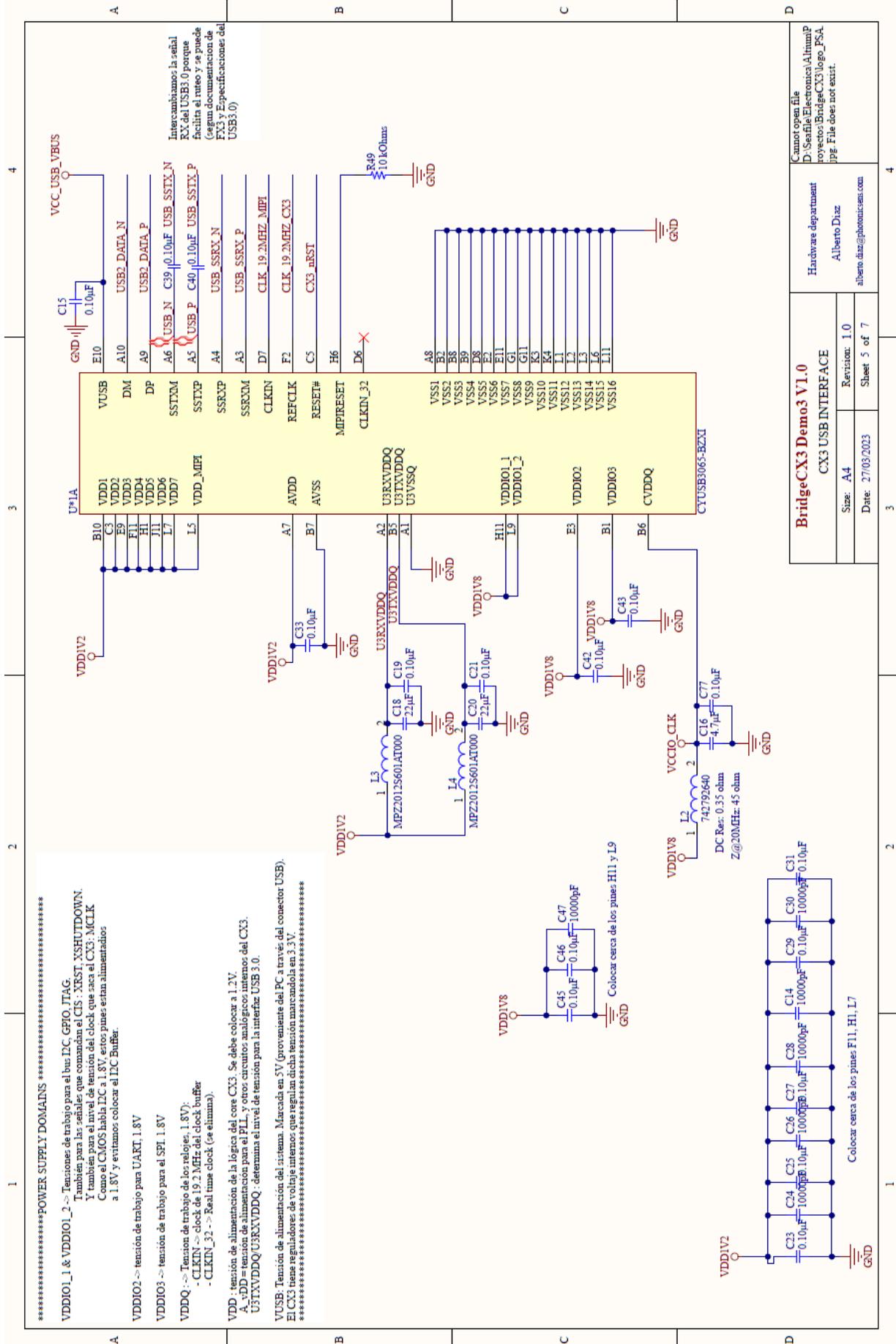
<b>BridgeCX3 Demo3 V1.0</b>		Cannot open file D:\Seafile\Electronica\AlhamaP proyectos\BridgeCX3\logo_PSA. jpg. File does not exist.	
Hardware department Alberto Diaz alberto.diaz@politecnico.com			
Size: A4	Revision: 1.0		
Date: 27/03/2023	Sheet 3 of 7		

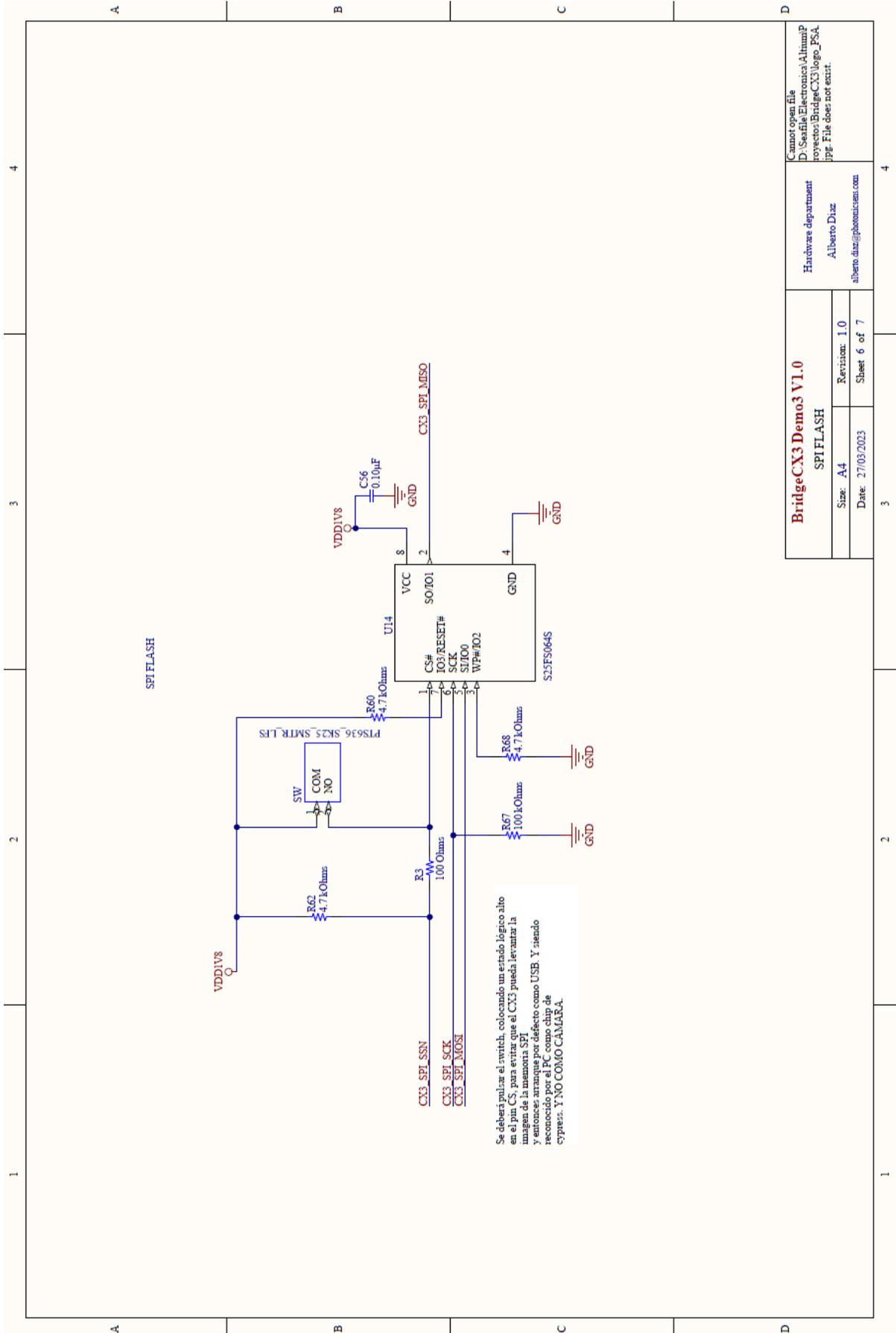


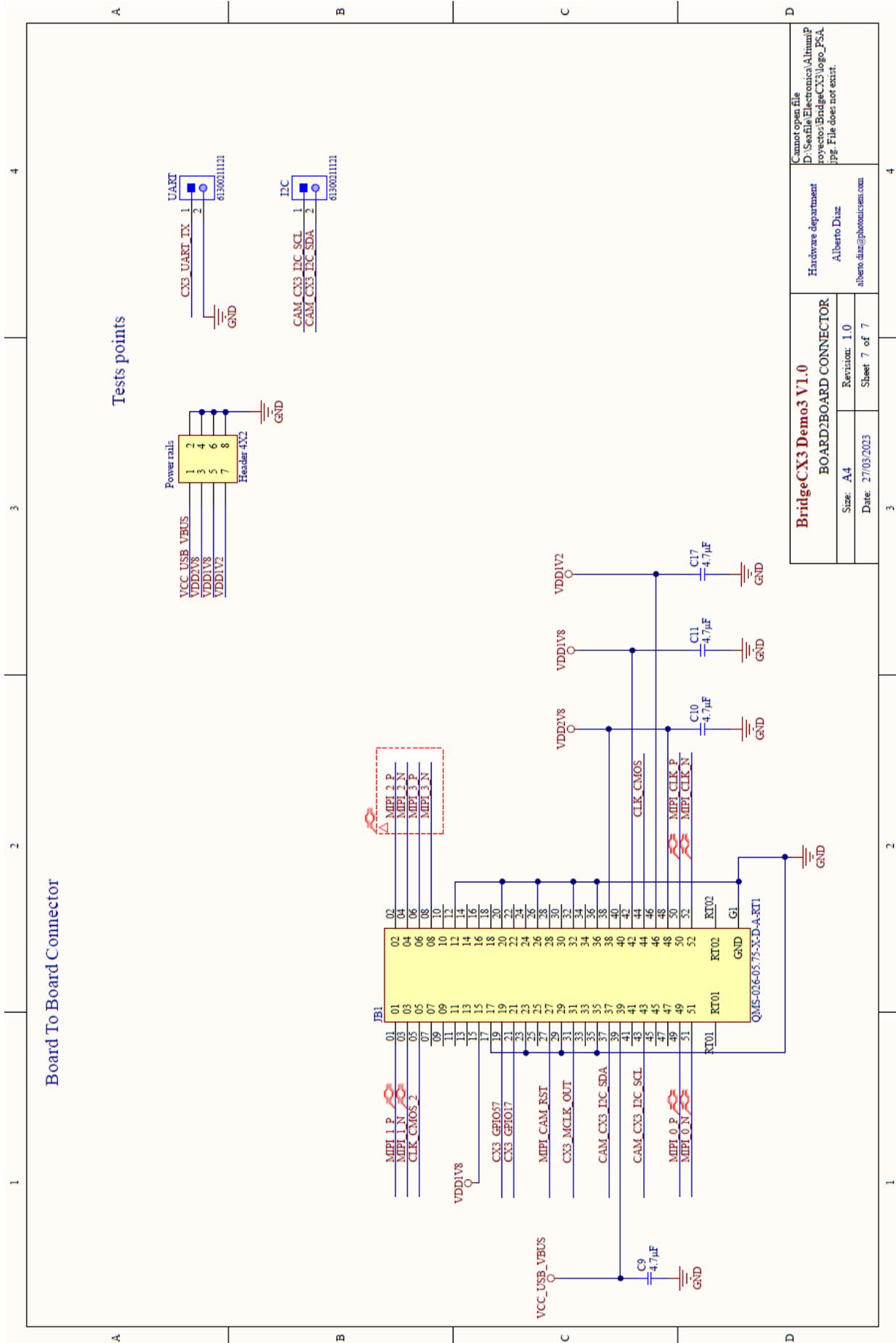
**BridgeCX3 Demo3 V1.0**  
CX3 CONTROLLER

Hardware department  
Alberto Diaz  
alberto.diaz@upvnet.com

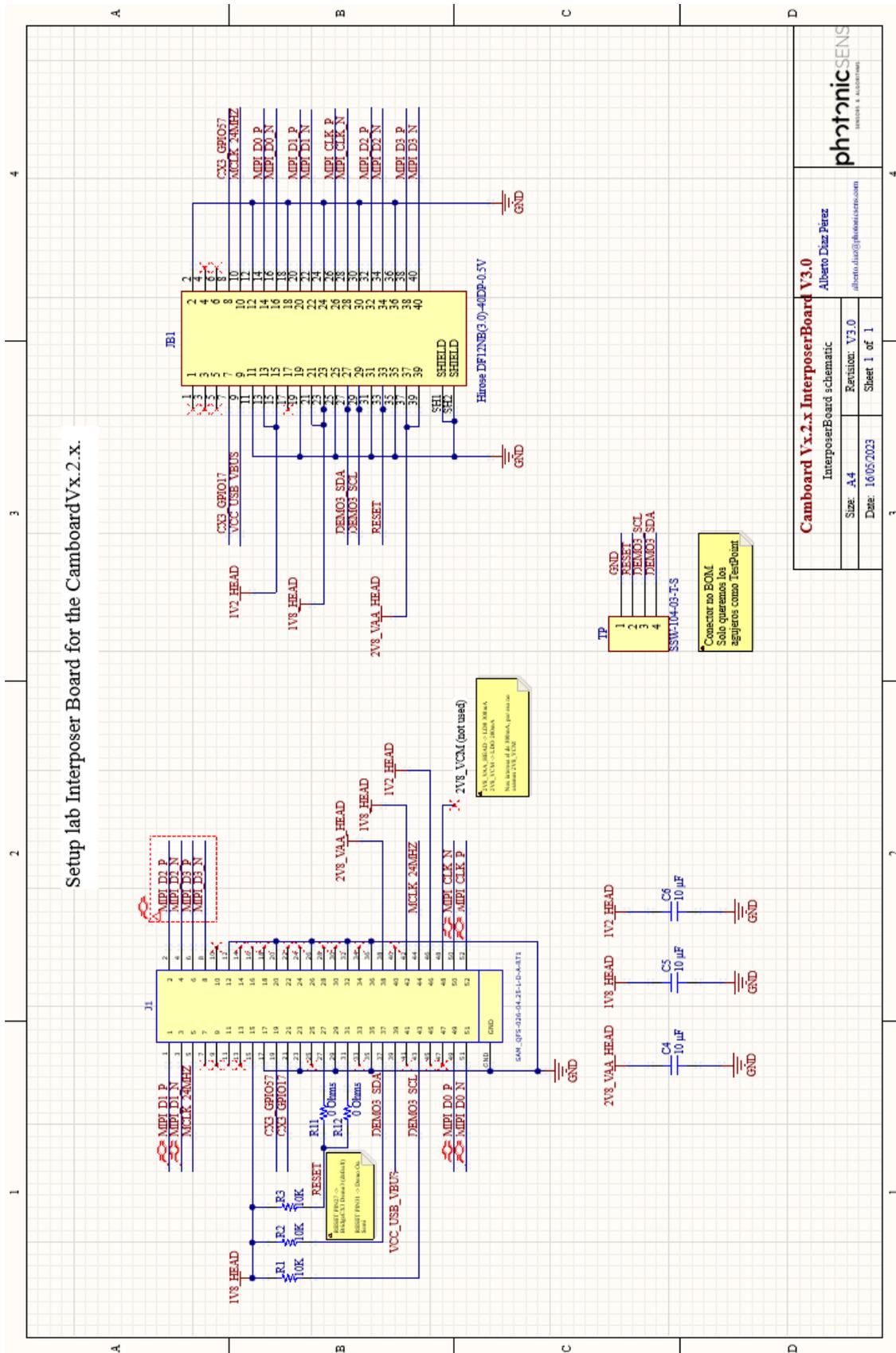
Size: A4      Revision: 1.0  
Date: 27/03/2023      Sheet 4 of 7



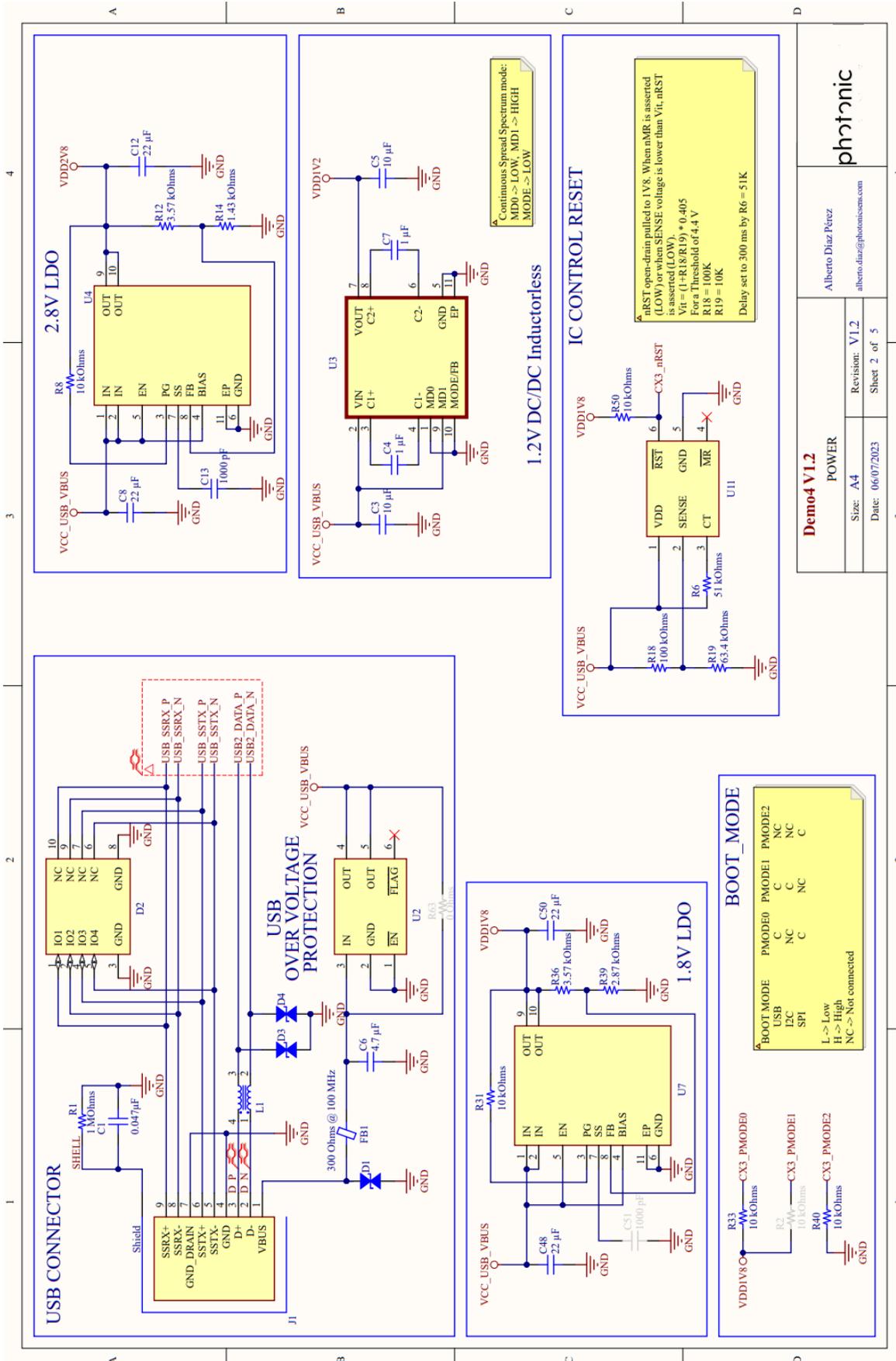


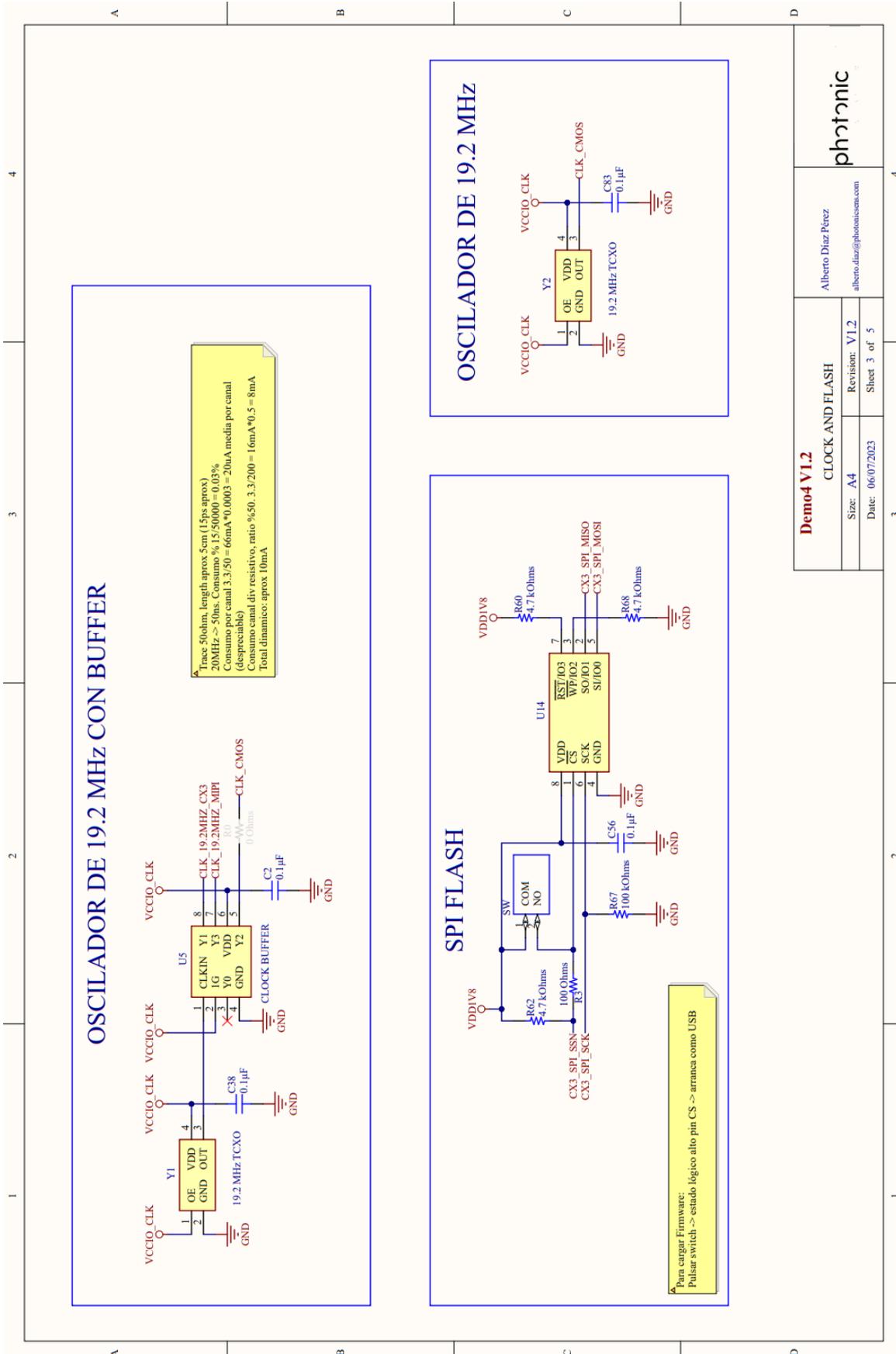


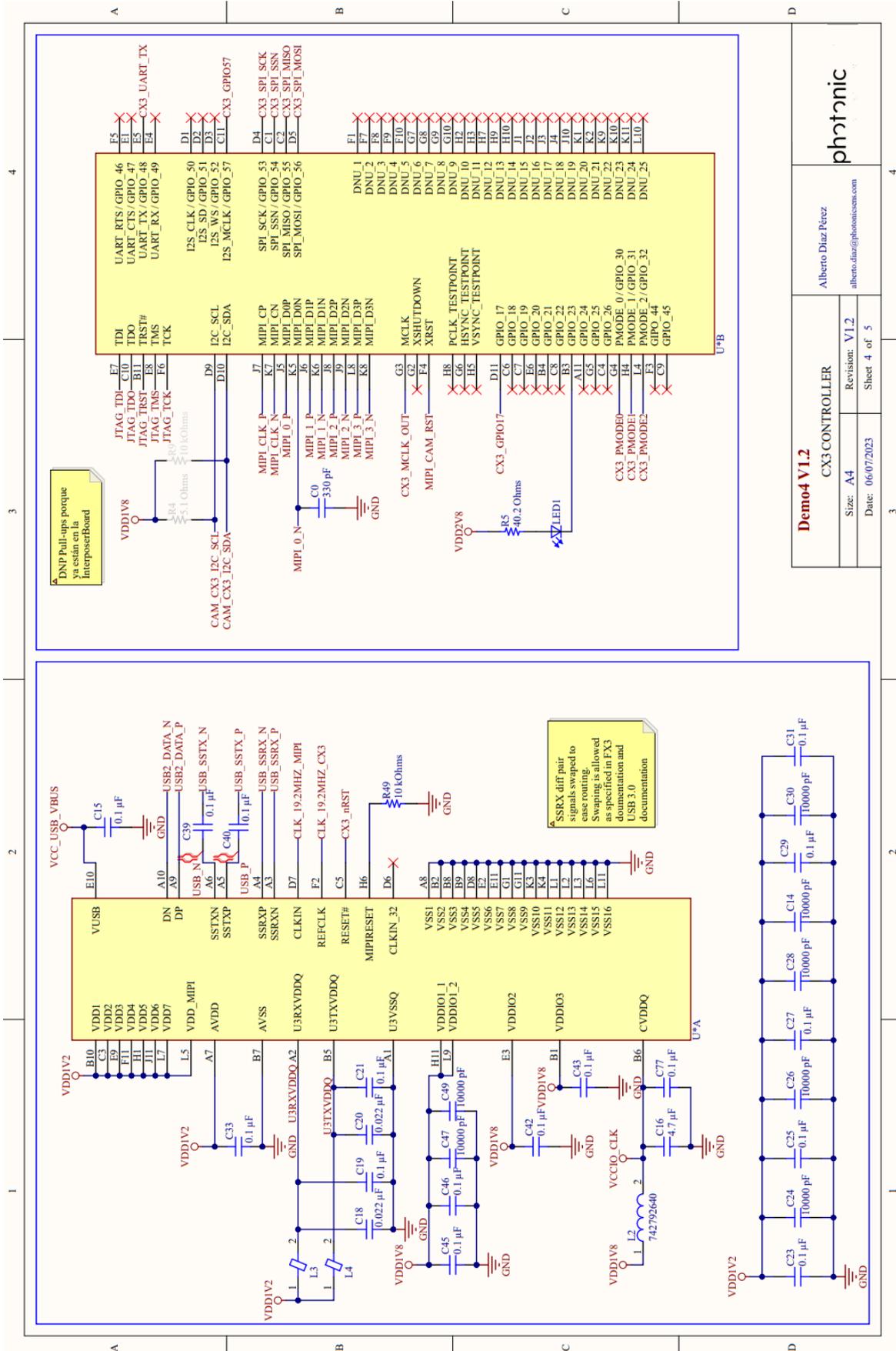
## 5.2 Esquemáticos Interposerboard



### 5.3 Esquemáticos Demo3 BridgeCX3 V1.1





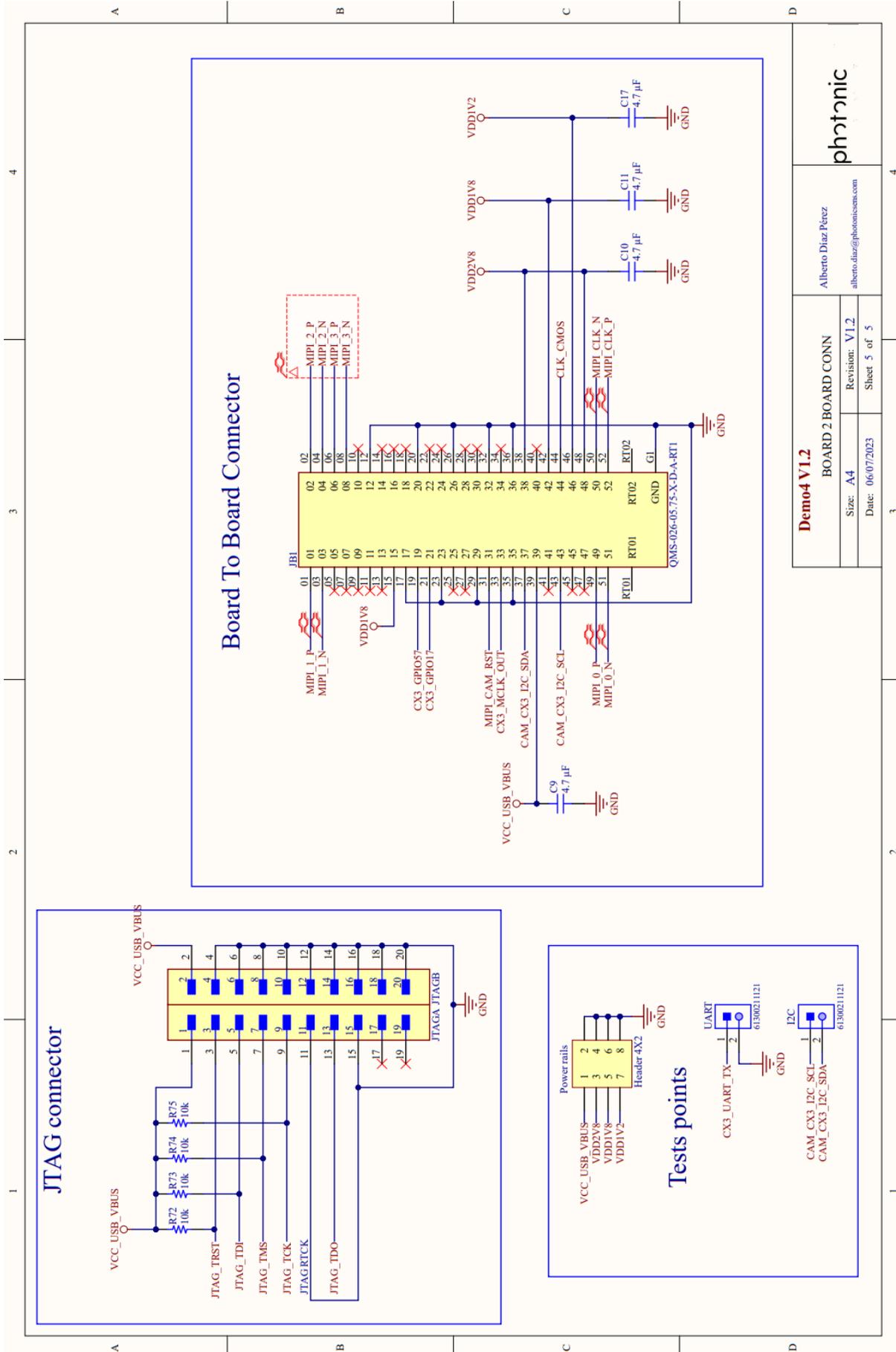


**photonics**

Alberto Diaz Pirez  
alberto.diaz@photonics.com

**Demo4 V1.2**  
CX3 CONTROLLER

Size: A4	Revision: V1.2
Date: 06/07/2023	Sheet 4 of 5



<b>Demo4 V1.2</b>		<b>photonics</b>	
BOARD 2 BOARD CONN		Alberto Diaz Pérez alberto.diaz@photonics.com	
Size: A4	Revision: V1.2		
Date: 06/07/2023	Sheet: 5 of 5		