

Índice

RESUMEN	1
ABSTRACT	2
1 PRESENTACIÓN	3
1.1 Fundamentos y motivación	3
1.2 Objetivos	5
1.3 Desarrollo	6
2 GENERALIDADES DE LOS SISTEMAS TOLERANTES A FALLOS	9
2.1 Definiciones básicas	9
2.2 Atributos de la Confiabilidad	11
2.3 Impedimentos de la Confiabilidad	12
2.3.1 Averías	12
2.3.2 Errores	14
2.3.3 Fallos	14
2.3.4 Patología de los fallos	16
2.4 Medios para alcanzar la Confiabilidad	18
2.4.1 Tolerancia a fallos	18
2.4.2 Eliminación de fallos	19
2.4.3 Predicción de fallos	21
2.4.4 Dependencias entre los medios para alcanzar la Confiabilidad	22
2.5 Confiabilidad y Tolerancia a fallos	23
2.6 Confiabilidad y Validación	24
2.7 Tolerancia a fallos y Validación experimental	24
2.8 Validación experimental e Inyección de fallos	25
2.9 Resumen y conclusiones	28
3 TÉCNICAS DE INYECCIÓN DE FALLOS	31
3.1 Introducción	31
3.2 Inyección de fallos mediante simulación	33
3.2.1 Nivel tecnológico	35
3.2.2 Nivel de transistor	36
3.2.3 Nivel lógico	36

3.2.4 Nivel de transferencia entre registros (RT)	37
3.2.5 Nivel de sistema	38
3.2.6 Emulación de fallos con FPGA	40
3.3 Inyección de fallos implementada mediante <i>hardware</i>	41
3.3.1 Inyección de fallos externa	42
3.3.2 Inyección de fallos interna	43
3.4 Inyección de fallos implementada mediante <i>software</i>	45
3.5 Comparación de las técnicas de inyección de fallos	51
3.5.1 Genericidad	52
3.5.2 Accesibilidad y controlabilidad	53
3.5.3 Neutralidad	53
3.5.4 Automatización	54
3.5.5 Precisión	54
3.5.6 Coste	55
3.5.7 Conclusión	56
3.6 La inyección de fallos en el futuro	56
3.7 Resumen y conclusiones	58
4 MODELOS DE FALLOS	59
4.1 Introducción	59
4.2 Mecanismos de fallo y modelos en los niveles lógico y RT	61
4.2.1 Introducción	61
4.2.2 Fallos permanentes	61
4.2.3 Fallos intermitentes	63
4.2.4 Fallos transitorios	63
4.3 Influencia de las nuevas tecnologías submicrónicas en los mecanismos y modelos de fallos en los niveles lógico y RT	65
4.3.1 Fallos permanentes	65
4.3.2 Fallos intermitentes	78
4.3.3 Fallos transitorios	79
4.4 Resumen y conclusiones	86
4.5 Trabajo futuro	87
5 TÉCNICAS DE INYECCIÓN DE FALLOS MEDIANTE SIMULACIÓN DE MODELOS EN VHDL	89
5.1 Introducción	89
5.2 Características del lenguaje VHDL	90
5.2.1 Descripción general del lenguaje VHDL	90
5.2.2 Elementos del VHDL útiles para la inyección de fallos	92

5.3 Inyección mediante órdenes del simulador	94
5.4 Inyección mediante modificación del modelo en VHDL	96
5.4.1 Perturbadores	96
5.4.2 Mutantes	117
5.4.3 Otras técnicas	130
5.5 Comparación de las diferentes técnicas	131
5.6 Ejemplos de herramientas y otras aportaciones	132
5.7 Resumen y conclusiones	139
5.8 Trabajo futuro	140
6 LA HERRAMIENTA DE INYECCIÓN DE FALLOS VFIT	141
6.1 Antecedentes	141
6.1.1 Fases de la inyección de fallos	142
6.1.2 Inconvenientes del prototipo original	143
6.2 Características	144
6.2.1 Características generales	144
6.2.2 Especificaciones técnicas	146
6.3 Estructura	147
6.3.1 Librería de inyectores en VHDL	149
6.3.2 ASL-Árbol lexicográfico del modelo	149
6.3.3 Interfaz Gráfica-Ficheros de configuración	149
6.3.4 Librería de <i>macros</i> de inyección	151
6.3.5 Gestor de la Inyección- <i>Macro</i> de inyección	152
6.3.6 Analizador de Resultados	152
6.3.7 Configuración	155
6.4 Optimización del tiempo de simulación	155
6.5 Ejemplos de aplicación de VFIT	156
6.5.1 Ejemplo de análisis del síndrome de error	156
6.5.2 Ejemplo de validación de un sistema tolerante a fallos	168
6.6 Situación actual	182
6.7 Comparación de VFIT con otras herramientas similares	183
6.8 Resumen y conclusiones	185
6.9 Trabajo futuro	186
7 EXPERIMENTOS DE INYECCIÓN REALIZADOS	187
7.1 Introducción	187

7.2 Descripción de los modelos sobre los que se ha aplicado VFIT	188
7.2.1 Sistema no tolerante a fallos basado en el procesador MARK2	188
7.2.2 Sistema tolerante a fallos basado en el procesador MARK2	190
7.2.3 Microcontrolador PIC	193
7.2.4 Microcontrolador 8051	195
7.2.5 Controlador de comunicaciones TTP/C-C1	196
7.3 Experimentos de calibración de la herramienta	200
7.3.1 Experimentos realizados sobre el sistema MARK2	201
7.3.2 Experimentos realizados sobre el sistema MARK2 tolerante a fallos	204
7.4 Experimentos de validación	205
7.4.1 Experimentos realizados sobre el sistema MARK2 tolerante a fallos	205
7.4.2 Experimentos realizados sobre el microcontrolador de comunicaciones TTP TM /C-C1	216
7.5 Análisis de la representatividad de los modelos de fallos a nivel RT	221
7.5.1 Experimentos realizados sobre el microcontrolador PIC16C5X	221
7.5.2 Experimentos realizados sobre el microcontrolador MC8051	227
7.6 Resumen y conclusiones	230
7.7 Trabajo futuro	231
8 CONCLUSIONES Y TRABAJO FUTURO	233
8.1 Conclusiones	233
8.1.1 Representatividad de los modelos de fallos	233
8.1.2 Inyección de fallos sobre modelos en VHDL	234
8.1.3 Realización de la herramienta de inyección	237
8.1.4 Aplicación de la herramienta	238
8.2 Resultados de investigación	238
8.2.1 Publicaciones	239
8.2.2 Referencias	240
8.3 Trabajo futuro	241
APÉNDICE A FUNCIONES DE DISTRIBUCIÓN DE FALLOS	243
A.1 Conceptos básicos	243
A.2 Distribución Exponencial	244
A.3 Distribución Uniforme	245
A.4 Distribución Normal	245
A.5 Distribución Lognormal	246
A.6 Distribución Rayleigh	247

A.7 Distribución Weibull	248
A.8 Distribución Gamma	249
BIBLIOGRAFÍA	251