



UNIVERSIDAD
POLITECNICA
DE VALENCIA



Máster Universitario
en Tecnologías, Sistemas y
Redes de Comunicaciones

Solución de encapsulado para chips fotónicos en Silicio con múltiples conexiones ópticas y eléctricas

Autor: Mercé Llopis Ferrer

Director 1: Pablo Sanchís Kilders

Director 2: Giovan Battista Preve

Fecha de comienzo: 01/01/2011

Lugar de trabajo: Centro de Tecnología Nanofotónica de Valencia (NTC)

Objetivos —

El objetivo de este trabajo es demostrar una solución de encapsulado con múltiples puertos que integre tecnología fotónica sobre silicio y tecnología electrónica. Concretamente se va a demostrar un encapsulado con acoplo vertical mediante *grating couplers* y *fiber arrays* pero manteniendo una orientación horizontal, utilizando para ello un soporte metálico que habrá que diseñar y fabricar para montar sobre sus lados los chips ópticos de forma perpendicular a las fibras. En el caso de aplicaciones que requieran conexiones eléctricas para los chips fotónicos, el circuito eléctrico se situará en la parte de arriba del soporte y se realizarán las interconexiones mediante técnicas de wire bonding.

Metodología —

-Diseño de estructuras: Previamente a la fabricación de las muestras se llevó a cabo el diseño y la simulación de las estructuras de *gratings*. Para ello el centro cuenta con licencias de paquetes de simulación y amplia experiencia en el diseño.

-Fabricación: La fabricación de las estructuras diseñadas se ha llevado a cabo en la sala limpia del Centro de Tecnología Nanofotónica de Valencia (UPVLC).

-Caracterización: La caracterización de dispositivos se realizó en los laboratorios de caracterización y encapsulado del NTC. Para estas medidas el centro cuenta con diversas fuentes láser (sintonizables, pulsadas y continuas), bancos de alineamiento semiautomáticos, y sistemas de detección con anchos de banda por encima de 40GHz.

Desarrollos teóricos realizados —

Se han desarrollado varios programas en Matlab para analizar y representar los resultados de las medidas y obtener las pérdidas tanto de propagación en la guía como de acoplo en las estructuras de *grating*. Además, se ha realizado un desarrollo teórico para contrastar el valor experimental de la eficiencia de acoplo de los *gratings* y las pérdidas.

Desarrollo de prototipos y trabajo de laboratorio —

El trabajo de laboratorio se ha dividido en varias medidas:

-1ª Medida: Búsqueda de la muestra de la oblea con menores pérdidas de transmisión para el camino más largo de entrada-salida.

-2ª Medida: Medida de la tolerancia del alineamiento de los *gratings* en el plano XY.

-3ª Medida: Medida de los espectros de transmisión de los cuatro pares de entrada-salida para el chip seleccionado para ver cómo afecta la diferencia de longitud de las guías en las pérdidas totales, antes y después del *pigtailing* para ver también como afecta la deposición de una resina epoxídica sobre la superficie del *grating coupler*.

-4ª Medida: Obtención de las pérdidas de acoplo y de propagación a partir de las medidas realizadas y con la aproximación de mínimos cuadrados.

-5ª Medida: Obtención de la eficiencia de los *gratings* a partir de las pérdidas de acoplo obtenidas en la medida anterior.

Resultados —

Se ha fabricado un prototipo de encapsulado con acoplo vertical usando *grating couplers* sobre el cual se han montado dos chips en silicio que mantiene la orientación estándar horizontal. Las interconexiones eléctricas tanto dentro del encapsulado como con el exterior se realizan a través de una capa flexible FLEX. Tras la

caracterización para una longitud de onda de 1550 nm se ha obtenido una eficiencia de acoplo del 24%, valor que corresponde a 6.2 dB/*grating* de pérdidas de acoplo para una estructura de 600 nm de periodo y 70 nm de espesor de profundidad. Se ha comprobado, además, que las pérdidas de propagación en las guías SOI están altamente ligadas con la longitud de las mismas. Comparando los espectros de transmisión antes y después de realizar el *pigtailing* se comprueba que tras este proceso se consigue una penalización de 1 dB, aunque se aprecia una respuesta más clara. Finalmente, tras evaluar las tolerancias al alineamiento en el plano XY de los *gratings* fabricados se ha obtenido una tolerancia de $\pm 2 \mu\text{m}$ con 1 dB de penalización para el eje X y $\pm 3 \mu\text{m}$ con 1 dB de penalización en el eje Y.

Líneas futuras —

- Investigación de una estructura de grating couplers con más eficiencia de acoplo utilizando para ello diferentes métodos y técnicas.
- Diseño y fabricación de diferentes configuraciones de la solución presentada para diferentes aplicaciones: arrays o configuraciones 3D.
- Fabricación del soporte utilizando materiales alternativos como cerámicos y dieléctricos en función de las aplicaciones destino.
- Incorporación en la solución propuesta de un chip electrónico en la parte superior del sustrato permitiendo así la oportunidad de convertirse en un producto real para la industria.

Publicaciones —

- J.V. Galan, T. Tekin, G.B. Preve, A. Brimont, **M. Llopis**, P. Sanchis, “Low profile silicon photonics packaging approach featuring configurable multiple electrical and optical connectivity”, in *the 8th International Conference on Group IV Photonics, GFP 2011*, London, September 2011.
- L. Zimmermann, K. Voigt, K. Vyrsoinos, L. Stampoulidis, P. Bakopoulos, I. Lazarou, S. Dris, H. Avramopoulos, Y. Zhou, S. Clements, J. Heaton, M. Kroh, Y. Yamamoto, D. Micusik, J.C. Sheyft, **M. Llopis**, G.B. Preve, R. Nogueira, P. Monteiro, A.C. Piat, D. Roccató, “The European Galactico project: Coherent Terabit Ethernet systems using 4 μm rib waveguide silicon-on-insulator technology and GaAs electro-optics modulators”, in *the Photonics Society Summer Topical Meeting Series IEEE 2011*, Montreal (Canadá), July 2011, pp. 151-152.

Abstract —

A package solution for silicon photonic integrated circuits with multiple input/output grating-based optical interfaces is proposed and experimentally demonstrated. The approach is based on using a subassembly sub-mount carrier to maintain standard-compatible lateral orientation for the fibers in the package, while changing the orientation of the photonic chip to assure out-of-plane optical coupling via gratings. As a result, a low profile package featuring configurable multiple electrical and optical connectivity is achieved.

ÍNDICE

I. Introducción y objetivos	4
II. Tecnología de silicio en circuitos integrados ópticos	6
II.1. <i>Silicon On Insulator</i> (SOI)	7
II.2. Acoplo a fibra óptica. Un problema latente.....	8
II.2.1. <i>Tapers</i>	10
II.3. Tipos de acoplo. Horizontal y vertical	10
II.3.1. Acoplo horizontal	10
II.3.2. Acoplo vertical.....	11
III. Tecnología de encapsulado	12
III.1. Tipos de encapsulado óptico	12
III.2. Proceso de encapsulado y tecnologías implicadas	13
III.2.1. Montaje y encapsulado de un dispositivo óptico.....	13
III.2.2. Tecnologías implicadas	14
III.3. Infraestructura de encapsulado.....	16
III.4. Contribución a otros proyectos de investigación	18
IV. Diseño y fabricación del encapsulado multipuerto propuesto	19
IV.1. Soluciones de encapsulado existentes. Problemas	19
IV.1.1. Encapsulado para dispositivos multipuerto pasivos	19
IV.1.2. Encapsulado para dispositivos multipuerto activos.....	20
IV.2. Diseño propuesto. Descripción general	20
IV.3. Diseño propuesto. Descripción detallada para un caso particular.....	22
IV.4. Fabricación del prototipo	26
IV.4.1. Fabricación de los chips SOI.....	26
IV.4.2. Fabricación del soporte	27
IV.4.3. Montaje de la capa FLEX sobre el soporte	27
IV.4.4. Alineamiento y <i>pigtailing</i> del <i>fiber array</i> y el chip SOI	28
IV.4.5. Montaje de los chips con los <i>fiber arrays</i> al soporte.....	30
IV.4.6. <i>Wire-bonding</i> de los chips SOI a la capa FLEX	30
IV.4.7. Encapsulado del sistema o montaje en placa	31
V. Medidas experimentales	31
VI. Conclusiones y trabajo futuro	34
Agradecimientos	37
Referencias	38
Anexo	40

I. INTRODUCCIÓN Y OBJETIVOS

El presente trabajo aborda el diseño, fabricación y caracterización de un encapsulado óptico que integra tecnología óptica integrada sobre silicio y tecnología electrónica. El acoplo entre la fibra óptica y el circuito óptico se realiza mediante una estructura eficiente de acoplo basada en *grating coupler*. En esta breve introducción se presenta la necesidad de nuevas estructuras de acoplo y nuevos modelos de encapsulado en la fotónica sobre silicio así como los objetivos perseguidos en este trabajo.

Un encapsulado es necesario para lograr que un dispositivo basado en fotónica sobre silicio funcione correctamente. Cuando hablamos de acoplo entre fibra óptica y chip fotónico el desafío consiste en encontrar un encapsulado que proporcione interfaces ópticas estándar pero manteniendo las ventajas de tamaño y eficiencia de acoplo. Los aspectos más importantes a considerar en este sentido son el alineamiento, la fiabilidad, la estandarización y la repetitividad del prototipo con objeto de realizar en un futuro producción industrial en masa. Debido a los problemas técnicos, como por ejemplo, la desadaptación modal entre las nanoguías en el chip y las fibras ópticas *single mode* estándar, o las tolerancias de alineamiento en el acoplo de ambas estructuras, el *pigtailing* de las fibras y el encapsulado de los circuitos ópticos son tecnologías clave en la realización de aplicaciones nanofotónicas [1]. De ahí que el desarrollo de soluciones de encapsulados de pequeño tamaño y reducido coste esté directamente relacionado con el diseño de estructuras de acoplo eficiente que requieren novedades en sus propiedades para aumentar su eficiencia de acoplo y su alta tolerancia de alineamiento.

Así pues, los objetivos específicos de este trabajo son los siguientes:

- Análisis y diseño de la estructura de acoplo basada en *grating couplers*. Los parámetros más importantes que determinan la estructura se analizan y se calculan de forma teórica para conseguir máximo acoplo a una longitud de onda de 1550nm en tercera ventana.
- Fabricación de la estructura de acoplo. La fabricación se lleva a cabo en las instalaciones del Centro de Tecnología Nanofotónica de Valencia mediante técnicas de litografía basadas en haz de electrones y ataque inductivo de plasma.
- Estudio y diseño de la solución de encapsulado con las dimensiones óptimas basadas en los componentes que se van a montar de forma que se mantenga la orientación horizontal del sistema; discusión del material elegido para el sustrato.
- Fabricación del prototipo de encapsulado diseñado. El sustrato metálico se le encargó a una empresa de amplia experiencia en este tipo de soportes metálicos.
- Alineamiento y *pigtailing* de las fibras con las guías ópticas. Se presenta el montaje experimental que permite realizar el alineamiento vertical entre ambas estructuras. Se desarrolla y optimiza el proceso de alineamiento para un fiber array de 8 fibras y el chip fotónico.

- Montaje final del encapsulado propuesto con las interconexiones necesarias. Montaje del sistema en un encapsulado estándar tipo mariposa y *wire bonding* desde éste hasta los *pins* del encapsulado para realizar las interconexiones con el exterior.
- Caracterización y medida de prestaciones del prototipo fabricado. Se medirán los parámetros más importantes tales como pérdidas de propagación en las guías y pérdidas de acoplo de las estructuras de acoplo fabricadas, sirviendo los resultados como realimentación de las etapas de diseño y fabricación.

Para llevar a cabo estos objetivos se ha estructurado este trabajo de la siguiente forma. En primer lugar, se introduce la tecnología óptica de silicio en que después nos basaremos para implementar la estructura de acoplo. Después de comentar las principales ventajas de esta tecnología, se plantea el problema del acoplo entre fibras ópticas y guías, se analizan las principales causas de las elevadas pérdidas de acoplo que caracterizan un acoplo directo entre una fibra y una guía y se presentan las diferentes técnicas de acoplo, vertical y horizontal, haciendo hincapié en la que se va a utilizar en este trabajo: el *grating coupler*. En el capítulo tres se hace una revisión de la tecnología de empaquetado. Primero, se hace una pequeña revisión del estado del arte del encapsulado de chips fotónicos sobre silicio. Después, se describen las etapas y tecnologías implicadas en el proceso de encapsulado, y se describen brevemente los equipos que se han utilizado en tal proceso y que forman parte de la infraestructura de encapsulado del Laboratorio de Acoplo y Encapsulado del NTC. Finalmente, se presentan los proyectos en los que se ha participado activamente durante el transcurso de este trabajo. El capítulo cuatro se centra en el diseño y fabricación del encapsulado propuesto en el proyecto. Primero, se presentan las soluciones existentes de encapsulado de chips SOI estudiadas por otros grupos de investigación, señalando los principales problemas que presentan. Después, y centrándonos ya en nuestro prototipo, se hace una primera descripción general de la solución propuesta para después pasar a una descripción más detallada para un caso particular de aplicación. Para terminar el capítulo se describe el proceso de fabricación del prototipo, tanto para el sustrato como para los chip SOI y la estructura de acoplo basada en *gratings*. En el capítulo cinco son presentados los resultados experimentales. Se describe cuál ha sido el montaje experimental para la caracterización de la estructura y se presentan los resultados más importantes como son la eficiencia de acoplo del *grating* o las pérdidas de propagación en las guías. Finalmente, en el capítulo seis se presentan las conclusiones del trabajo y las posibles líneas de investigación a seguir en un futuro.

II. TECNOLOGÍA DE SILICIO EN CIRCUITOS INTEGRADOS ÓPTICOS

Muchos han sido los materiales dieléctricos sobre los que se han desarrollado todo tipo de estructuras ópticas. Los avances en la tecnología y, principalmente, los requerimientos por parte de las aplicaciones de mayores velocidades y anchos de banda y de una integración cada vez mayor de los componentes ópticos han repercutido en la búsqueda de materiales nuevos lo más apropiados posibles para hacer frente a los requerimientos tecnológicos que han ido surgiendo progresivamente.

Un material dieléctrico se caracteriza principalmente por su índice de refracción. Materiales de gran variedad de índices han sido propuestos para la gran variedad de componentes ópticos que se han ido desarrollando a lo largo de la historia. La Tabla 1 muestra algunos de los materiales usados en óptica integrada y sus índices de refracción. La mayoría de los componentes ópticos usados en la actualidad en los sistemas de telecomunicaciones están basados en tecnologías distintas a las tecnologías basadas en silicio, como pueden ser las que utilizan materiales de los grupos III-V de la tabla periódica (LiNbO₃, polímeros, etc..). Estas tecnologías implican un elevado coste, principalmente porque estos otros materiales son mucho más caros. Además, con su uso se dificulta mucho el empuje tecnológico hacia soluciones que requieran una alta integración.

Material	Índice de refracción
Polímeros	1.3-1.7
Sílice	1.54
SiON	1.47
Al ₂ O ₃	1.75
Y ₂ O ₃	1.91
Nb ₂ P ₅	2.31
Ta ₂ O ₅	2.11
Si	3.49

Tabla 1: Índices de refracción de algunos dieléctricos

Si bien aplicaciones específicas de largas distancias (> 100 km) y enlaces de elevada tasa de transmisión (> 2.5 Gb/s) pueden requerir costes elevados, una aceptación cada vez más alta de las comunicaciones por fibra óptica a menores distancias (redes de área local, metropolitanas y redes de área amplia) están despertando un mayor volumen de mercado y la necesidad de soluciones mucho más efectivas en lo que a costes se refiere.

A menores tasas de transmisión (< 2.5 Gb/s) y menores distancias, las soluciones basadas en silicio son candidatas para cubrir todos los requerimientos a un menor coste, explotando al máximo

la compatibilidad con las tecnologías sobre silicio en términos de funcionalidad, compactación, fiabilidad y rendimiento de producción. Así pues, se han establecido distintos criterios de evaluación (como volumen de costes y expectativas de futuro) con tal de garantizar el sustancial impacto de la tecnología óptica en el nuevo mercado orientado al consumidor.

El satisfactorio resultado del silicio como semiconductor para la microelectrónica, ha despertado un gran interés hacia un desarrollo para su uso en aplicaciones orientadas a las comunicaciones ópticas. Las principales ventajas de la introducción de este tipo de dispositivos ópticos basados en silicio son:

- Una drástica reducción del coste.
- La disminución de las dimensiones de los sistemas gracias a la alta integración de diferentes componentes opto-electrónicos en el mismo sustrato.
- Compatibilidad 100% con los procesos de fabricación CMOS utilizados en la industria microelectrónica [2].

II.1. SILICON ON INSULATOR (SOI)

Básicamente los desafíos más importantes de usar el silicio como material fotónico son las altas pérdidas de propagación (debidas principalmente a la rugosidad de las paredes de las estructuras), el bajo coeficiente electro-óptico, la baja eficiencia de emisión de luz, y unas elevadas pérdidas de acoplamiento a fibra óptica. Sin embargo, el reciente progreso en las técnicas de nanofabricación, han permitido la demostración de un gran número de componentes fotónicos de altas prestaciones, sobrepasando éstos las tradicionales limitaciones del silicio como componente fotónico.

La clave de este tipo de tecnología ha sido el reciente y exponencial progreso en dispositivos compactos sobre silicio para aplicaciones de gran ancho de banda en redes todo ópticas WDM (del inglés *Wavelength Division Multiplexing*). Se han logrado dispositivos con espaciado de canal por debajo de 0.1 nm usando una gran variedad de configuraciones geométricas de dispositivos sobre silicio.

En los últimos años, los esfuerzos en dispositivos ópticos sobre silicio se han centrado más directamente sobre dispositivos como moduladores, amplificadores, y emisores de luz como los láseres. Moduladores electro-ópticos de altas velocidades por encima de los 10 Gb/s han sido desarrollados en silicio [3] usando diferentes geometrías, con tamaños por debajo del micrómetro.

Una de las tecnologías basadas en silicio más desarrolladas es la denominada tecnología SOI (*Silicon on Insulator*). En la Fig. 1 se ilustra un corte transversal de una oblea SOI donde se observan las distintas capas que forman la misma, así como el aspecto de una oblea SOI comercial (Fig. 2.1b). El material que hace de núcleo de las estructuras es silicio (Si), cuyo índice de refracción se encuentra en torno a $n=3.5$ a una longitud de onda de 1550 nm. El espesor de esta capa de las obleas SOI con las que trabajamos habitualmente es de 205 nm. Debajo de esta capa de

silicio se encuentra una capa de óxido de silicio (SiO_2) cuyo índice de refracción se encuentra en torno a $n=1.5$ también para una longitud de onda de 1550 nm. El espesor de la capa de SiO_2 de nuestras obleas es de $3\ \mu\text{m}$. Esta capa hace el papel de cubierta de las estructuras ópticas. En la parte inferior de la oblea se encuentra un substrato, también de silicio, de espesor en torno a las $750\ \mu\text{m}$.

La característica más importante de esta tecnología es el alto contraste existente entre los materiales del núcleo y la cubierta. Este contraste o diferencia entre índices ($\Delta n \sim 2$) se traduce en un muy alto confinamiento de la luz en el núcleo de las estructuras ópticas. Este alto confinamiento es la clave de poder desarrollar dispositivos compactos de dimensiones reducidas, y poder así reducir las dimensiones de los circuitos integrados, lo cual es la base de poder fabricar chips a gran escala y poder incluir dentro de una misma oblea miles de ellos.

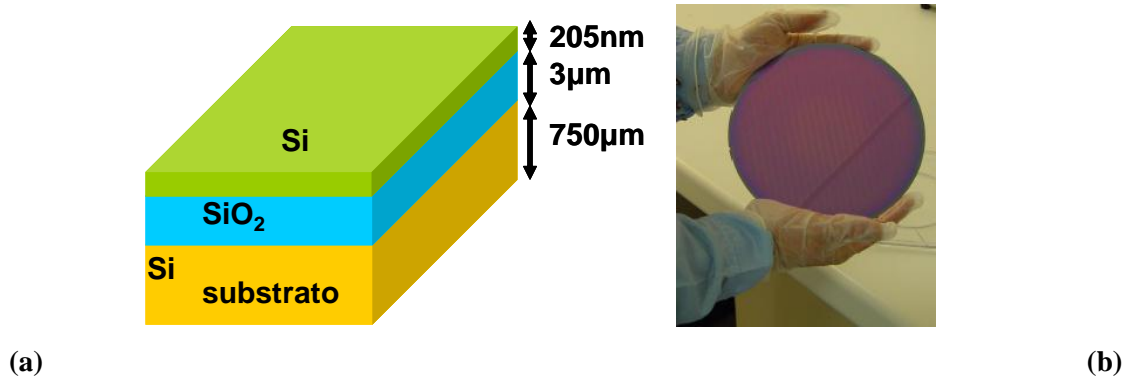


Fig. 1. (a) Corte transversal de una oblea SOI; estructura en capas. (b) Oblea SOI comercial

Uno de los elementos clave en un circuito integrado en tecnología SOI es la guía óptica. La guía óptica proporciona la comunicación con el mundo exterior de los circuitos integrados ópticos. Tanto el acoplo de luz de la fibra al circuito integrado, como la extracción de luz del mismo se realiza por medio de guías. Puesto que en estas obleas comerciales la altura de la capa de Silicio (h) suele ser en torno a 200 nm, la anchura de la guía (w) ha de ser de 500 nm para conseguir propagación monomodo.

II.2. ACOPLA A FIBRA OPTICA. UN PROBLEMA LATENTE

Son muchos los que piensan que acoplar luz desde una fibra óptica a un circuito integrado es fácil, y de hecho, conceptualmente parece sencillo, pero en la práctica es uno de los mayores problemas con el que nos encontramos a la hora de realizar medidas en el laboratorio. Debido a este problema, son numerosas las técnicas que se han desarrollado con el objetivo de optimizar las pérdidas de acoplo. Todas ellas se engloban dentro de dos grandes grupos: acoplo horizontal y acoplo vertical, que más abajo se desarrollan.

Todo acoplo entre fibra óptica y circuito óptico integrado se realiza por medio de guías ópticas, principalmente monomodo para un mayor confinamiento de la potencia de la señal de luz en un único modo, evitando su dispersión entre los distintos modos de propagación de una guía. Los principales problemas que existen en el acoplo directo entre una fibra y una guía ópticas están directamente relacionados con las diferencias en sus dimensiones y en el contraste de índices de refracción de ambas estructuras, lo que produce unas pérdidas de acoplo entre entrada y salida mucho mayores de las deseadas. A continuación, podemos ver de forma ilustrada la gran diferencia entre las dimensiones de las secciones de la fibra óptica monomodo (8-10 μm de diámetro) y la sección de la guía SOI monomodo (200x500 nm^2 aprox.). Consecuencia de esto, existe un gran desacoplo entre los modos fundamentales de las dos estructuras bajo acoplo directo, produciendo unas pérdidas de más de 30 dB entre entrada y salida.

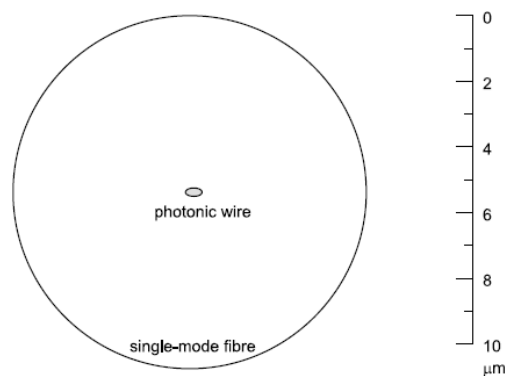


Fig. 2. Comparación a escala de las dimensiones de una fibra monomodo estándar y una guía monomodo SOI

Otro problema que se añade al del desacoplo de los modos fundamentales es la gran diferencia entre los contraste de índices de fibra y guía. Para una fibra monomodo estándar el contraste de índices es aproximadamente 0.36% mientras que para una guía SOI monomodo es del 40% (a 1550 nm). Esta diferencia afecta al valor del índice efectivo de los modos fundamentales produciéndose un desacoplo adicional y, por lo tanto, un aumento de las pérdidas de acoplo.

Finalmente, hay otros factores que también afectan al mejor o peor acoplo entre fibra y guía SOI, ambas monomodo. Estos son: la calidad del corte en el extremo de la guía y el desalineamiento espacial entre las dos estructuras. Este último factor se puede optimizar con el uso de bancos de alineamiento semiautomáticos que poseemos en nuestro laboratorio y que son presentados en el apartado III.3. de esta memoria.

II.2.1. TAPERS

Para mejorar el acoplo entre fibras monomodo estándar y guías SOI monomodo se utiliza un tipo de adaptador que se encarga de convertir el modo fundamental de la guía en un perfil modal de dimensiones aceptables para que el acoplo entre ambas estructuras sea eficiente. Estos conversores se conocen como *Spot-size-converters* o simplemente *tapers* y consisten en estructuras cuyas dimensiones varían gradualmente de una anchura a la otra de las estructuras que se desean acoplar. Suele tener una longitud entre 100 μm y un 1 mm.

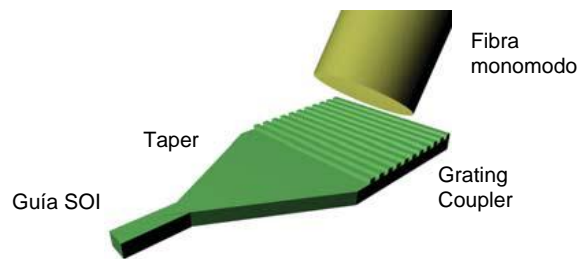


Fig. 3. Acoplo de fibra monomodo a guía SOI mediante grating coupler y taper

II.3. TIPOS DE ACOPLO. HORIZONTAL Y VERTICAL

Como ya se ha comentado antes existen diferentes técnicas de acoplo, clasificadas principalmente según la dirección de acoplo entre la fibra y la guía.

II.3.1. ACOPLO HORIZONTAL

La luz se inyecta por un extremo de la guía, tal y como vemos en la Fig. 4 (c) y (d). Las dos técnicas más utilizadas en acoplo horizontal son la *butt coupling* y la *end-fire coupling*. Aunque muy similares, se diferencian en que en la primera técnica la luz de la fuente emisora incide directamente sobre el extremo de la guía de salida mientras que en la segunda técnica la luz de la fuente es recogida sobre una lente a su salida encargada de focalizar dicha luz hacia la guía. Para este último caso, es muy recomendable el uso de fibras lensadas (*lensed fibers*) ya que su extremo puntiagudo actúa de focalizador.

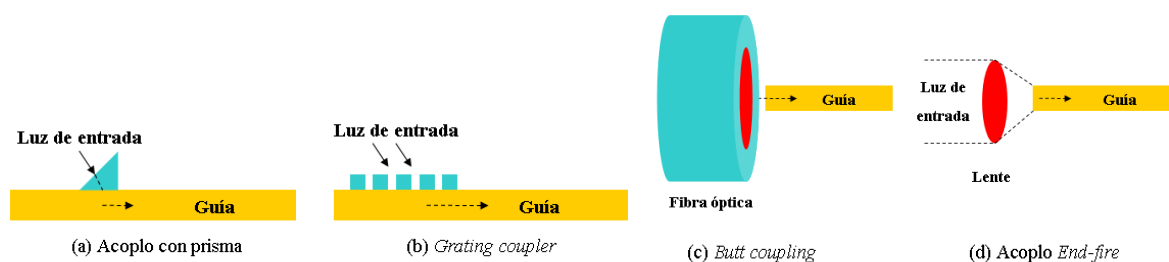


Fig. 4. Técnicas de acoplo de luz a guías ópticas: (a) y (b) verticales y (c) y (d) horizontales

II.3.2. ACOPLO VERTICAL

Una de las técnicas más utilizadas de acoplo vertical es el acoplo mediante *grating coupler* en el cual el rayo de luz de entrada incide sobre la superficie de la guía con un ángulo que está directamente relacionado con las características del *grating* [4]. Esto permite que se cumpla la condición de fase de la constante de propagación de un modo, en particular del interior de la guía, proporcionando un tipo de acoplo a modos individuales. Esta estructura está caracterizada por tres parámetros fundamentales: su periodo, Λ , el espesor de la profundidad de la estructura periódica, ed , y la anchura de dicha profundidad, w . Ambos parámetros se ilustran en la Fig. 5. El periodo del *grating* está directamente relacionado con la longitud de onda de trabajo, λ_0 e inversamente con el índice efectivo del modo fundamental de la guía, n_{eff} , así como del ángulo de incidencia de la fibra óptica, θ_{in} (Fig. 5.). La dependencia del diseño con el índice efectivo hace que un diseño para una polarización no se comporte de igual forma para la polarización contraria, ya que n_{eff} depende de la polarización del campo, así que si encontramos el periodo óptimo de un *grating* para máxima eficiencia de acoplo a 1550 nm para polarización TE, al cambiar la polarización a TM y variar el índice efectivo, la eficiencia variará notablemente, siendo en este caso distintos los parámetros de la estructura que ofrezca un valor óptimo de eficiencia de acoplo. Para este trabajo los *gratings* diseñados son óptimos para funcionamiento en polarización TE.

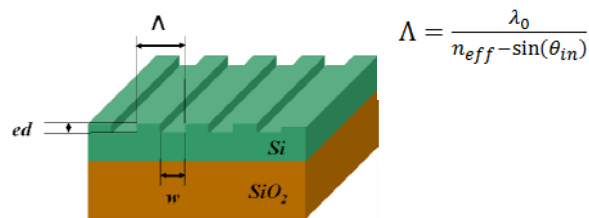


Fig. 5. Estructura y parámetros principales de un *grating coupler*

Los *grating couplers* se caracterizan por poseer una eficiencia de acoplamiento baja y un estrecho ancho de banda, por lo que no son las estructuras más apropiadas para el acoplo a circuitos integrados ópticos. Además de sus características de baja eficiencia de acoplamiento y pequeño ancho de banda, la geometría de acoplamiento que definen y su gran anchura dificulta al máximo la posible integración de los mismos como estructuras de acoplo en los extremos de un circuito integrado. Sin embargo, los *grating couplers* no son muy complicados de fabricar y proporcionan una valiosa herramienta de desarrollo e investigación de acopladores a guías ópticas monomodo. Además, es posible conseguir pequeños errores de alineamiento con la fibra, incluso sin necesidad de técnicas de auto-alineamiento. Veremos en capítulos posteriores que es ésta la estructura escogida para nuestro trabajo.

III. TECNOLOGÍA DE ENCAPSULADO

Las tecnologías de montaje y encapsulado de los circuitos ópticos son fundamentales para hacer utilizables los resultados de la investigación fotónica. Los requerimientos de pequeño tamaño, bajo coste, alta funcionalidad, fácil uso y alta densidad de integración son los responsables de los continuos cambios que experimentan estas tecnologías [5]. Actualmente, estas ciencias no están disponibles para la mayor parte de los investigadores del campo de la fotónica. A parte de las dificultades obvias de diseñar y fabricar un prototipo óptico para su caracterización, son muy pocos los que tienen un conocimiento suficiente de los requerimientos y problemas principales que conlleva el diseño del encapsulado.

III.1. TIPOS DE ENCAPSULADO ÓPTICO

Existe una verdadera multitud de encapsulados ópticos. Si atendemos a la forma de fijar el chip a la placa donde vaya a insertarse, podemos clasificarlos en dos grandes grupos:

- Encapsulados de inserción, cuyos pines atraviesan la placa.
- Encapsulados de montaje superficial, en los que los chips se colocan sobre la superficie de la placa. Su principal ventaja es que la soldadura de estos chips es fácilmente automatizable.

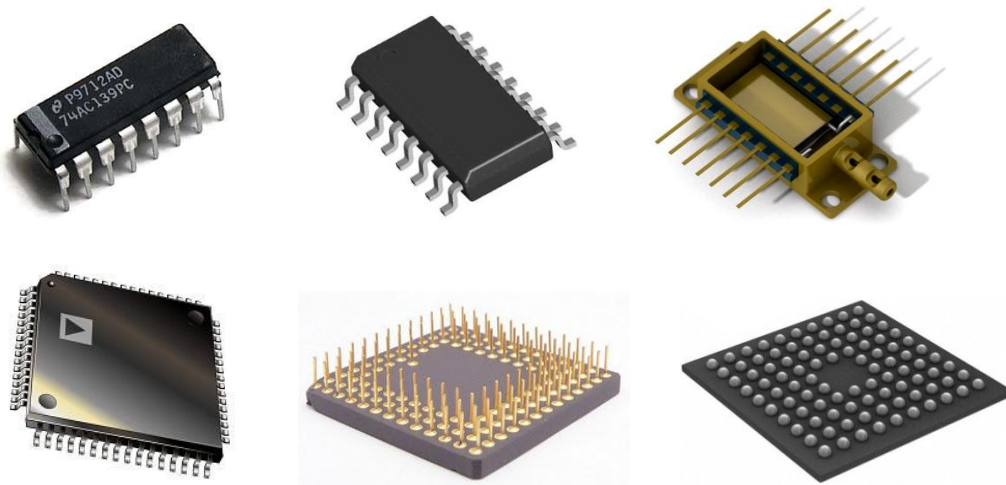


Fig. 6. Diferentes tipos de encapsulados ópticos. De izq. a drch: arriba, de inserción, de montaje superficial y *dual-in-line*; abajo: *chip-carrier*, PGA y BGA

Si atendemos a la forma en la que se distribuyen los pines, los encapsulados se pueden clasificar en tres grupos:

- Encapsulados *dual-in-line* o *dual-in-parallel* (DIL o DIP), en los que los pines están ubicados en sólo dos lados del encapsulado.

- *Chip-Carriers*, en los que los pines se distribuyen por los 4 lados del encapsulado.
- *Pin-Grid-Arrays* (PGAs) y *Ball-Grid-Arrays* (BGAs). Los primeros son encapsulados de inserción en los que los pines se distribuyen por toda su superficie, mientras que los segundos son su versión equivalente para montaje superficial, usando para ello pequeños *bumps* de material soldable distribuidas por toda la superficie del encapsulado, en lugar de pines convencionales.

Si su espaciado interior lo permite suelen llevar incorporado un *cooler* termoeléctrico que les proporciona una gran estabilidad en temperatura y reduce hasta un 70% el consumo de potencia.

Por otra parte, la función principal de un encapsulado óptico es proteger el dispositivo encapsulado de contaminantes externos adversos así como proporcionar una estructura capaz de realizar fácilmente las conexiones necesarias entre el dispositivo y el exterior. Así pues, en función de la hermeticidad del encapsulado podemos encontrar otros dos grandes grupos [6]: los herméticos y los no herméticos. Para aplicaciones de bajo coste en ambientes favorables en los que por ejemplo se utilicen detectores de silicio, es habitual montar el dispositivo en un encapsulado de plástico con una ventana en la superficie por donde entrará la luz. Este tipo de encapsulado permite un manejo normal y mantiene alejado el detector del polvo y la suciedad. Si, por el contrario, el encapsulado va a ser usado en un ambiente hostil, es necesario sellar por completo el componente, manteniendo a salvo los dispositivos y conexiones internas de los agentes externos maliciosos. En este caso, los materiales utilizados suelen metales o cerámicos.

III.2. PROCESO DE ENCAPSULADO Y TECNOLOGÍAS IMPLICADAS

III.2.1. MONTAJE Y ENCAPSULADO DE UN DISPOSITIVO ÓPTICO

El primer paso en el proceso de encapsulado de un chip es la fabricación de una oblea que contenga la mayor cantidad de chips posibles puesto que seguro que nos hace falta más de uno para las diferentes pruebas y medidas. Una vez fabricada la oblea, es necesario separar cada dado mediante un equipo de corte, bien un láser o una lama. El siguiente paso consiste en fijar el chip a un substrato o base mediante la técnica de *flip-chip*. A continuación, hay que alinear la fibra óptica con el chip mediante guías ópticas, tal y como se ha explicado en el II.3. Para fijar la fibra al substrato usamos una resina epoxídica, proceso que se conoce como *pigtailing*.

Una vez se dispone del dado de silicio alineado con la fibra óptica sobre un substrato, lo primero que se hace es pegar éste sobre la base del encapsulado (*die-attach*). Esta unión se suele hacer con una pasta conductora. El siguiente paso es la conexión entre los *pads* del circuito y los *pines* del encapsulado, unión conocida como *wire-bonding*. Finalmente se sella el encapsulado y se realizan toda clase de test (funcionales, estructurales y térmicos) para verificar su correcto funcionamiento.

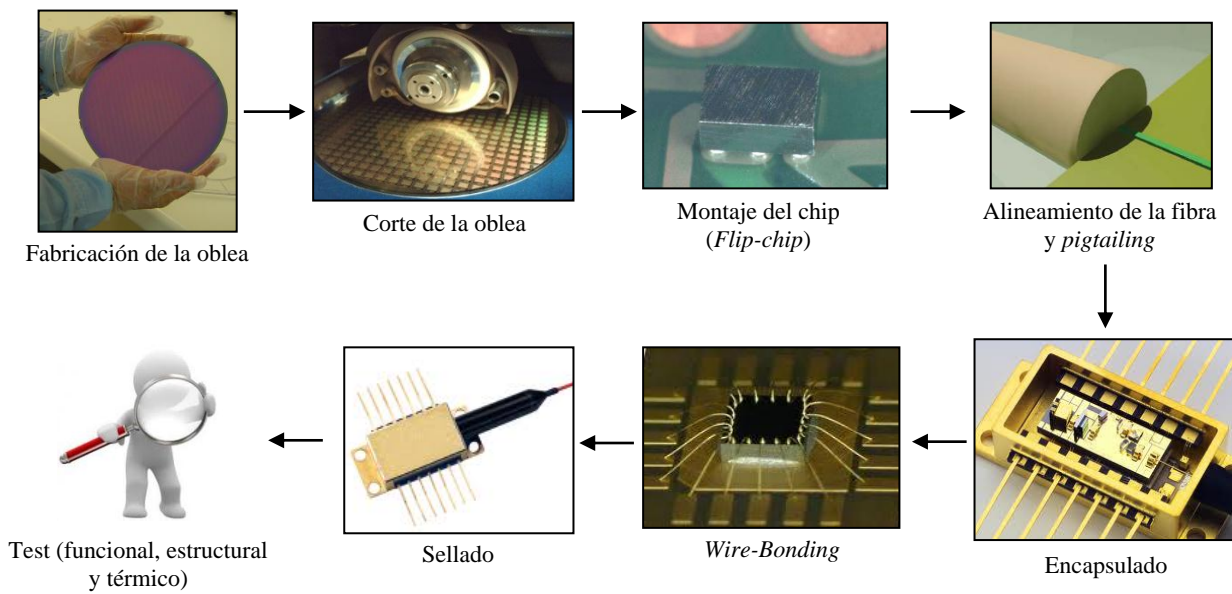


Fig. 7. Diagrama de flujo de las diferentes etapas del proceso de encapsulado de un chip óptico

III.2.2. TECNOLOGÍAS IMPLICADAS

En el proceso de encapsulado descrito en el apartado anterior se han nombrado algunas de las tecnologías aplicadas. A continuación se explican las más importantes:

- *Wire-bonding*: es la unión entre los *pads* del circuito y los pines del encapsulado mediante hilos conductores (normalmente aluminio u oro). A diferencia de la soldadura, se realiza directamente sin necesidad de un material de unión como el estaño. El extremo del hilo conductor y el material del *pad* se funden parcialmente utilizando ultrasonidos y calor. Lo mismo ocurre con el pin y el hilo, rompiéndose este último tras fundirse y quedando una bola de soldadura para la siguiente conexión.

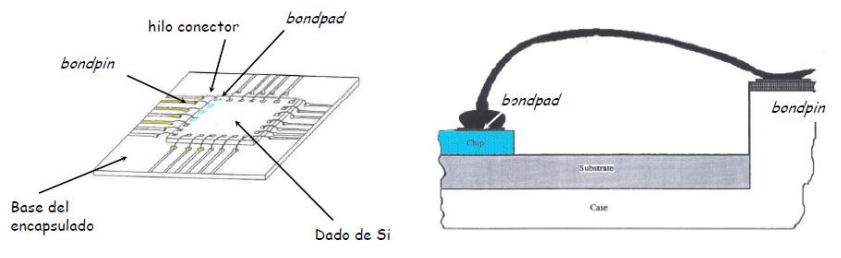


Fig. 8. Detalle de *wire-bonding* entre el chip y el sustrato o encapsulado

- *Tecnología de soldadura*: se utiliza cuando existe una alta densidad de interconexiones. El material más utilizado es una aleación de AuSn. Para evitar contaminación u oxidación de las regiones activas del dispositivo óptico la soldadura se realiza en el interior de un horno de reflujo, en completo vacío y haciendo uso de vapor de ácido fórmico.
- *Tecnología de die-attach*: se suele aplicar para montar dispositivos como láseres de semiconductor o amplificadores ópticos sobre substratos con una precisión de unas pocas micras. Para ello se utiliza un ciclo de temperatura que hace que las superficies del chip y de la base en contacto se suelden.
- *Epoxy*: es una alternativa de bajo coste para soldar en el proceso de *bonding*, y también se utiliza en el proceso de *pigtailing* para unir la fibra óptica a la guía de silicio después de haber sido alineadas. Para conseguir esta unión se necesita subir en temperatura, dependiendo de la resina, o utilizar luz ultravioleta.
- *Thermosonic bonding*: se usa durante el *wire-bonding* para soldar los hilos de oro o aluminio a los *pads* del chip y del encapsulado. Es una técnica relativamente nueva en comparación con otras tecnologías de *bonding*.
- *Flip-chip*: es otra técnica de conexionado en la cual se depositan unas pequeñas “bolas” (*bumps*) de material conductor sobre cada uno de los *pads* del circuito. Después, se coloca el chip con el circuito mirando hacia la base del encapsulado (de ahí su nombre) con los *bumps* coincidiendo con los *pads* del circuito y se sueldan todas las parejas de *pads* y pines (*pad+bump+pin*) simultáneamente aplicando presión y elevando el conjunto en temperatura. Comparada con la *die-attach* produce conexiones más compactas y con una precisión mucho mayor ($\pm 0.5 \mu\text{m}$).

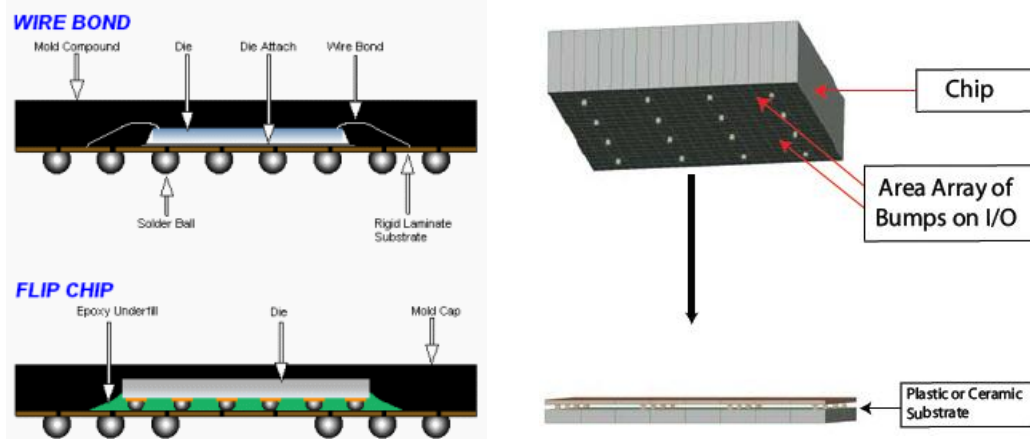




Fig. 9. Izq. comparación de las técnicas de *wire-bonding* y *flip-chip*; drcha. *Flip-chip*

- *Alineamiento*: todas las aplicaciones en las que se hace uso de circuitos o chips encapsulados requieren un alto alineamiento entre las fuentes ópticas y las fibras, entre dos fibras, entre fibra y guía o entre éstas y el fotodetector. Es uno de los factores más críticos en el rendimiento y funcionamiento final del circuito. Cuando hablamos de fibra multimodo, el desalineamiento debe ser del orden de unas pocas micras, pero si hablamos de fibra monomodo (las que utilizamos nosotros) la precisión debe ser menor a 1 micra. La consecuencia de un mal alineamiento causa el aumento de pérdidas ópticas. El alineamiento transversal debe realizarse en el plano perpendicular a la dirección de acoplo (plano XY para acoplo horizontal y plano XZ para acoplo vertical). También es importante el alineamiento angular, especialmente crítico en caso de *fiber arrays*. Sobre los problemas que se han tenido para alinear el prototipo presentado se hablará en el apartado IV.4.4.

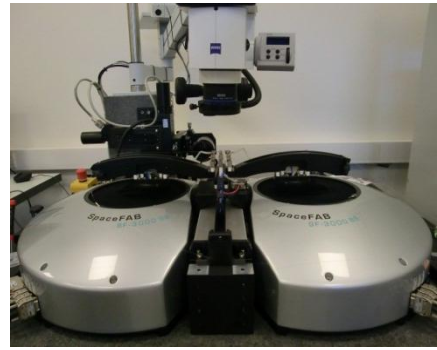
III.3. INFRAESTRUCTURA DE ENCAPSULADO

Todas las tecnologías involucradas en el proceso de encapsulado descritas en el apartado anterior se llevan a cabo por equipos altamente precisos y sofisticados. Se describen a continuación los más importantes, todos ellos pertenecientes al Laboratorio de Acoplo y Encapsulado del Centro de Tecnología Nanofotónica de Valencia en el que se ha desarrollado este proyecto. La instalación del laboratorio ha sido financiada parcialmente por la fundación europea FEDER.

<p><i>Equipo de corte</i></p> <p>El tamaño máximo de la oblea a cortar es de 12 pulgadas. Los materiales que corta son Si, SOI, vidrio, vidrio en Si, Al y AlNi. Tiene lamas de diversos tamaños y se han desarrollado procesos de corte que han conseguido reducir las pérdidas de inserción sin necesidad de pulido óptico posterior.</p>	 <p>DISCO modelo <i>DAD3350</i></p>
<p><i>Equipo de Flip-Chip</i></p> <p>Tiene una precisión de ± 0.5 micras y puede alinear y montar componentes de dimensiones entre 0.2 a 100mm. Soporta un completo rango de aplicaciones de montaje que incluye el montaje por reflujo, por termocompresión, montaje termosónico, utilizando adhesivos y por fusión. Puede trabajar con una alta variedad de materiales incluyendo aquellos más delicados como el GaAs y HgCdTe.</p>	 <p>SET modelo <i>FC150</i></p>

Banco de alineamiento y pigtailing

Permite alineamiento en 12 ejes (6 en el brazo de entrada y 6 en el de salida). Una vez pre-alineado de forma manual, es completamente automático con una resolución de 100nm con lo que se pueden obtener muy buenos resultados de acoplo. Se puede utilizar tanto para acoplo horizontal como para vertical, ya sea fibra desnuda o con fiber array. Para el *pigtailing* se utilizar una resina epoxídica que seca en un par de minutos.



Micos modelo SF3000BS

Wire-Bonder

Soporta las técnicas de *ball-bonding* y *wedge-bonding* utilizando para cada uno diferentes tipos de agujas. La metalización puede realizarse con hilo de oro o de aluminio y la distancia mínima entre *bondings* es de 100 micras. El *pad* tiene que tener una dimensión mínima de 100x100 micras.

PACTECH modelo SB²-M*Die Attachment*

Se puede hacer soldadura directamente con el equipo desarrollando un proceso dedicado o realizar el *tacking* (pegar el componente al substrato sin fundir) y posteriormente hacer la soldadura con el horno ATV.

El principio de funcionamiento es el mismo que el del equipo de flip-chip pero con una menor precisión (unas 5 micras).



FINETECH modelo PICO MA

Horno de reflujo para soldadura

Se debe adaptar el ciclo de temperatura del horno según el material de la soldadura. También se pueden realizar *bumps* desde soldadura evaporada. Soporta temperaturas de hasta 450°C y emplea ácido fórmico para limpiar oxidaciones.



ATV modelo SR714

Cámara climática y equipo de test mecánico

El primero equipo realiza test de temperatura (desde -70° hasta 180°C) y humedad, mientras que el segundo se encarga de los test mecánicos para evaluar el encapsulado.



III.4. CONTRIBUCIÓN A OTROS PROYECTOS DE INVESTIGACIÓN

Los requerimientos cada vez más exigentes de los nuevos componentes ópticos hacen necesario el desarrollo de nuevas tecnologías híbridas innovadoras y reproducibles. En respuesta a estas necesidades y con objetivo de conseguir desarrollar estas nuevas tecnologías, trabaja desde 2009 el laboratorio de encapsulado del NTC. Dentro del consorcio ePIXpack, de la red de excelencia ePIXnet, ha centrado sus esfuerzos en desarrollar una tecnología de acoplo y encapsulado que integre tecnología óptica y eléctrica.

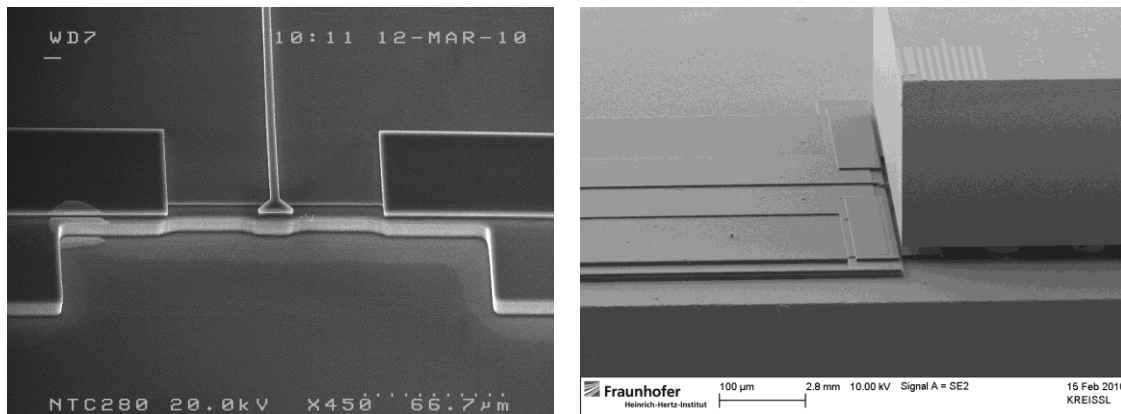


Fig. 10. Izq. Vista SEM frontal de una guía SOI antes del acoplo. Drcha. Vista SEM de una guía SOI enfrente de un SOA con una precisión de $\sim 1 \mu\text{m}$ (Proyecto BOOM)

Se ha trabajado dentro del proyecto europeo BOOM [7], desarrollando y optimizando una tecnología repetible de *flip-chip* para soldar un amplificador óptico de silicio (SOA), realizado por Fraunhofer HHI, enfrente de una guía SOI con taper, realizada por TUB Berlín, con una precisión menor a $\pm 1 \mu\text{m}$. Para lograr estos resultados se ha calibrado el equipo de manera diferente a la normal, utilizando imágenes SEM para conocer la posición del SOA después del proceso y ser capaces de esta forma de compensar los errores cometidos. Se ha comprobado que el resultado es muy bueno y repetible y las primeras medidas hechas por la Universidad de Atenas han sido muy satisfactorias. En esta línea se han realizado el montaje con 4 SOA, soldados uno después del otro

en diferentes procesos, resultando complicado el mantener en todos los componentes la misma precisión. Se trata de un desarrollo de hibridación que continuará en otros proyectos siendo éste un punto clave para hacer que la tecnología de integración resulte atractiva para la industria en un futuro.

En GALACTICO [8], otro proyecto europeo en el que estamos participando, como ejemplo, se van a poner dos o tres moduladores ópticos en GaAs sobre el mismo sustrato, desarrollando una tecnología parecida.

Por otra parte, las tecnologías de alineamiento y *pigtailing*, claves como ya se ha comentado anteriormente en este trabajo en el proceso de encapsulado, se están optimizando dentro del proyecto NANOCAP desarrollado en la Agencia de Defensa Europea y en colaboración con la empresa DAS Photonics situada en el mismo edificio que el NTC.

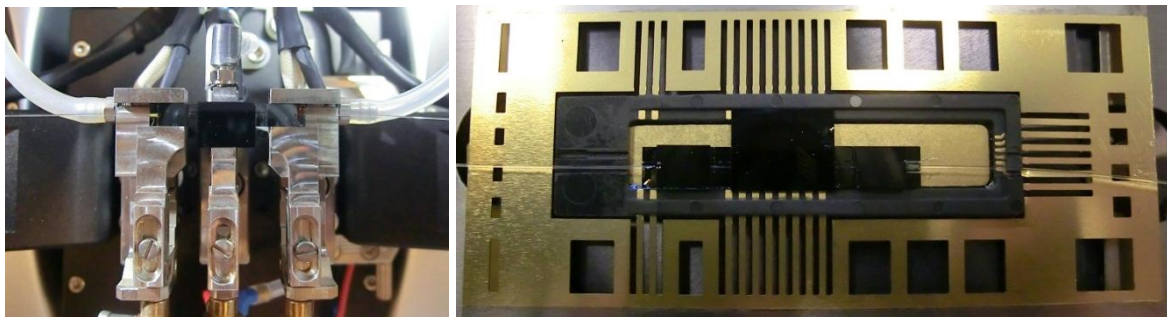


Fig. 11. Izq. Foto del alineamiento de 8-fiber arrays en la entrada y salida del chip. Drcha. Encapsulado del sistema fibra-chip-fibra tras el pigtailing (Proyecto NANOCAP)

IV. DISEÑO Y FABRICACIÓN DEL ENCAPSULADO MULTIPUERTO PROPUESTO

En este capítulo se va a hacer un estudio exhaustivo del encapsulado propuesto en este trabajo, tanto a nivel de diseño, como de fabricación y caracterización. Antes de eso se van a presentar algunos ejemplos de soluciones ya desarrolladas de encapsulado multipuerto para dispositivos en silicio. Los dos ejemplos presentados han sido llevados a cabo por la plataforma de encapsulado *ePIXpack* dentro de la red de excelencia *ePIXnet*.

IV.1. SOLUCIONES DE ENCAPSULADO EXISTENTES. PROBLEMAS

IV.1.1. ENCAPSULADO PARA DISPOSITIVOS MULTIPUERTO PASIVOS

Este primer encapsulado ofrece una solución compacta para una interfaz basada en un array de 8 fibras, de ahí su nombre de *SmartPack* [9]. Se trata de una solución para llevar a cabo una funcionalidad completamente óptica del chip sin necesidad de conexiones eléctricas. Las fibras ópticas están distribuidas en una sola fila y actúan como fibras tanto de entrada como de salida del

chip. La estabilidad del *SmartPack* la proporciona la base del *fiber array* la cual consiste en una parte superior de vidrio y una *V-groove* en la parte inferior. Mediante pulido del *fiber array* se consigue el ángulo de 8 grados deseado para el correcto acoplo de la luz. El chip se monta con el circuito cara abajo sobre la *fiber array*, y después de ser alineado, se fija mediante una resina epoxídica como la utilizada en el *pigtailing*. Finalmente, se sella directamente sobre la estructura del *fiber array* usando un material plástico de encapsulado, tal y como se puede observar en la Fig. 12.

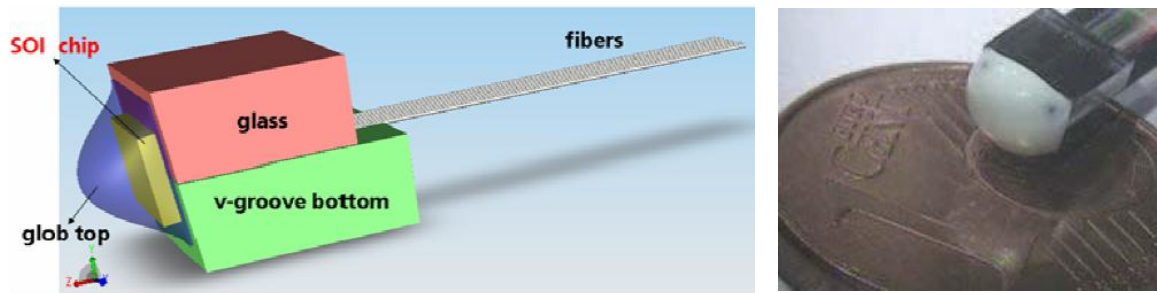


Fig. 12. Encapsulado *SmartPack* con *grating coupler* para aplicaciones pasivas de fotónica de silicio

Como se puede ver, el resultado final es una solución ultra compacta con múltiples puertos ópticos de entrada/salida. Esta solución presenta problemas de estabilidad mecánica, fiabilidad y compactibilidad, aliviados parcialmente si la *V-groove* inferior actúa como soporte del chip. Por otra parte, otra gran limitación del encapsulado es que esta solución es sólo válida para componentes fotónicos integrados pasivos, que no tengan necesidad de interconexiones eléctricas.

IV.1.2. ENCAPSULADO PARA DISPOSITIVOS MULTIPUERTO ACTIVOS

Este encapsulado surge para salvar las limitaciones impuestas del primer encapsulado y, a diferencia de él, proporciona una interfaz óptica y eléctrica genérica y configurable para un chip fotónico en silicio [10]. Esta solución, conocida como *g-Pack*, puede ser configurada para proveer conectividad sólo eléctrica, sólo óptica o bien eléctrica y óptica, así que, pese a ser menos compacto que el anterior, resulta mucho más flexible.

g-Pack provee además de un rígido acoplo del *fiber array* con el chip, conexiones eléctricas de baja frecuencia entre las fibras y el chip. Los chips estandarizados están totalmente disponibles en el mercado y tienen un tamaño de $10 \times 14 \text{ mm}^2$. Con el objetivo de reducir el coste final del encapsulado, se utiliza la mayor cantidad de componentes comerciales disponibles. Las conexiones eléctricas (más de 60) son realizadas mediante la tecnología de *wire-bonding* a través de un *pin grid array carrier* (PGA) comercialmente disponible y compatible con los encajes estándares, que permite montar y desmontar fácilmente el encapsulado de una placa.

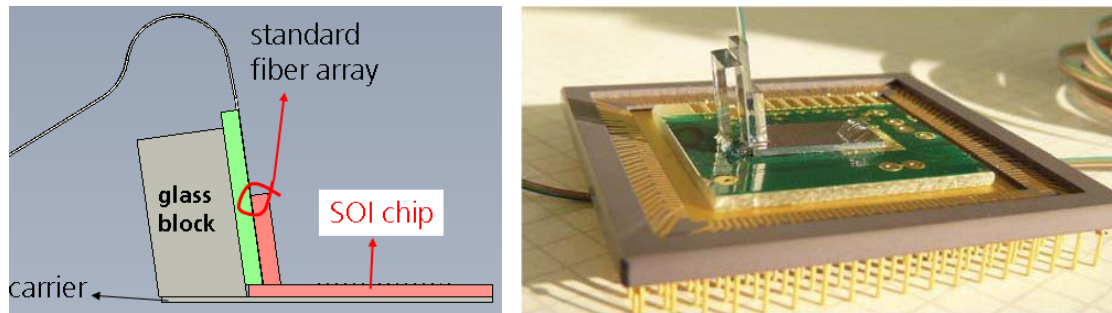


Fig. 13. Encapsulado *g-Pack* con *grating coupler* para aplicaciones activas de fotónica de silicio

La orientación vertical del encapsulado es un inconveniente para su adaptación a dispositivos optoelectrónicos estándares, en los que la orientación suele ser horizontal. Además, se pierde bastante espacio en la parte superior del chip (del orden de los mm), dando lugar a un encapsulado final con un perfil bastante alto, lo que puede resultar un problema, por ejemplo, cuando se inserta en una placa.

IV.2. DISEÑO PROPUESTO. DESCRIPCIÓN GENERAL

Partiendo de las soluciones presentadas, el objetivo de este trabajo es desarrollar una solución genérica de encapsulado pasivo-activo que permita la posibilidad de montar los componentes dentro de un encapsulado estándar tipo mariposa o *dual-in-line* por ejemplo. Por tanto, y tal y como hemos visto en las limitaciones que presenta el prototipo *g-Pack*, deberemos mantener la orientación horizontal del componente encapsulado completo. Como el uso de la estructura de *gratings* para el acoplo obliga a que el acoplo de luz sea vertical, se pensó que la mejor solución era considerar el componente óptico como un simple dado y montarlo, usando para ello resina epoxídica, en el lateral de un soporte portador diseñado de forma que las conexiones eléctricas fueran desde el lado lateral del soporte a la parte superior, como se muestra en la Fig. 14 izq. (Dependiendo de la aplicación, el substrato será de material dieléctrico, metálico o cerámico).

Por otra parte, en el caso de aplicaciones que requieran conexiones eléctricas para los chips fotónicos, un chip electrónico puede ponerse en la parte superior del soporte y conectarse mediante tecnología de *wire-bonding* a los *pads* eléctricos del chip fotónico. Para mejorar las conexiones eléctricas entre los circuitos fotónicos y eléctricos así como para realizar las conexiones con los PINs externos del encapsulado se usa una capa flexible de cableado eléctrica (FLEX) debajo de los circuitos y del *fiber array*. Esta capa proporciona al encapsulado una alta flexibilidad en cuanto a las interconexiones eléctricas.

Como puede observarse, la distribución en horizontal de los componentes permite la inserción del substrato junto con el *fiber array* en la cavidad de un encapsulado comercial tipo mariposa (Fig. 14 drcha). En este ejemplo se han considerado dos chips ópticos idénticos fijados a ambas caras

laterales del soporte, acoplados cada uno a un array de 8 fibras, mientras que un chip electrónico se ha situado en la parte superior del soporte

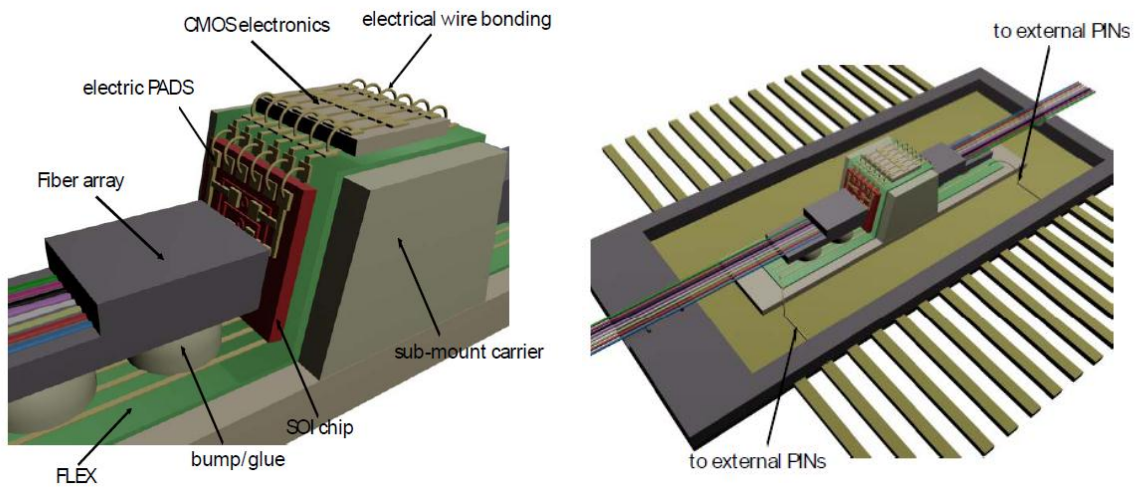


Fig. 14. Izq. Esquema del encapsulado con orientación horizontal. Drcha. Diseño del prototipo insertado en un empaquetado estándar tipo mariposa

IV.3. DISEÑO PROPUESTO. DESCRIPCIÓN DETALLADA PARA UN CASO PARTICULAR

En este apartado se va a describir detalladamente la solución propuesta para el caso particular de encapsulado de dos chips SOI con acoplo vertical a *fiber array*.

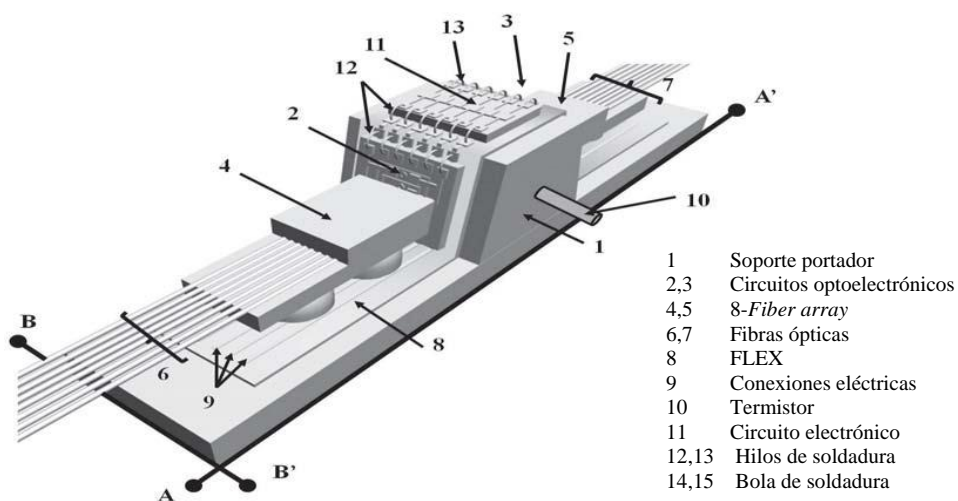


Fig. 15. Dibujo tridimensional de la solución genérica de encapsulado multipuerto basada en *grating coupler* para dispositivos SOI

La Fig. 15 es un dibujo tridimensional de la configuración básica del encapsulado propuesto, que muestra el aspecto del soporte portador (1) para emplazar lateralmente los circuitos optoelectrónicos (2,3) con acoplo vertical a dos *fiber array* (4,5) de 8 fibras cada una. El material utilizado para el substrato dependerá de la aplicación para la que va a ser usado el encapsulado así como de la temperatura que alcanzará. Opcionalmente, un termistor (10) puede ser fijado al soporte para controlar la temperatura. Para tal fin también puede hacerse uso de una célula de *peltier*. El substrato está cubierto por un cableado FLEX (8) que contiene las líneas eléctricas (9) para distribuir la señal eléctrica a los circuitos, sobre la cual descansan los chips fotónicos (2,3). El circuito electrónico (11) usado para procesar y distribuir las señales eléctricas a los circuitos fotónicos se sitúa en la parte superior del soporte. Los circuitos fotónicos y electrónicos se conectan al FLEX mediante hilos de soldadura (12,13) evitando así las esquinas del substrato que podrían dificultar la conexión. Para fijar los *fiber array* a la capa flexible se pueden usar bolas de soldadura o bien algún tipo de adhesivo que una la parte *V-groove* rígida al soporte. Para reducir el estrés y el movimiento durante los ciclos termales las fibras no se fijan al substrato. En la Fig. 16 se puede observar la vista del corte transversal y la vista superior del encapsulado.

Partiendo de esta solución podemos implementar fácilmente un array de encapsulados simplemente adhiriendo una estructura simétrica en base a la línea AA'. Haciendo esto se consigue una implementación más compleja pero altamente compacta y flexible debido a la gran flexibilidad que le confiere la capa FLEX. La Fig. 17. muestra un array de 8 encapsulados, aunque sería fácil aumentar ese número con solo ir adhiriendo encapsulados lateralmente.

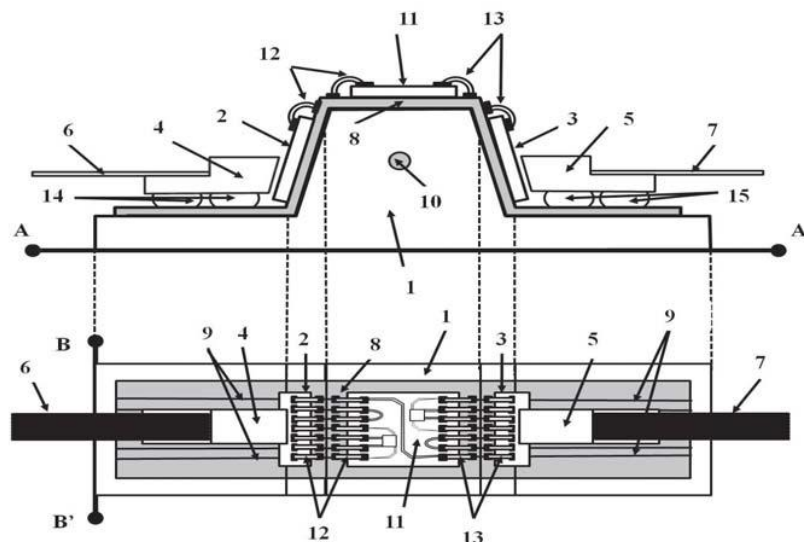


Fig. 16. Vistas transversal y superior de la solución de encapsulado de la Fig. 15

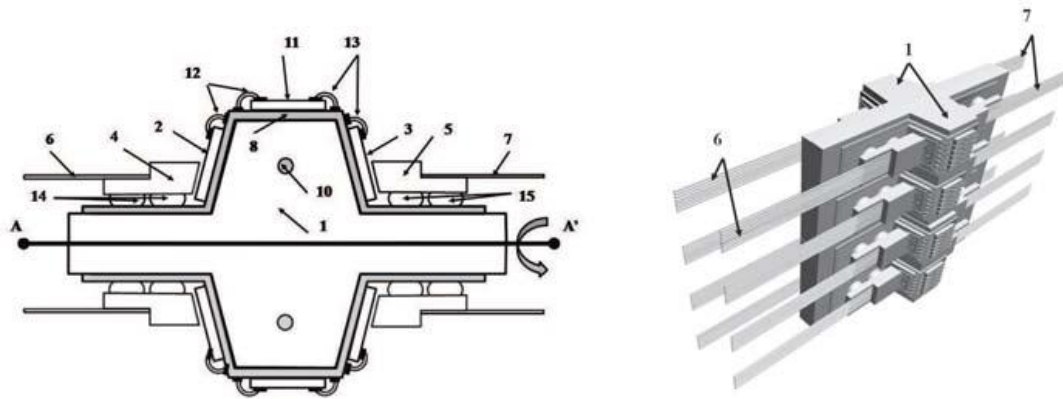


Fig. 17. Izq. Solución de encapsulado simétrica para creación de arrays. Drcha. Ejemplo de encapsulado en array compuesto por cuatro elementos mostrados en Izq.

Si además lo que queremos es aumentar el número de chips fotónicos sobre un mismo soporte lo que se debe hacer es modificar la forma de éste adaptándola al número de chips que se desea montar. Por ejemplo, si la forma del soporte es triangular, podremos interconectar hasta 3 *fiber array*, como se puede observar en la Fig. 18 (a). Si la forma del soporte es cuadrada podremos poner hasta 4 componentes (Fig. 18 (b)); si es pentagonal, hasta cinco (Fig. 18 (c)); si es hexagonal, hasta 6 (Fig. 18 (d)); y así sucesivamente hasta que la limitación en dimensiones nos obligue a parar. En todos estos casos, las fibras están en el mismo plano XZ. Para posibles futuras implementaciones podríamos extender esta solución a un encapsulado en tres dimensiones, de forma que las fibras estarán distribuidas en diferentes planos. Por ejemplo, podríamos pensar en una solución cuyo soporte tuviese una forma cilíndrica o esférica, tal y como muestra la Fig. 19.

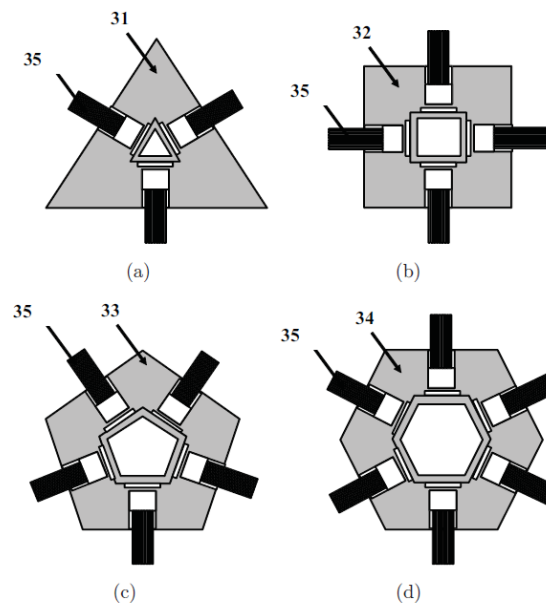


Fig. 18. Diferentes tipos de encapsulado según la forma de la capa FLEX: (a) triangular, (b) cuadrada, (c), pentagonal y (d) hexagonal.

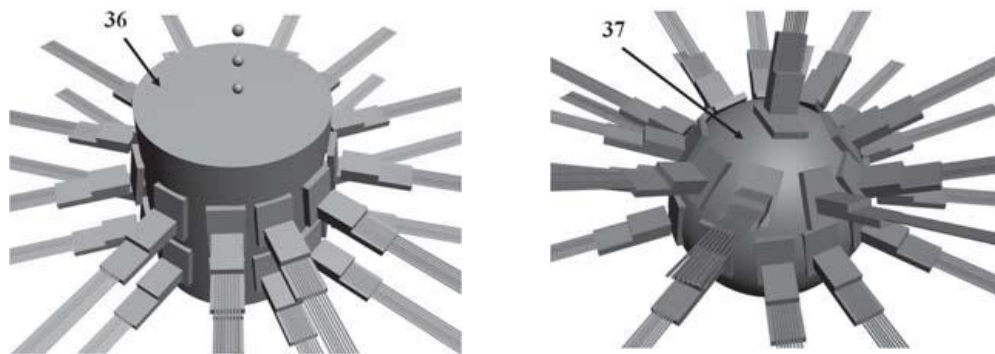


Fig. 19. Soluciones 3D de encapsulado basadas en el prototipo presentado con forma cilíndrica (izq.) y esférica (drcha.).

La alta flexibilidad que ofrece la solución de encapsulado propuesta es debida, como ya se ha comentado, al uso de la capa FLEX para las interconexiones eléctricas. De hecho, para el diseño de esta capa se puede pensar en diferentes posibilidades. En la solución presentada en la Fig. 16 vemos que la capa FLEX se extiende sobre la totalidad del soporte, estando los circuitos fotónicos y electrónicos unidos mediante *wire-bonding* a los hilos de la misma. De esta forma las interconexiones eléctricas con el encapsulado se pueden realizar con solo alargar la capa en ambos lados. El único problema que presenta esta solución es que si los acopladores están dispuestos en

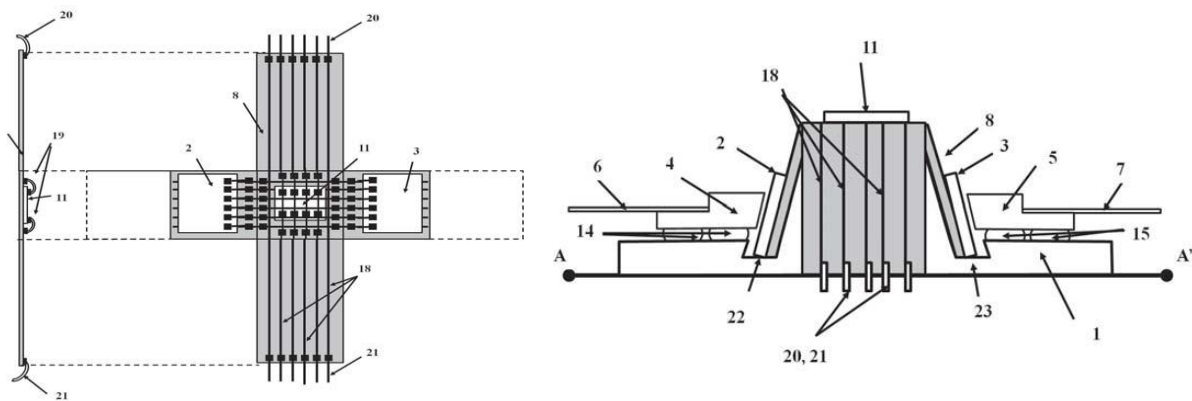


Fig. 20. Vistas de una configuración alternativa de la capa FLEX para solventar el problema cuando los *grating couplers* están situados en una posición elevada respecto las fibras en el *fiber array*.

una posición bastante alta respecto de los *fiber array*, el espacio que queda entre las fibras y la capa FLEX es considerable y las bolas de soldadura deberían ser de un tamaño bastante grande, confiriendo al sistema una estabilidad menor a la deseada. Este problema se resuelve con la configuración de la capa FLEX mostrada en la Fig. 20, en la cual ésta se extiende sobre el soporte solamente en las zonas de debajo de los chips fotónicos y electrónico. Si además realizamos dos

hendiduras a ambos lados del soporte sobre las que descansen los chips SOI, podemos controlar la distancia entre los *fiber array* y el sustrato adaptándola a nuestros intereses. Como además las fibras están fijadas directamente al soporte y no a la capa FLEX, la estabilidad del sistema aumenta de forma considerable.

IV.4. FABRICACIÓN DEL PROTOTIPO

Una vez presentada la solución propuesta se fabricó un prototipo del encapsulado en colaboración con otros grupos de investigación del NTC. Para realizar nuestro prototipo nos hemos centrado en la configuración de la Fig. 15 pero no hemos incluido ningún circuito electrónico en la parte superior del soporte. Así pues, el prototipo incluye dos chips SOI montados cada uno en ambos lados laterales del soporte, acoplado cada uno a dos diferentes *fiber array*. Para llevar a cabo la fabricación de nuestra solución vamos a ver los diferentes pasos que se han seguido.

IV.4.1. FABRICACIÓN DE LOS CHIPS SOI

Previamente a su fabricación, la estructura de *gratings* ha sido estudiada por compañeros del NTC mediante simulaciones y estudios teóricos, obteniendo de esta forma una eficiencia de acoplo del 30%. Los chips SOI tienen una área de 5 mm x 5 mm y contienen un total de 8 *grating couplers*, cuatro de ellos actuando como entrada (G1-G4) y los otros cuatro (G5-G8) como salida. Los *gratings* de entrada y salida están interconectados entre ellos mediante guías de Silicio de 500 nm de ancho separadas 250 μm . Con el objetivo de evitar fenómenos de *crosstalk* se han separado las guías SOI 50 μm . Las dimensiones y el aspecto que muestra el *layout* de cada chip SOI fabricado se indican en la Fig. 21.

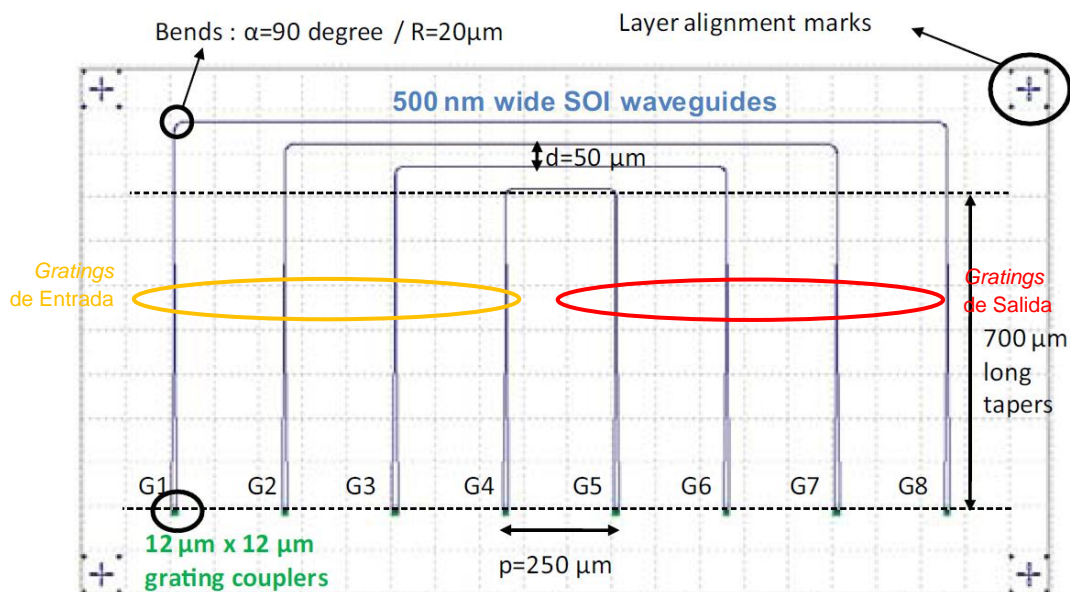


Fig. 21. Detalle del *layout* de cada dispositivo multipuerto

El área de cada *grating coupler* es de $12\ \mu\text{m} \times 12\ \mu\text{m}$ siendo 20 el número de periodos fabricados. Tienen un periodo de $600\ \text{nm}$ i un espesor de profundidad de $70\ \text{nm}$. Para aumentar la eficiencia de acoplo a las guías se han utilizado *tapers* de $700\ \mu\text{m}$ de longitud. Los chips se han fabricado en obleas SOI comerciales con una capa superior de silicio de $250\ \text{nm}$ de espesor y una capa de $3\ \mu\text{m}$ de SiO_2 .

IV.4.2. FABRICACIÓN DEL SOPORTE

Se escogió un soporte metálico, las dimensiones del cual dependían de las dimensiones de los chips SOI así como de las dimensiones del *fiber array* escogido. Las dimensiones de las fibras pueden obtenerse de la hoja de especificaciones del fabricante. En nuestro caso, se trata de *fiber array* de 8 fibras de la compañía OZOptics, cuyas dimensiones pueden observarse en la Fig. 22.

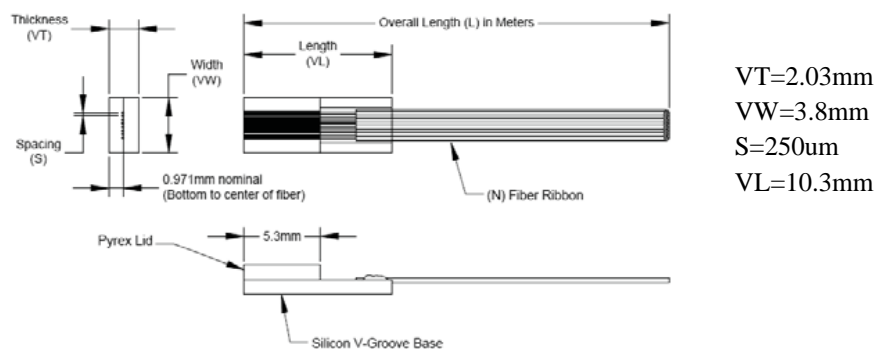


Fig. 22. Detalle de las dimensiones del *fiber array* utilizado

Teniendo en cuenta las medidas de ambos componentes decidimos fabricar un soporte con las dimensiones mostradas en la Fig. 23.

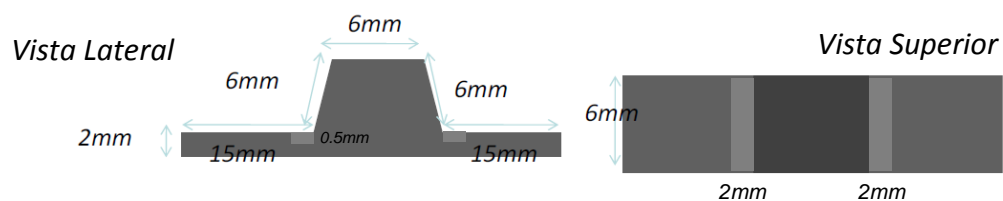


Fig. 23. Dimensiones del soporte construido

IV.4.3. MONTAJE DE LA CAPA FLEX SOBRE EL SOPORTE

El siguiente paso fue montar y fijar la capa FLEX sobre el sustrato. Para tal fin se usó un adhesivo comercial. Para aplicaciones reales se debería tener en cuenta aspectos termales en la elección del material de soldadura o de pegado a utilizar.

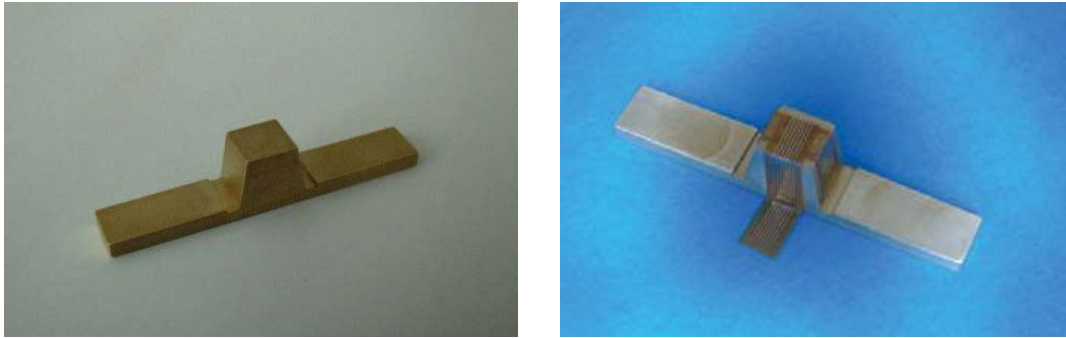


Fig. 24. Foto del soporte metálico fabricado (izq.) sin y (drcha.) con la capa FLEX sobre el mismo

IV.4.4. ALINEAMIENTO Y PIGTAILING DEL FIBER ARRAY Y EL CHIP SOI

Paralelamente a la fabricación del soporte metálico y la colocación del FLEX encima, se realizó el alineamiento de las *fiber array* con las guías ópticas utilizando para ello el banco de alineamiento semi-automático MICOS. Ya se comentó en anteriores apartados que éste era el punto más crítico en el proceso de encapsulado, aún más tratándose de guías y fibras monomodo. El *set-up* que se utilizó es el mostrado en la Fig. 25. Como los *grating couplers* han sido diseñados para polarización TE conectamos el láser directamente a un controlador de polarización para controlar la polarización en el puerto de entrada. Como las fibras que usamos son mantenedoras de la polarización, la luz no cambia de polarización tras el controlador, de forma que no hace falta otro a la salida. Antes de conectar las fibras de entrada y salida al PC y detector respectivamente, se conectan a las salidas de un láser rojo que nos facilita en gran medida el alineamiento. Con ayuda de éste, se hace un primer pre-alineamiento manual controlando el brazo que sujeta la fibra mediante el teclado del ordenador, con el objetivo de alinear la fibra de entrada. Cuando se consigue ver un brillante spot de color rojo sobre el *grating* de entrada significa que la luz está acoplada. Pasamos ahora a alinear la fibra de salida. Como las ocho fibras están fijadas mediante el *fiber array* si lo movemos para alinear la fibra de salida estaremos también moviendo la fibra de entrada previamente alineada con lo que podemos perder la posición que teníamos. Llegado a este punto debemos jugar con los ángulos en los tres planos. Como suponemos que el *fiber array* está bien construido, si conseguimos alinear las fibras de los extremos (G1-G8) estaremos alineando implícitamente las del centro. Cuanto más separadas estén las fibras, más complicado se hace el proceso. Una vez se consigue divisar dos spots, uno en cada guía, se conectan sendas fibras al láser y al detector. Mediante un barrido en espiral en el plano XZ con una ventana de radio que le indiquemos (unas cuantas micras dependiendo de la posición) el software busca, de forma automática, el máximo de potencia. Cuando en la pantalla del ordenador se dibuje una campana de Gauss perfecta (Fig. 25), con el máximo en el máximo de potencia, habremos encontrado la posición óptima en el plano XZ. Ahora lo único que nos queda es acercarse de forma manual y con

pasos muy pequeños (1 micra o menos) la fibra al chip para encontrar la distancia óptima y poder realizar el *pigtailing*.

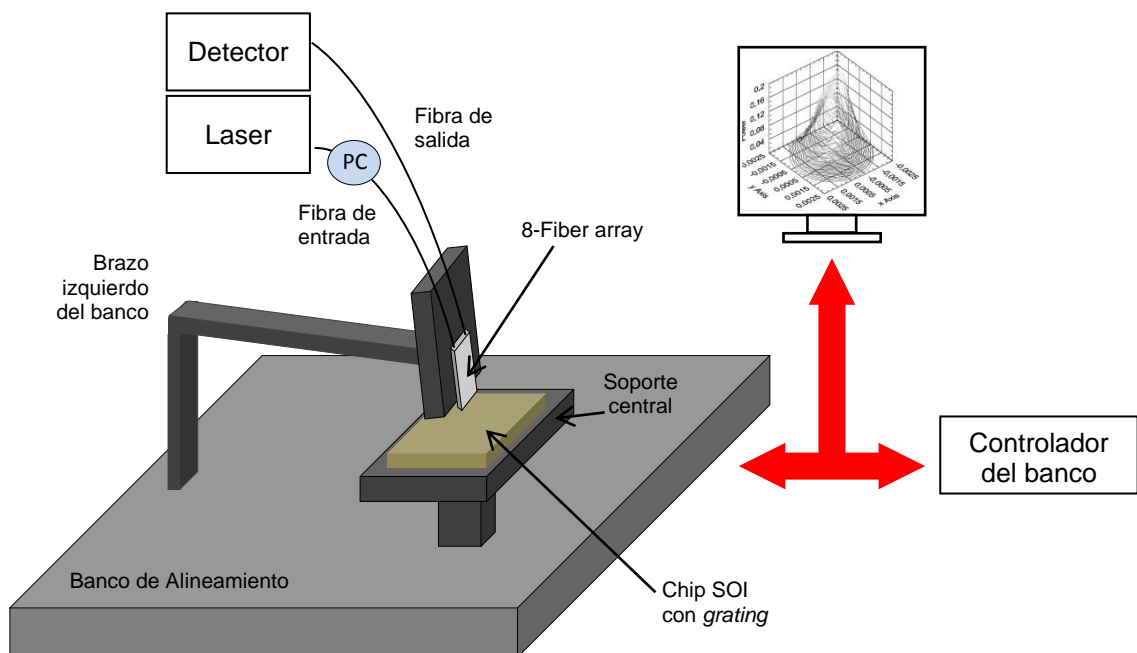


Fig. 25. Dibujo del *set-up* para el alineamiento y el *pigtailing*

Para hacer el *pigtailing* elevamos el banco y los componentes a una temperatura de 120°. Tras esperar unos minutos para que el sistema se estabilice volvemos a hacer un alineamiento, comprobando que la potencia recibida por el detector es la misma que la obtenida cuando el banco estaba a temperatura ambiente. Depositamos la resina epoxídica sobre el extremo del *fiber array* tocando el chip y la secamos mediante la exposición de luz UV. La resina que utilizamos es la OP-4-20647 que tiene un índice de refracción de 1.45 a una longitud de onda de 1550 nm, parecido al del núcleo de la fibra óptica. Comprobamos que tras el *pigtailing* obtenemos 1 dB más de pérdidas (Fig. 26). Este valor se debe al hecho de que los *grating couplers* del chip están optimizados para el índice de refracción del aire ($n=1$), mientras que la resina tiene un índice de 1.45. Además, comparando los dos espectros (antes y después de aplicar la resina) se observa como la respuesta del segundo es mucho más clara que la del primero, debido esto a la adaptación de índices que produce el adhesivo.

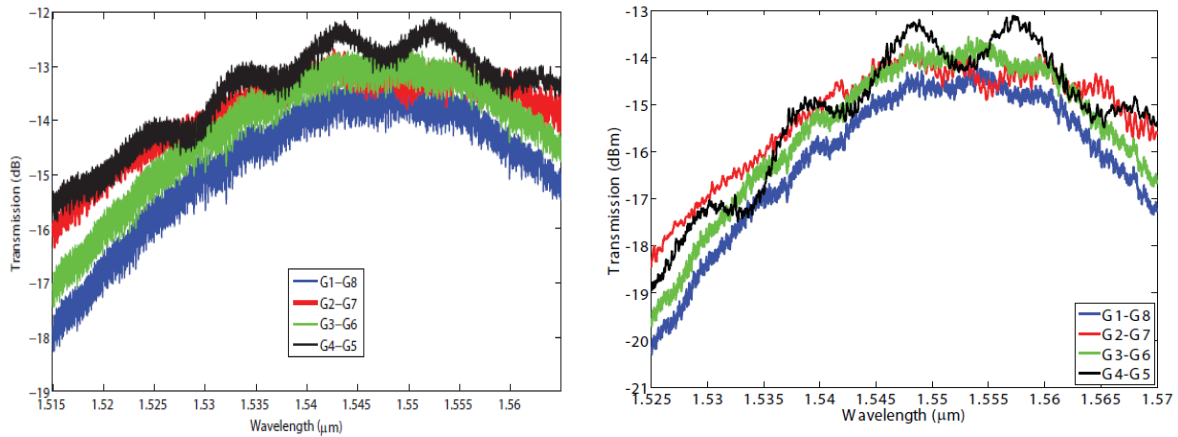


Fig. 26. Espectros de transmisión de los *grating couplers* antes (izq) y después (drcha.) del *pigtailing*

En la Fig. 27 (izq.) se muestra los chips con las fibras tras el *pigtailing* en comparación a una moneda de 1 céntimo de Euro.

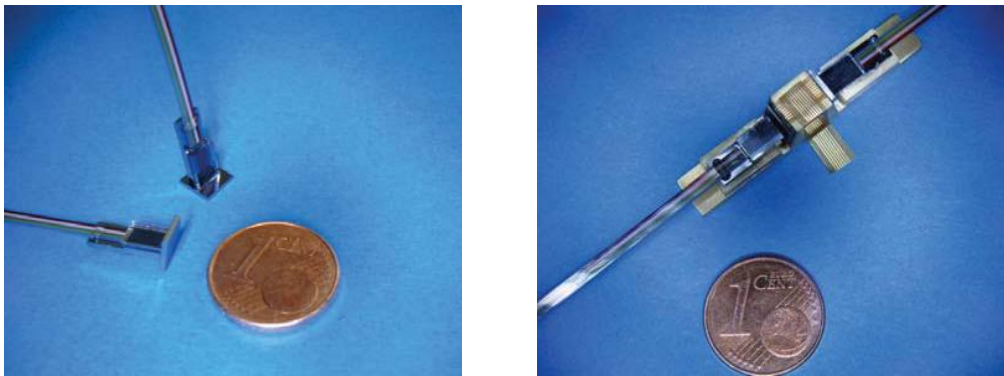


Fig. 27. Foto de los chip SOI después del *pigtailing* (izq) y foto del prototipo de encapsulado demostrado (drcha.) en comparación a una moneda de 1 céntimo de Euro.

IV.4.5. MONTAJE DE LOS CHIPS CON LOS FIBER ARRAYS AL SOPORTE

Después del *pigtailing* los chips junto con las fibras son fijadas al soporte que ya habíamos fabricado, usando para ello un adhesivo convencional. Para que los *fiber array* no queden al aire hemos rellenado el espacio que queda entre ellos y el soporte con una pieza de vidrio. El aspecto final es el mostrado en la Fig. 27 (drcha.).

IV.4.6. WIRE-BONDING DE LOS CHIPS SOI A LA CAPA FLEX

Mediante técnicas de *wire bonding* hacemos las uniones entre los *pads* de los chips fotónicos y los hilos de la capa FLEX para poder realizar las conexiones eléctricas con el exterior.

IV.4.7. ENCAPSULADO DEL SISTEMA O MONTAJE EN PLACA

Finalmente, el sistema puede ser encapsulado, por ejemplo en un encapsulado tipo mariposa como el de la Fig. 28, o bien con tecnología de montaje superficial. Para realizar las conexiones eléctricas con el exterior simplemente hay que conectar los hilos de la capa FLEX directamente con los *pins* del encapsulado. Además, dependiendo de la aplicación, y debido a la utilización de esta capa flexible, el sistema puede montarse directamente sobre la placa mediante algún conector y unirse eléctricamente al circuito mediante técnicas de *wire-bonding* sin necesidad de ser encapsulado, actuando el soporte metálico como el encapsulado en sí.

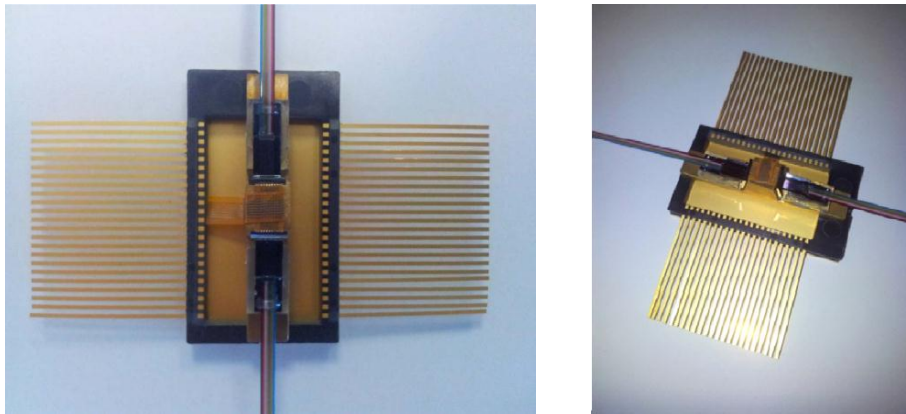


Fig. 28. Foto del prototipo demostrado insertado en un encapsulado tipo mariposa con la conexión de la capa FLEX realizada

V. MEDIDAS EXPERIMENTALES

En este apartado se van a presentar los resultados obtenidos tras la fase de alineamiento de los *fiber arrays* a los *grating couplers* con el objetivo de demostrar las ventajas de usar esta estructura de acoplo para dispositivos SOI multipuerto.

Para calcular las pérdidas de transmisión del sistema el láser inyecta en el montaje una potencia de 0 dBm, de forma que el valor recogido por el medidor de potencia corresponde a las pérdidas totales: pérdidas de acoplo en los *gratings* de entrada y salida, pérdidas de propagación en los *tapers* de entrada y salida y pérdidas de propagación en las guías monomodo SOI. Estos resultados se muestran en la Tabla 2. Como ya se comentó, conforme aumenta la distancia entre las fibras de entrada y salida el alineamiento resulta más complicado, produciéndose así más pérdidas de acoplo. También contribuye a este aumento la diferencia de longitud de las guías, lo que provoca unas mayores pérdidas de propagación.

Fibras de entrada-salida	Pérdidas de transmisión (dB)
G1-G8	13.7
G2-G7	13.2
G3-G6	13.1
G4-G5	12.6

Tabla 2. Pérdidas de transmisión del sistema para cada par entrada-salida

A partir de los valores experimentales correspondientes a la potencia óptica de salida (coincidente directamente con las pérdidas del sistema) medida para cada par de fibras entrada-salida de diferente longitud, se ha realizado una aproximación por mínimos cuadrados para interpolar a otras posibles longitudes las pérdidas de transmisión. La longitud total de cada camino se puede calcular a partir de la geometría de la Fig. 21, tal y como se indica en la Tabla 3.

Par de entrada-salida	Longitud Horizontal	Longitud Vertical	Longitud arco	Longitud μm
G1-G8	$7p - 2R$	$2(3d)$	$2(\pi/2)R$	2072.83
G2-G7	$5p - 2R$	$2(2d)$	$2(\pi/2)R$	1472.83
G3-G6	$3p - 2R$	$2(d)$	$2(\pi/2)R$	872.83
G4-G5	$p - 2R$		$2(\pi/2)R$	272.83

Tabla 3. Longitud de los diferentes caminos que sigue la luz

La Fig. 29 muestra la representación de los valores experimentales y la aproximación por mínimos cuadrados. Las pérdidas de exceso, que incluyen las pérdidas de acoplo de los *grating couplers* y las pérdidas en los *tapers*, se puede extraer de la gráfica a partir de la aproximación por mínimos cuadrados considerando que la longitud de la guía es cero. Así pues, en nuestro caso tenemos unas pérdidas de exceso de (12.48 ± 0.12) dB. Como experimentalmente no podemos saber las pérdidas de los *tapers* ya que todos tienen la misma longitud, asumimos que las pérdidas de exceso son debidas exclusivamente a las pérdidas de acoplo de los *gratings* (el de entrada y el de salida), por lo que obtenemos unas pérdidas de acoplo de unos 6.24 dB por *grating*. Este valor se corresponde, con una eficiencia de acoplo para cada *grating* de 23.77%, valor que es coherente con el 30% esperado de forma teórica teniendo en cuenta los parámetros medidos después de la fabricación. Extrayendo estas pérdidas de la gráfica, lo que nos quedan son las pérdidas de propagación en la guía. Extrapolando la recta por mínimos cuadrados a 1 cm, medida habitual en la medida de pérdidas de propagación, obtenemos un valor de (5.67 ± 0.9) dB/cm. La Fig. 30 muestra

el espectro de transmisión medido de los cuatro caminos entrada-salida y chip. Se observa como las pérdidas medidas varían en función de la longitud del camino.

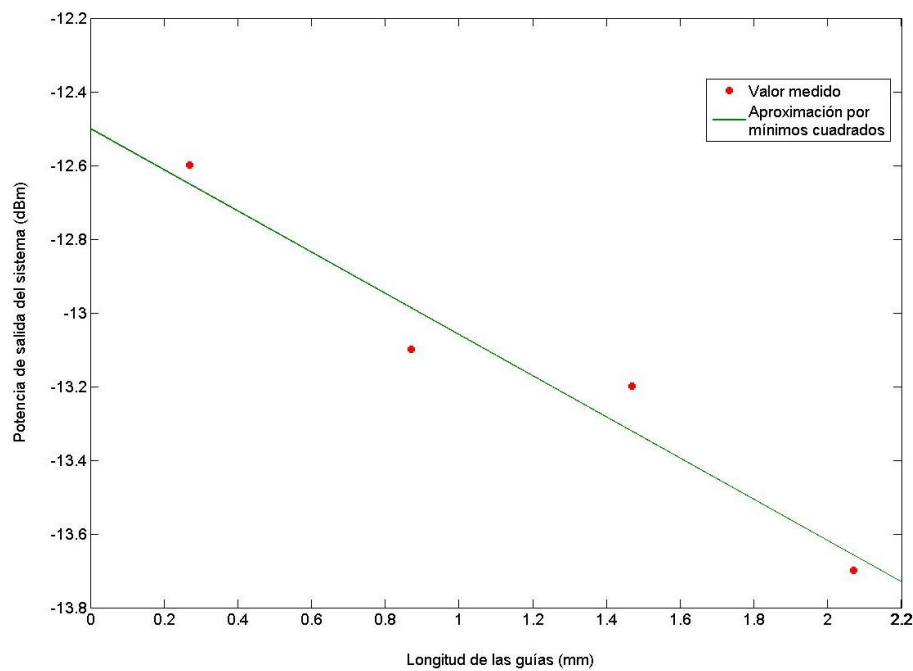


Fig. 29. Potencia de salida medida para cada par entrada-salida, y aproximación por mínimos cuadrados para calcular las pérdidas de propagación y exceso de la estructura de acoplo.

Finalmente, hemos calculado las tolerancias de alineamiento de los *gratings* fabricados, puesto que ya dijimos que cuando se trata de alinear varios puertos al mismo tiempo, una pequeña desviación en un eje provoca una gran desadaptación. Para esto, se han medido las pérdidas de transmisión en función del desplazamiento de la fibra haciendo un escaneo automático sobre la superficie de los *gratings* en el plano XZ. Esto se muestra en la Fig. 31 para el camino más largo G1-G8 porque como ya dijimos es el más crítico en cuanto a pérdidas. La coordenada (0,0) corresponde con la posición óptima de las fibras. Se puede observar como las tolerancias de alineamiento a lo largo del eje Z (dirección longitudinal del *grating*) es de aproximadamente $\pm 2 \mu\text{m}$ con una penalización de 1 dB, mientras que en el eje X (dirección en el ancho del *grating*) la tolerancia es un poco mayor, $\pm 3 \mu\text{m}$ con una penalización también de 1 dB.

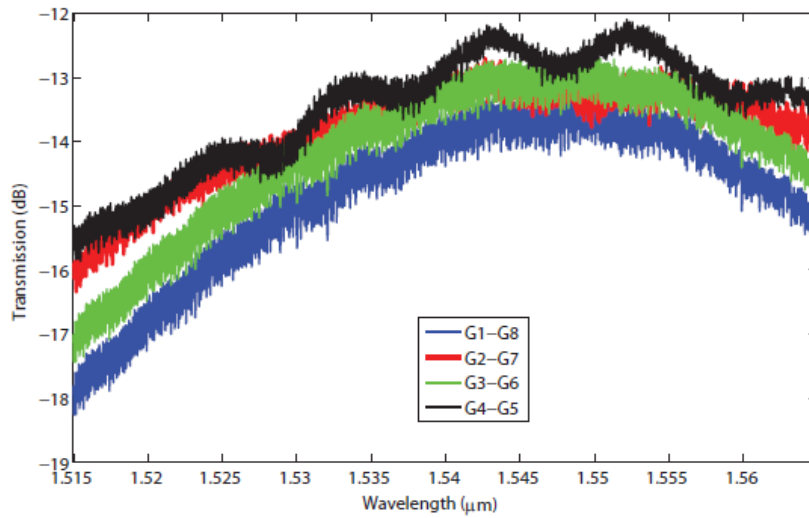


Fig. 30. Espectro de transmisión medido para los *gratings* del prototipo fabricado.

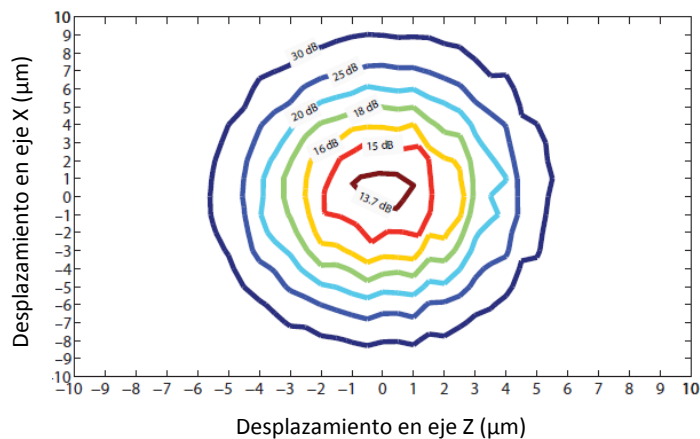


Fig. 31. Tolerancias de alineamiento para el chip medido

VI. CONCLUSIONES Y TRABAJO FUTURO

VI.1. CONCLUSIONES

La fotónica de silicio ha sufrido un espectacular desarrollo en los últimos años debido a su reducido coste, alto nivel de integración y, sobre todo, su compatibilidad con los procesos de fabricación CMOS utilizados en la industria microelectrónica. A pesar de tal avance todavía está muy atrás en el desarrollo industrial de la tecnología estudiada experimentalmente. Como en cualquier otra ciencia, el proceso natural desde la investigación de un producto hasta su puesta en el mercado consta de tres fases: 1) investigación, 2) transferencia de tecnología e 3) industrialización. 1) y 2) han sido desarrolladas en este proyecto.

Así pues, el propósito fundamental de este trabajo ha sido demostrar un prototipo de encapsulado que pueda integrar chips fotónicos y electrónicos con múltiples puertos de entrada-salida utilizando para el acoplo entre fibra óptica y circuito integrado una técnica eficiente de acoplo basada en *grating couplers*. Para llevar a cabo esta idea, en primer lugar, se ha realizado un análisis, modelado y caracterización de la estructura de *grating coupler* proponiendo un diseño basado en la mínima complejidad tecnológica para facilitar el alineamiento con la fibra, tal y como se explica en el apartado IV.4.1., de forma que la geometría que define dicha estructura es la óptima en lo que se refiere a pequeños errores de alineamiento con la fibra. La eficiencia de acoplo del *grating* obtenida teóricamente es de 30%. Una vez obtenidos los parámetros óptimos de diseño de la estructura, se procede a su fabricación y caracterización. Para la fabricación se utilizan obleas SOI comerciales con dos capas de Si y SiO₂ de 250 y 3 μm de espesor respectivamente. Para la caracterización experimental se ha realizado un montaje explicado en el punto IV.4.4. con el que se ha obtenido una eficiencia de acoplo del *grating* de aproximadamente 24% el cual sigue una buena correlación con el resultado teórico. En segundo lugar, y tras el alineamiento de las 8 fibras (4 de entrada y 4 de salida) con los *grating couplers*, se ha realizado el *pigtailing* utilizando una resina comercial con índice de refracción similar al del núcleo de la fibra óptica, y comprobando experimentalmente que se obtiene 1 dB más de pérdidas en el espectro de transmisión del *grating* tras aplicar la resina. Finalmente, se ha desarrollado un encapsulado genérico que permite la posibilidad de montar los componentes dentro de un encapsulado estándar existente. Además, esta solución mantiene la orientación horizontal del dispositivo encapsulado salvando así las limitaciones que supone la orientación vertical. Básicamente, se trata de una estructura metálica que permite la colocación de dos chips fotónicos en los laterales de un soporte descansando los *fiber array* sobre el sustrato. Para una mayor flexibilidad de las conexiones ópticas y eléctricas se ha utilizado una capa FLEX sobre la superficie del sustrato debajo de los chips SOI que permite hacer interconexiones dentro del encapsulado y con el exterior mediante tecnología de *wire bonding*. En la parte superior de la estructura queda espacio para la colocación de un chip electrónico en caso de que la aplicación lo requiera, pero en este proyecto no se ha considerado su uso. Después del diseño de la configuración de la estructura, se fabricó el sustrato y se colocó la capa FLEX encima. Para concluir el proceso, se montaron sobre los laterales del soporte los dos chips SOI unidos a sus respectivos *fiber arrays* tras el proceso de *pigtailing*. De esta forma quedó demostrado nuestro prototipo.

VI.2. TRABAJO FUTURO

Son todavía muchos los aspectos que podrían ser objeto de estudio para un trabajo futuro. El primero, es la investigación de una estructura de *grating couplers* con más eficiencia de acoplo. Esto podría conseguirse de diferentes formas (Fig. 32). El camino más fácil para incrementar la eficiencia de acoplo es poner sobre la capa de silicio una fina capa de material con índice de

refracción igual al índice efectivo de la fibra evitando así las reflexiones en la superficie de la fibra. Otro método para conseguir mejorar el acoplo es añadir un espejo en la interfaz del sustrato entre las capas de Si y SiO₂ de la oblea SOI para que la luz que en principio se pierde a través del sustrato sea redireccionada a la guía de arriba y mediante interferencia constructiva con la luz se acople a la guía, mejorando también así la eficiencia de acoplo. Finalmente, otra estrategia es diseñar un *grating coupler* no uniforme, es decir, que el periodo varia a lo largo de la estructura. Un estudio teórico de todas estas variaciones ha sido llevado a cabo por la Universidad de Ghent dentro del proyecto HELIOS [11]. Los resultados obtenidos fueron satisfactorios mejorando en cualquier caso la eficiencia de acoplo. Con el primer método se obtuvo una eficiencia del 44%, 53% con el segundo y 79% con el uso de una capa reflectora en la interfaz. El uso de un *grating* no uniforme supone una eficiencia entre el 60% y el 70%, un poco inferior a la obtenida con el espejo. Aunque estos dos últimos métodos pueden llegar incluso a aumentar la eficiencia hasta valores superiores al 90% su fabricación resulta muy complicada y los resultados experimentales no son tan aceptables como los teóricos, por lo que hasta el momento, siguen en proceso de investigación.

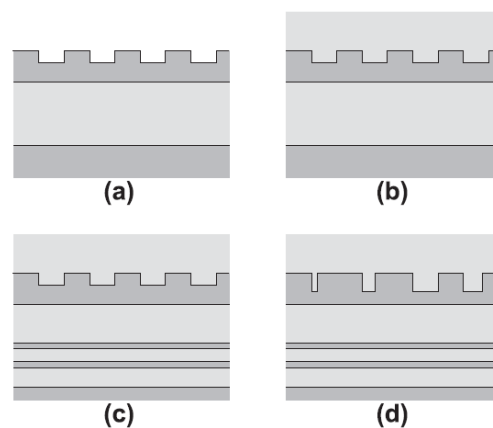


Fig. 32. Esquemático de diferentes tipos de *couplers*: grating uniforme sobre SOI con aire en la capa superior (a); grating uniforme sobre SOI con óxido en la capa superior (b); grating uniforme sobre SOI con espejo en la interfaz (c); grating coupler no uniforme con periodo variable

En segundo lugar, y como ya se presentaron en el apartado IV.2. podrían diseñarse diferentes configuraciones de encapsulado gracias a la flexibilidad que permite la capa FLEX. Así pues, podrían conseguirse *arrays* planares del encapsulado propuesto o también soluciones de empaquetado en 3D para aplicaciones más complejas.

En tercer lugar, en vez de utilizar un soporte metálico, se podrían usar otros materiales como cerámicos o vidrio, dependiendo de la aplicación para la que vaya a ser usado el encapsulado. Por ejemplo, si se van a destinar a aplicaciones de espacio, los materiales cerámicos son los más adecuados debido a su baja densidad, pese a que resultan más caros. Si se va a destinar a

aplicaciones donde la disipación de calor o el aislamiento eléctrico no son críticos, entonces podemos utilizar encapsulados de vidrio.

Finalmente, se podría proponer la realización de un prototipo como el demostrado en este proyecto pero orientado a aplicaciones que requieran la incorporación de un circuito microelectrónico situado en la parte superior del sustrato, permitiendo así la oportunidad de convertirse en un producto real para la industria en un futuro próximo.

AGRADECIMIENTOS

Agradecemos el apoyo financiero por parte del Ministerio de Ciencia e Innovación a través de los contratos de SINADDEC TEC2008-06333, DEMOTEC TEC2008-06360 y PROMETEO 2010-087 R&D Excellency Program (NANOMET).

También me gustaría aprovechar para dar las gracias a Pablo y Gianni, por su gran ayuda y apoyo como directores de este trabajo. Gracias también a Javier Martí, director del NTC, por darme la oportunidad de trabajar en el centro desde hace ya más de dos años. Dar también las gracias a mi compañero Jose Vicente por su gran ayuda a lo largo del tiempo que llevo en el NTC.

Valencia, Diciembre 2011.

REFERENCIAS

- [1] L. Zimmermann, G.B. Preve, T. Tekin, T. Rosin, K. Landles, *Packaging and Assembly for Integrated Photonics-A Review of the ePIXpack Photonics Packaging Platform*. Frankfurt (Germany), 2011, vol. 17, no. 3, pp. 645–651.
- [2] C. Kopp, S. Bernabé, B.B. Bakir, J.M. Fideli, R. Orobtcouk, F. Schrank, H. Porte, L. Zimmermann, T. Tekin, *Silicon Photonic Circuits: On-CMOS Integration, Fiber Optical Coupling, and Packaging*. Grenoble (France), 2010, vol. 17, no. 3, pp. 498–509.
- [3] A. Liu, R. Jone, L. Liao, D. Samara-Rubio, D. Rubin, O. Cohen, R. Nicolescu, M. Paniccia, *A high-speed silicon optical modulation base on metal-oxide-semiconductor capacitor*, Nature, Feb. 2004, vol. 427, no. 6975, pp. 615-618.
- [4] L. Zimmermann, T. Tekin, H. Schröder, P. Dumon, W. Bogaerts, *How to bring nanophotonics to application – silicon photonics packaging*. IEEE LEOS Newsletter, 2008, pp. 4–14.
- [5] H. Lee, Y.C. Lee, *Optoelectronic Packaging for Optical Interconnects*, Optics & Photonics News, 2006, vol. 17, no. 1, pp. 40–45.
- [6] S. Madduri, B.G. Sammakia, B. Infantolino, S. Chaparala, *A review of non-hermetic optoelectronic packaging*. The 11th Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems, (ITHERM 2008), Orlando (Florida) 2008, pp. 913–919.
- [7] <http://www.ict-boom.eu>
- [8] L. Zimmermann, K. Voigt, K. Vyrsoinos, L. Stampoulidis, P. Bakopoulos, I. Lazarou, S. Dris, H. Avramopoulos, Y. Zhou, S. Clements, J. Heaton, M. Kroh, Y. Yamamoto, D. Micusik, J.C. Sheytt, M. Llopis, G.B. Preve, R. Nogueira, P. Monteiro, A.C. Piat, D. Roccatto, *The European Galactico project: Coherent Terabit Ethernet systems using 4 μm rib waveguide silicon-on-insulator technology and GaAs electro-optics modulators*. The Photonics Society Summer Topical Meeting Series IEEE 2011, Montreal (Canadá), 2011, pp. 151-152.
- [9] L. Zimmermann, H. Schröder, T. Tekin, W. Bogaerts, P. Dumon, *ePIX-pack – Advanced Smart Packaging Solutions for Silicon Photonics*. Proc. Of 14th European Conference on Integrated Optics, Eindhoven (The Netherlands), 2008, pp. 33–36.
- [10] L. Zimmermann, H. Schröder, T. Tekin, W. Bogaerts, P. Dumon, *g-Pack – a generic testbed package for Silicon photonics devices*. Proc. 5th IEEE International Conference Group IV Photonics, Sorrento (Italy), 2008, pp. 371-373.
- [11] D. Taillaert, F.V. Laere, M. Ayre, W. Bogaerts, D.V. Thourhout, P. Bienstman, R. Baets, *Grating Couplers for Coupling between Optical Fibers and Nanophotonic Waveguides*, Japanese Journal of Applied Physics, 2006, vol. 54, no. 8A, pp. 6071-6077.
- [12] J.V. Galan, A. Griol, J. Hurtado, P. Sanchis, G.B. Preve, A. Hakansson, J. Marti, *Packaging of silicon photonic devices: grating structures for high efficiency coupling and a solution for standard*

integration. The European Microelectronics and Packaging Conference, (EMPC 2009), Rimini (Italy) 2009, vol.8, no.3, pp. 1–6.

- [13] J.V. Galan, T. Tekin, G.B. Preve, A. Brimont, M. Llopis, P. Sanchis, *Low profile silicon photonics packaging approach featuring configurable multiple electrical and optical connectivity*, in the 8th International Conference on Group IV Photonics, GFP 2011, London, 2011.
- [14] D. Taillert, W. Boagerts, R. Baets, *Efficient coupling between submicron SOI-waveguides and single-mode fibers*, University of Gent, 2003.
- [15] A.R. Mickelson, N.R. Basavanhally, Y.C. Lee, *Optoelectronic Packaging*, Edited by John Wiley & Sons, United States of America, 1997, pp. 1-7, 45-57.
- [16] J. Capmany, F.J. Fraile-Peláez y J. Martí, *Fundamentos de Comunicaciones Ópticas*, Ed. Síntesis, 1998.

ANEXO

Low profile silicon photonics packaging approach featuring configurable multiple electrical and optical connectivity

J.V. Galan¹, T. Tekin², G. B. Preve¹, A. Brimont¹, M. Llopis¹, P. Sanchis¹

¹Nanophotonics Technology Center, Universidad Politécnica de Valencia, Camino de Vera, s/n, 46022 Valencia, SPAIN

²Technische Universitaet Berlin, TIB 4/2-1, Gustav-Meyer-Allee 25, 13355 Berlin, GERMANY

E-mail: pabsanki@ntc.upv.es

Abstract—A package solution for silicon photonic integrated circuits with multiple input/output grating-based optical interfaces is proposed and experimentally demonstrated. The approach is based on using a subassembly sub-mount carrier to maintain standard-compatible lateral orientation for the fibers in the package, while changing the orientation of the photonic chip to assure out-of-plane optical coupling via gratings. As a result, a low profile package featuring configurable multiple electrical and optical connectivity is achieved.

Keywords- *Integrated optics; packaging; grating couplers; silicon on insulator technology*

I. INTRODUCTION

The field of silicon photonics is rapidly attracting the attention and interest of industry because it utilizes scalable CMOS technology, which may offer a highly integrated photonic-electronic transmission platform for many cheap, low-power, energy-efficient and small-sized communication applications [1]. One of the key issues for bringing silicon photonics research to market is to efficiently solve the problem of coupling light in and out of nanophotonic circuits by means of optical fibers. The major difficulty stems from the large mismatch in mode size of silicon nanowires (\sim a few hundred nanometers) and standard single mode fibers (SMF, $\sim 10 \mu\text{m}$). Many solutions to overcome high coupling efficiency have been proposed and keep appearing in literature, following two main approaches: lateral coupling (in-plane) via inverse taper [2-4], and vertical coupling (out-of-plane) via grating couplers [5-7]. However, besides efficiency, other constraints such as high alignment tolerances may limit the feasibility of a coupling approach, especially in the case of high optical pin-out. In order to bring photonics to application, the gap between component and environment has to be bridged by providing reliable interfaces [8]. Gratings offer clear advantages compared to lateral coupling, such as compatibility with planar processing, the possibility for wafer-level testing, and relatively large alignment tolerances [9]. However, gratings also evoke the need for entirely new smart packaging solutions due to the effect of out-of-plane coupling. In the course of the work in [10], a generic smart packaging concept for cost effective and compact fiber array optical interconnection was proposed. However, this solution is only aimed for passive optical circuitry. A generic package approach for prototyping should therefore handle both optical and electrical pin-out. Following this approach, a generic approach also incorporating electrical ports was then demonstrated [11]. Electrical connections are established by wire bonding to a commercial pin grid array

(PGA) carrier, and the optical fibers stick out vertically from the chip surface. However, such vertical orientation is not easy to adapt to standard layouts for optoelectronics devices where, quite often, we have horizontal orientation for the optical fibers. Also it is not really attractive in general to have such a loss of space on the top of the final device (we can have many mm of lost space in thickness). Thus, this approach offers high profile packaging, which might be a problem, for instance, when inserting the package in a board.

II. PROPOSED PACKAGING APPROACH

Trying to overcome such limit, we started to develop a generic packaging solution to allow the possibility to use such pigtailed components inside existing standard package solutions, a solution that could permit, where necessary, not to change the usual horizontal orientation of the complete packaged device as well to have a more rational footprint. The simple concept arises from well known pin/laser-diodes die-attachment applications where it is very usual to have substrates where to attach and connect the dies in the proper and most suitable way. In our particular case we know that we have to change the fibers orientation from vertical, as requested by the grating structure, to horizontal, so we think that the best approach is to consider the SOI component as a simple die and to attach it, using UV epoxy for instance, to the lateral side of a subassembly sub-mount carrier (i. e. dielectric, metal or ceramic, depending on the application in particular), designed in such a way that the eventual transmission lines or

Electrical connection runs from the lateral side to the top side, as showed in Fig.1.

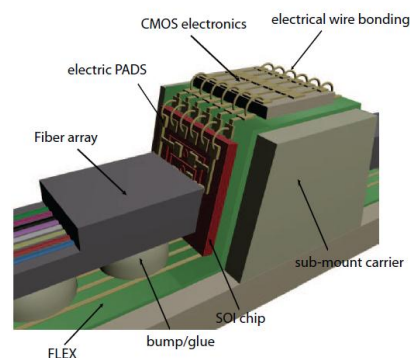


Figure 1. Scheme of subassembly for chip physical orientation change.

Thus, the required CMOS electronic chip can be placed on top of the carrier, and wire bonded to the electrical pads of the photonic chip. A flexible wiring layer (FLEX)

underneath the circuits and the fiber array can be used for improving the electrical connections when needed, thus making easier the electrical wire bonding between photonics and electronic circuitry (see Fig. 1). As a matter of fact we create a sub-assembly that can be, in a second step, easily mounted inside any standard package cavity, in the preferred position, and it is simple to imagine that the fibers can exit from the package through a frontal cavity properly designed or a ferrule. In Fig. 2 we show an example of design, placing our sub-assembly inside a cavity of a butterfly package. Looking at the drawing in Fig. 2 it is clear that, with the use of such a sub-mount, it is easy to connect, later on, the gold pads on the top of the same substrate directly to the external pins of the package. It is also possible, eventually, to integrate components on the sub-mount itself, both on the lateral side and the top side.

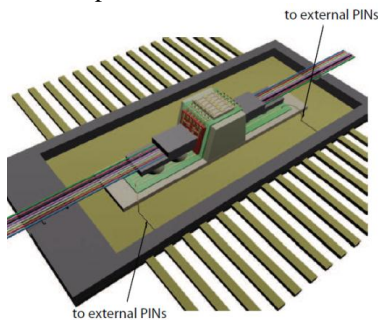


Figure 2. Package design with a butterfly package.

In this case, we consider two identical SOI chips attached to the carrier, each of them coupled to a different 8-fiber array. The electronic chip is placed on top of the carrier. It can also be shown the flexibility of using the FLEX also to wire bond electronic wires to the external pins of the package.

III. DEMONSTRATOR EXPERIMENTAL RESULTS

A prototype was fabricated to demonstrate the proposed packaging approach. In our demonstrator we will not include any electronic circuitry on top of the sub-mount carrier for the time being. So, our demonstrator will include two different SOI chips attached to the sub-mount carrier in the package, each of them also attached to a different fiber array. The first step for building our demonstrator of the proposed package concept was to fabricate the sub-mount carrier. We chose a metallic sub-mount carrier for our demonstrator. The dimensions of the sub-mount carrier depend on the dimensions of the SOI chip, as well as on the dimensions of the fiber array. We used low footprint SOI chips with an area size of $5 \text{ mm} \times 5 \text{ mm}$. The SOI chip contains a total of eight grating couplers, four of them acting as input grating couplers (G1-G4) and four of them acting as output grating couplers (G5-G8). Input and output gratings are interconnected to each other by means of 500 nm wide SOI nanowires, so that we can define four different optical paths (G1-G8, G2-G7, G3-G6, G4-G5). The footprint area of each grating coupler is $12 \mu\text{m} \times 12 \mu\text{m}$. The design of the grating couplers was optimized for SOI wafers of $250 \text{ nm}/3 \mu\text{m}$ Si/SiO₂ layer thicknesses, and obtained an experimental coupling efficiency per grating of 24% @ 1550 nm ($6.2 \text{ dB/grating coupling loss}$) for a grating period of 600 nm , and a grating etching depth of 70 nm . Fig. 3 depicts measured transmission loss spectrum of the four different optical paths on the chip. The measured loss

variation is mainly due to the different length of the optical paths. Fig. 4 depicts a photo of the fiber array and the chip during the grating-fiber alignment process.

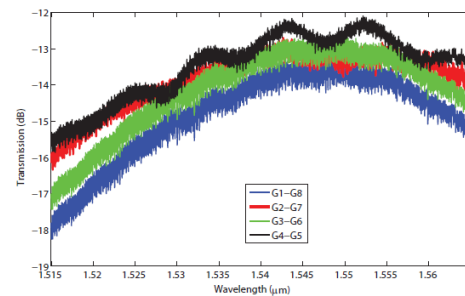


Figure 3. Measured transmission loss spectrum of the four different optical paths on the chip.

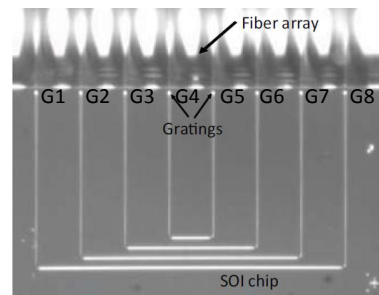


Figure 4. Photo of the fiber array and the chip during the grating-fiber alignment process.

We also measured alignment tolerances of fabricated gratings @ 1550 nm by doing an automatic scan in the grating surface (x, y plane). Fig. 5 depicts measured transmission loss as a function of fiber displacement from the optimum position for the coupling on the grating surface in the (x, y) plane, for the longest optical path G1-G8. It can be seen as the alignment tolerances along the x -axis (grating length direction) are about $\pm 2 \mu\text{m}$ for 1 dB loss penalty. Moreover, the alignment tolerances along the y -axis (grating width direction) are found to be larger (about $\pm 3 \mu\text{m}$ for 1 dB loss penalty). It is mainly due to the use of slightly wider gratings ($12 \mu\text{m}$ wide for our case), instead of using lower grating widths (i. e. standard $10 \mu\text{m}$ wide gratings). The consideration of slightly wider gratings is important for fiber pigtailling issues, as it implies more relaxed fiber-to-chip alignment tolerances along the grating width. This is very important while fixing the optical fiber to the chip, and may make the process easier.

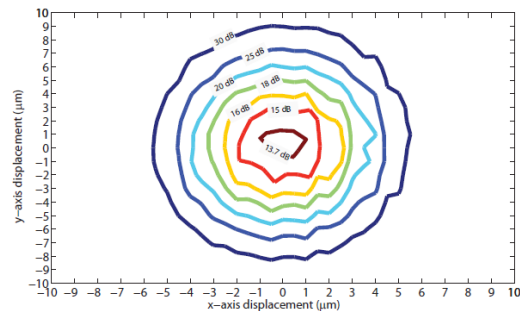


Figure 5. Measured transmission loss @ 1550 nm in the grating plane to obtain alignment tolerances (longest optical path G1-G8).

Next step in the fabrication of our prototype is the fiber pigtailling to the SOI chips. For the glueing process, we used the glue OP-4-20647, whose refractive index @ $\lambda=1550 \text{ nm}$

is 1.45, similar to the optical fiber core refractive index. This glue has also to be cured after deposited on top of the chip with UV light. The SOI chips were then glued to the fiber arrays and so afterwards glued to the sub-mount carrier for building our demonstrator using conventional glue. To fill the gap underneath the fiber array, we used a piece of glass and glued it to the sub-mount as well as to the fiber array. In market oriented applications it has to be taken into account the proper bump, glue or any other kind of fixing material, also considering thermal issues of the device, as well as mechanical robustness of the device and so on. The next step was to fix the flexible layer (FLEX) on top of the sub-mount carrier. In our demonstrator we used conventional glue. In real applications it has to be taken into account the proper bump, glue or any other kind of fixing material, also considering thermal issues of the device and so on. Fig. 6 depicts a photo of the fabricated demonstrator, in comparison to a 1 Euro cent coin.

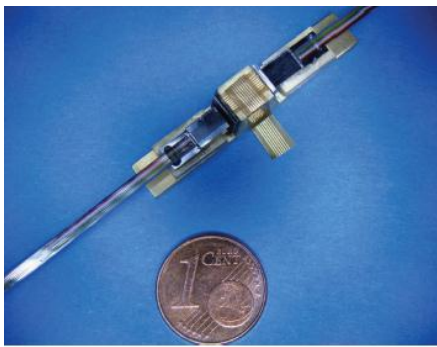


Figure 6. Photo of the demonstrator prototype package.

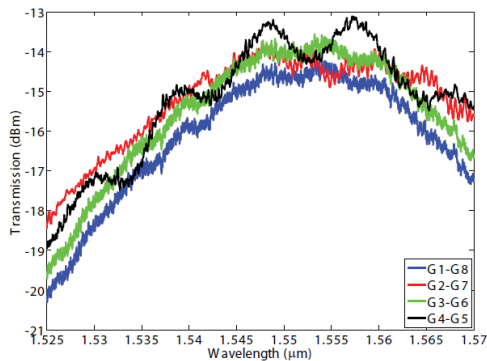


Figure 7. Experimental measurements on the transmission spectrum of the grating couplers of the demonstrator after glueing.

Fig. 7 depicts experimental measurements of the transmission spectrum of the grating couplers of the demonstrator after glueing. Comparing the spectrum in Fig. 3 to the spectrum in Fig. 7 (same chips after and before glueing, respectively), we observe that a more clean spectral response is obtained after glueing process, due to the index matching glue. Just 1dB extra loss is also observed in the transmission spectrum after glueing. Finally, a slight shift of about $\Delta=0.005\lambda$ to higher wavelengths of the spectral response is also observed after glueing, probably due to a slightly index mismatching on the grating coupler surface due to the glue.

IV. CONCLUSION

In conclusion, a solution for low profile packaging of silicon photonic integrated circuits with multiple grating-based

optical interfaces is demonstrated. A subassembly sub-mount carrier is used to keep the fibers horizontally standard oriented in the package, as well as to hold the silicon chips perpendicularly to the fibers. The use of a FLEX wiring layer on top of the carrier is also proposed in order to make easier the electrical connectivity in case of handling both optical and electrical pin-out. As a result, a low profile package approach featuring configurable multiple electrical and optical connectivity is obtained.

ACKNOWLEDGEMENTS

The authors gratefully acknowledge financial support from Spanish MICINN under TEC2008-06360 DEMOTEC and TEC2008-06333 SINADEC projects. The authors thank the Nanophotonics Technology Center fabrication team (A. Griol, J. Hurtado, L. Bellieres, J. A. Ayucar, and F. López), as well as the Fraunhofer Institute for Reliability and Microintegration (IZM) characterization lab. team (J. Krissler, G. Lang and S. Marx).

REFERENCES

- [1] M. Asghari1 and A. V. Krishnamoorthy, *Nature Photonics*, vol. 5, pp. 268–270 (2011).
- [2] J. V. Galán et al., *Opt. Express*, vol. 15, pp. 7058-7065 (2007).
- [3] A. Barkai et al., *IEEE J. Lightw. Technol.*, vol. 26, pp. 3860–3865 (2008).
- [4] B. B. Bakir et al., *IEEE Photon. Technol. Lett.*, vol. 22, pp. 739–741 (2010).
- [5] D. Vermeulen et al., *Optics Express*, vol. 18, pp. 18278–18283 (2010).
- [6] L. Liu, et al., *App. Phys. Lett.*, vol. 96, pp. 051126 (2010).
- [7] X. Chen, et al., *Opt. Lett.*, vol. 36, pp. 796-798 (2011).
- [8] T. Tekin, *IEEE J. Selected Topics in Quantum Electron.*, doi: 10.1109/JSTQE.2011.2113171 (2011).
- [9] L. Zimmermann et al., *IEEE LEOS Newsletter* December 2008, pp. 4–14 (2008).
- [10] L. Zimmermann et al., *Proc. 14th European Conference on Integrated Optics*, pp. 33–36 (2008).
- [11] L. Zimmermann et al., *Proc. 5th IEEE International Conference Group IV Photonics*, p. 371 (2008).