

# ÍNDICE GENERAL

<b>Agradecimientos</b>	<b>IX</b>
<b>Índice General</b>	<b>XIII</b>
<b>Lista de Figuras</b>	<b>XV</b>
<b>Lista de Tablas</b>	<b>XIX</b>
<b>Lista de Algoritmos</b>	<b>XXI</b>
<b>Lista de Acrónimos</b>	<b>XXIII</b>
<b>1. Introducción</b>	<b>1</b>
1.1. Objetivos . . . . .	2
1.2. Metodología . . . . .	2
1.3. Contribuciones y publicaciones . . . . .	4
1.4. Organización de la tesis . . . . .	6
<b>2. Códigos LDPC</b>	<b>7</b>
2.1. Matriz de paridad y generadora . . . . .	7
2.2. Grafo de Tanner . . . . .	9
2.3. Tipos de código . . . . .	9
<b>3. Decodificación de Códigos LDPC</b>	<b>13</b>
3.1. Algoritmo Sum-Product . . . . .	14
3.2. Algoritmo Min-Sum . . . . .	16
3.2.1. Min-Sum escalado y con <i>offset</i> . . . . .	16
3.2.2. Min-Sum modificado . . . . .	17
3.3. Ordenación de la actualización de los mensajes . . . . .	17
3.3.1. Actualización por inundación . . . . .	17
3.3.2. Actualización por capas horizontales - <i>Layered</i> . . . . .	18

---

3.3.3.	Actualización por capas verticales - <i>Shuffled</i> . . . . .	20
3.4.	Análisis de prestaciones . . . . .	22
3.4.1.	Prestaciones de los algoritmos . . . . .	22
3.4.2.	Prestaciones de los métodos de actualización . . . . .	24
3.5.	Análisis de precisión finita . . . . .	27
3.6.	Conclusiones . . . . .	31
<b>4.</b>	<b>Algoritmos y Métodos de Actualización Propuestos</b>	<b>33</b>
4.1.	Algoritmo Min-Sum entero . . . . .	33
4.1.1.	Análisis de prestaciones . . . . .	35
4.1.2.	Análisis de precisión finita . . . . .	37
4.2.	Algoritmo Min-Sum modificado con corrección . . . . .	37
4.2.1.	Análisis de prestaciones . . . . .	39
4.2.2.	Análisis de precisión finita . . . . .	41
4.3.	Actualización <i>shuffled</i> entrelazada ( <i>x-shuffled</i> ) . . . . .	44
4.3.1.	Análisis de prestaciones . . . . .	47
4.4.	Conclusiones . . . . .	48
<b>5.</b>	<b>Arquitecturas e Implementación Hardware</b>	<b>49</b>
5.1.	Cálculo de dos mínimos . . . . .	53
5.1.1.	Arquitectura mSB . . . . .	53
5.1.2.	Arquitectura TS . . . . .	54
5.1.3.	Arquitectura MR . . . . .	55
5.1.4.	Arquitectura mTS . . . . .	59
5.1.5.	Resultados de implementación . . . . .	60
5.2.	Arquitectura Completamente paralela . . . . .	63
5.2.1.	Resultados de implementación . . . . .	67
5.3.	Arquitectura Parcialmente paralela basada en memorias . . . . .	68
5.3.1.	Resultados de implementación . . . . .	70
5.4.	Arquitectura SMP mejorada (ISMP) . . . . .	72
5.4.1.	Resultados de implementación . . . . .	77
5.5.	Arquitecturas con actualización vertical <i>Shuffled</i> y <i>x-Shuffled</i> . . . . .	79
5.5.1.	Resultados de implementación . . . . .	85
5.6.	Arquitectura con actualización horizontal o <i>Layered</i> . . . . .	86
5.6.1.	Resultados de implementación . . . . .	90
5.7.	Comparación con implementaciones existentes . . . . .	91
5.8.	Conclusiones . . . . .	93
<b>6.</b>	<b>Simulador Hardware</b>	<b>95</b>
6.1.	Arquitectura . . . . .	96
6.1.1.	Generador de símbolos . . . . .	98
6.1.2.	Decodificador de códigos LDPC . . . . .	99
6.1.3.	Estimador del error . . . . .	99
6.1.4.	Comunicaciones y control . . . . .	99
6.1.5.	Interfaz <i>software</i> . . . . .	100
6.2.	Implementación del simulador . . . . .	101
6.3.	Resultados de simulación . . . . .	102
6.4.	Conclusiones . . . . .	106

<b>7. Conclusiones y Líneas Futuras de Trabajo</b>	<b>109</b>
7.1. Conclusiones . . . . .	109
7.2. Líneas futuras de trabajo . . . . .	111
<b>Bibliografía</b>	<b>113</b>