

Índice

1. INTRODUCCIÓN	1
1.1 Introducción	1
1.2 Objetivos	2
1.3 Metodología	4
1.4 Principales aportaciones.....	6
1.5 Esquema de la tesis	7
2. CODIFICACIÓN DE VIDEO Y ESTÁNDAR H.264/AVC.....	9
2.1 Introducción al video digital	9
2.1.1 Representación del video digital.....	10
2.1.2 Video progresivo y entrelazado	11
2.1.3 Espacios de color	12
2.1.3.1 Espacio de color RGB.....	12
2.1.3.2 Espacio de color YCbCr	13
2.1.3.3 Formatos de muestreo YCbCr	13
2.1.4 Formatos de video.....	15
2.2 Procesamiento digital de imágenes y video	16
2.2.1 Clasificación	17
2.2.2 Información de movimiento.....	18
2.2.2.1 Formación de movimiento	19
2.2.2.2 Modelos de estimación de movimiento	20
2.2.2.3 Método de ajuste de regiones de intensidad	20
2.3 Codificación de video, técnicas y estándares.....	21
2.3.1 Introducción a la codificación de video	22
2.3.2 Redundancia en la señal de video	23
2.3.2.1 Redundancia estadística.....	23
2.3.2.1.1 Redundancia espacial.....	23
2.3.2.1.2 Redundancia temporal	24
2.3.2.1.3 Redundancia de codificación	24
2.3.2.2 Redundancia psicovisual.....	24
2.3.2.2.1 Enmascarado en luminancia	25
2.3.2.2.2 Enmascarado en textura	25
2.3.2.2.3 Enmascarado en frecuencia.....	25
2.3.2.2.4 Enmascarado temporal.....	25
2.3.2.2.5 Enmascarado en color	26
2.3.3 Técnicas de codificación de video	26
2.3.3.1 Codificación predictiva.....	26
2.3.3.1.1 Predicción temporal	27
2.3.3.1.2 Predicción espacial.....	27
2.3.3.1.3 Predicción de codificación.....	27
2.3.3.2 Transformación	28
2.3.3.3 Cuantización	29

2.3.3.4 Reordenamiento	30
2.3.3.5 Codificación de entropía	31
2.3.4 Análisis tasa/distorsión en la codificación de video	32
2.3.4.1 Análisis R/D de sistemas prácticos	32
2.3.4.2 Método de la multiplicación de Lagrange	33
2.3.5 Calidad de video	34
2.3.5.1 Medición subjetiva de la calidad	34
2.3.5.2 Medición objetiva de la calidad	35
2.3.6 Modelo genérico para la codificación de video	36
2.3.7 Estándares de codificación de video	37
2.4 Estándar H.264/AVC	40
2.4.1 Introducción	40
2.4.2 Estructura básica	42
2.4.3 Características y técnicas generales	44
2.4.4 Perfiles y niveles	47
2.4.4.1 Perfiles	48
2.4.4.2 Niveles	48
2.5 Técnicas de estimación de movimiento en el estándar H.264/AVC	49
2.5.1 Tamaño de bloque variable	50
2.5.2 Resolución de un cuarto de muestra	51
2.5.2.1 Interpolación de muestras luma	51
2.5.2.1.1 Posiciones de media muestra	52
2.5.2.1.2 Posiciones de un cuarto de muestra	53
2.5.2.2 Interpolación de muestras croma	54
2.5.3 Múltiples imágenes de referencia	54
2.5.4 Predicción inter en sectores B	55
2.6 Algoritmo <i>block-matching</i> y su aplicación en el estándar H.264/AVC	56
2.6.1 Principio de operación	57
2.6.2 Criterios de ajuste	59
2.6.3 Procedimientos de búsqueda	60
2.6.4 Limitaciones de la técnica <i>Block Matching</i>	62
3. METODOLOGÍA Y HERRAMIENTAS DE DISEÑO	65
3.1 Sistemas hardware de procesamiento de imágenes y video	65
3.1.1 Características de los sistemas	65
3.1.2 Soluciones del mercado a los sistemas de codificación H.264/AVC	67
3.1.3 Realización del estándar H.264/AVC sobre dispositivos digitales	69
3.2 Sistemas embebidos	70
3.2.1 Diseño de sistemas embebidos	71
3.2.1.1 Metodología de diseño abstracción-agrupación	72
3.2.1.2 Diseño al nivel de sistema electrónico	74
3.2.2 Sistemas en un solo <i>chip</i>	74
3.2.2.1 Conceptos de sistemas en un solo <i>chip</i>	75
3.2.2.2 Aplicaciones SoC en el procesamiento de video	76
3.3 Dispositivos FPGA	77
3.3.1 Definición	77
3.3.2 Arquitectura	78
3.4 Metodología de diseño	79
3.4.1 Metodologías de descripción	79

3.4.2 Flujo de diseño FPGA.....	79
3.5 Lenguaje de descripción de hardware VHDL.....	81
3.5.1 Niveles de abstracción	81
3.5.2 Características generales del VHDL.....	83
3.6 Herramientas de diseño para FPGA.....	84
3.6.1 Herramientas de síntesis	84
3.6.1.1 Síntesis HDL y síntesis con enfoque físico.....	84
3.6.1.2 Tecnología de síntesis de Xilinx.....	85
3.6.2 Herramientas de verificación	86
3.6.2.1 Métodos de verificación.....	87
3.6.2.2 Tecnologías de verificación de Xilinx.....	88
3.6.3 Herramienta de diseño embebido EDK	89
3.7 Diseño para comportamiento y reutilización	91
3.7.1 Prácticas de codificación	92
3.7.2 Optimización al nivel de herramientas	93
3.7.2.1 Restricciones y propiedades de la síntesis	93
3.7.2.2 Restricciones y propiedades de la realización	94
3.7.2.3 Consideraciones generales en el uso de las herramientas.....	94
3.7.3 Reutilización	95
3.8 Procesadores embebidos en las FPGA de Xilinx.....	95
3.8.1 Procesador MicroBlaze.....	96
3.8.1.1 Características generales.....	96
3.8.1.2 Buses, puertos e interfases	97
3.8.2 Procesador PowerPC 405.....	98
3.8.2.1 Organización y características	99
3.8.2.2 Características de la arquitectura en el ambiente embebido	100
3.8.2.3 Interfases de entrada y salida	100
3.8.3 Multiprocesamiento	102
3.8.3.1 Factores que justifican el multiprocesamiento.....	102
3.8.3.2 Arquitecturas de multiprocesamiento	103
3.8.3.3 Realización de sistemas multiprocesamiento	104

4. ARQUITECTURAS *FULL-SEARCH* DE ESTIMACIÓN DE DE MOVIMIENTO CON RESOLUCIÓN DE PÍXELES ENTEROS..... 107

4.1 Introducción.....	107
4.2 Estado del arte.....	109
4.2.1 Arquitecturas clásicas	109
4.2.2 Arquitecturas modernas	112
4.2.3 Evaluación de las arquitecturas previas y conclusiones	114
4.2.3.1 Evaluación	114
4.2.3.2 Conclusiones.....	116
4.3 Arquitectura <i>integer full-search</i> propuesta	117
4.3.1 Ancho de banda y reutilización de datos	118
4.3.2 Algoritmo orientado a hardware	120
4.3.3 Descripción del diseño IME-FSBM	121
4.3.3.1 Unidad de control.....	125
4.3.3.2 Matriz de 16×16 PEs.....	127
4.3.3.3 Memorias RAM _{BA} y RAM _{SW}	130

4.3.3.4	Unidades generadoras de direcciones	133
4.3.3.5	Selector de memorias y selector de pixeles	135
4.3.3.6	Árbol sumador	137
4.3.3.7	Módulo de tasa/distorsión	137
4.3.3.8	Evaluación del diseño	142
4.3.4	Realización sobre FPGA.....	143
4.3.4.1	Unidad de control.....	144
4.3.4.2	Matriz de 16×16 PEs.....	149
4.3.4.3	Árbol sumador	154
4.3.4.4	Módulo de tasa/distorsión	154
4.3.4.5	Memoria local del macro-bloque actual	158
4.3.4.6	Memorias locales de la ventana de búsqueda	160
4.3.4.7	Unidades generadoras de direcciones	161
4.3.4.8	Multiplexor de memorias y selector de pixeles	164
4.3.4.9	Estadísticas del sistema completo.....	165
4.4	Arquitectura con ventana de búsqueda de forma geométrica variable	167
4.4.1	Técnicas de reducción de la complejidad FSBM.....	167
4.4.1.1	Truncamiento de pixeles.....	167
4.4.1.2	Decimación de pixeles	168
4.4.1.3	Ajuste adaptable de los rangos de búsqueda.....	168
4.4.2	Arquitectura con SW de forma variable	169
4.4.2.1	Factibilidad de nuevas formas geométricas de la SW	169
4.4.2.2	Diseño de la arquitectura	175
4.5	Conclusiones.....	180
4.5.1	Diseño IME-FSBM.....	180
4.5.2	Realización IME-FSBM	182
4.5.3	Arquitectura con forma de SW variable	183

5. ARQUITECTURAS *FULL-SEARCH* DE ESTIMACIÓN DE MOVIMIENTO CON RESOLUCIÓN DE PIXELES FRACCIONARIOS..... 185

5.1	Introducción.....	185
5.2	Estado del arte.....	187
5.2.1	Arquitecturas FME-FSBM	188
5.2.2	Unidad de interpolación.....	190
5.2.2.1	Clasificación	190
5.2.2.2	Estado del arte.....	190
5.2.3	Módulo de transformada Hadamard	192
5.2.3.1	Clasificación	193
5.2.3.2	Estado del arte.....	194
5.2.4	Evaluación de las arquitecturas previas y conclusiones	196
5.2.4.1	Arquitecturas completas	196
5.2.4.2	Unidades de interpolación	197
5.2.4.3	Arquitecturas de transformada Hadamard.....	198
5.3	Arquitectura <i>fractional full-search</i> propuesta.....	199
5.3.1	Descripción del diseño FME-FSBM.....	200
5.3.1.1	Unidad de control FME	205
5.3.1.2	Unidad de interpolación 4×4.....	207
5.3.1.3	Módulo SATD 4×4	211

5.3.1.4 Componentes de coste y comparación R/D fraccionarios	213
5.3.1.5 Unidades fraccionarias generadoras de direcciones FME	215
5.3.1.5.1 AGU fraccionaria de la RAM _{MBA}	215
5.3.1.5.2 AGU fraccionaria de las RAM _{SW}	217
5.3.1.6 Selector de memorias y selector de pixeles	219
5.3.1.7 Evaluación del diseño FME.....	220
5.3.2 Realización del diseño FME sobre FPGA	221
5.3.2.1 Unidad de control fraccionaria.....	222
5.3.2.2 Unidad de interpolación.....	225
5.3.2.3 Módulo de distorsión SATD.....	228
5.3.2.4 Componentes fraccionarios de coste y comparación R/D	230
5.3.2.5 AGU fraccionaria de la RAM _{MBA}	233
5.3.2.6 AGU fraccionaria de la RAM _{SW}	234
5.3.2.7 Selector de memorias y pixeles	235
5.3.2.8 Estadísticas del sistema FME completo.....	237
5.4 Arquitecturas FME con enfoque hacia velocidad.....	240
5.4.1 Flujo de procesamiento en pares de bloques	240
5.4.2 Procesamiento con descomposiciones 8×4.....	241
5.4.3 Arquitectura con doble secuencia de procesamiento	244
5.5 Integración de las arquitecturas IME y FME.....	246
5.5.1 Operación global	246
5.5.2 Secuencia de datos, parámetros y operaciones.....	248
5.6 Conclusiones.....	250
5.6.1 Diseño FME-FSBM.....	250
5.6.2 Realización FME-FSBM	251
5.6.3 Optimización con enfoque hacia velocidad	252
6. CONCLUSIONES Y FUTURAS LÍNEAS	255
6.1 Conclusiones y principales aportaciones.....	255
6.2 Líneas de investigación futuras.....	256
ACRÓNIMOS.....	259
REFERENCIAS.....	263
ANEXO: ARTÍCULOS PUBLICADOS	269