

## *Resumen*

La tecnología *Static Random-Access Memory* (SRAM) se ha utilizado tradicionalmente para implementar las memorias cache debido a que es la tecnología de memoria RAM más rápida existente. Por contra, uno de los principales inconvenientes de esta tecnología es su elevado consumo energético. Para reducirlo los procesadores modernos suelen emplear dos técnicas complementarias: i) modos de funcionamiento de bajo consumo y ii) tecnologías de bajo consumo. La primera técnica consiste en utilizar bajas frecuencias y voltajes de funcionamiento. La principal limitación de esta técnica es que los defectos de fabricación pueden afectar notablemente a la fiabilidad de las celdas SRAM en estos modos. La segunda técnica agrupa tecnologías alternativas como la *embedded Dynamic RAM* (eDRAM), que ofrece área y consumo mínimos. El inconveniente de esta tecnología es que las lecturas son destructivas y es más lenta que la SRAM. Para atacar este problema de diseño, recientemente se han propuesto organizaciones de cache implementadas con tecnologías heterogéneas con el objetivo de reducir el consumo sin sacrificar las prestaciones.

Esta tesis presenta tres contribuciones principales centradas en caches de bajo consumo y tecnologías heterogéneas: i) estudio de la capacitancia óptima de las celdas eDRAM, ii) diseño de una cache tolerante a fallos producidos en las celdas SRAM en modos de bajo consumo, iii) metodología para obtener la relación óptima entre voltaje y frecuencia en procesadores con modos de bajo consumo.

Respecto a la primera contribución, en este trabajo se combinan las tecnologías SRAM y eDRAM para conseguir una memoria cache rápida, de bajo consumo, área reducida, y tolerante a los fallos inherentes a la tecnología SRAM. En primer lugar, esta disertación se centra en uno de los aspectos críticos de diseño de caches heterogéneas: la capacitancia de los condensadores implementados con tecnología eDRAM. Esta capacitancia afecta tanto a las prestaciones como al consumo del procesador debido a que cuando expira el tiempo de retención de los condensadores, estos pierden el valor lógico almacenado. En esta disertación se identifica la capacitancia óptima de una cache de datos L1 heterogénea mediante el estudio del compromiso entre prestaciones y consumo energético. Los resultados experimentales muestran que condensadores de 10fF ofrecen prestaciones similares a las de una cache SRAM convencional ahorrando un 55% de consumo y reduciendo un 29% el área ocupada por la cache.

Respecto a la segunda contribución, esta tesis propone una organización de cache heterogénea tolerante a fallos. Actualmente, reducir el voltaje de alimentación es un mecanismo muy utilizado para reducir el consumo en condiciones de baja carga. Sin embargo, las celdas SRAM producen distintos tipos de fallos cuando se reduce el voltaje de alimentación y por tanto limitan el voltaje mínimo de funcionamiento del microprocesador. Esta limitación impide que se pueda reducir aún más el consumo, ya que otras partes del sistema podrían bajar más el voltaje sin verse afectado su funcionamiento. La cache heterogénea propuesta permite mayores reducciones del voltaje de alimentación que otras soluciones existentes de detección y corrección de errores basadas en tecnología SRAM. En la cache heterogénea propuesta, las celdas de memoria implementadas con tecnología eDRAM sirven de copia de seguridad en caso de fallo de las celdas SRAM, ya que el correcto funcionamiento de las celdas eDRAM no se ve afectado por tensiones reducidas. La arquitectura propuesta consta de dos modos de funcionamiento: *high-performance mode* para voltajes de alimentación que no inducen fallos en celdas implementadas en tecnología SRAM, y *low-power mode* para aquellos que sí lo hacen. En el modo *high-performance mode*, el procesador dispone de toda la capacidad de la cache lo que le permite alcanzar las máximas prestaciones. En el modo *low-power mode* se reduce la capacidad efectiva de la cache puesto que algunas de las celdas eDRAM se dedican a la recuperación de fallos de celdas SRAM. El estudio de prestaciones realizado muestra que éstas bajan hasta un máximo de 2.7% con respecto a una cache perfecta sin fallos.

Finalmente, en esta tesis se propone una metodología para encontrar la relación óptima de voltaje/frecuencia con respecto al consumo energético sobre la cache heterogénea previamente diseñada. Para ello, primero se caracterizan los tipos de fallos SRAM y las probabilidades de fallo de los mismos. Después, se evalúa el consumo energético de diferentes combinaciones de voltaje/frecuencia cuando el sistema se encuentra en un modo de bajo consumo. El estudio muestra que la combinación óptima de voltaje y frecuencia desde el punto de vista energético no siempre corresponde al mínimo voltaje debido al impacto de los fallos de SRAM en las prestaciones.