

Resumen

Desde la invención del primer circuito integrado hasta la tecnología de muy alta escala de integración (VLSI), el *hardware* de los sistemas informáticos ha evolucionado enormemente. La Ley de Moore, que vaticina que el número de transistores que se pueden integrar en un chip se duplica cada año, se ha venido cumpliendo durante décadas gracias a la agresiva reducción del tamaño de los transistores. Esto ha permitido aumentar su frecuencia de trabajo, logrando mayores prestaciones con menor consumo, pero a costa de penalizar la confiabilidad, ya que aumentan los defectos producidos por variaciones en el cada vez más complejo proceso de fabricación.

En la presente tesis se aborda el estudio de uno de los problemas fundamentales que afectan a la confiabilidad en las actuales y futuras tecnologías de circuitos integrados digitales VLSI: los fallos intermitentes. En el pasado, los fallos intermitentes se consideraban el preludeo de fallos permanentes. En la actualidad, ha aumentado la aparición de fallos intermitentes provocados por variaciones en el proceso de fabricación que no afectan permanentemente. Los errores inducidos por fallos intermitentes se manifiestan de forma similar a los provocados por fallos transitorios, salvo que los fallos intermitentes suelen agruparse en ráfagas y se activan repetitivamente y de forma no determinista en el mismo lugar. Además, los fallos intermitentes se pueden activar y desactivar por cambios de temperatura, tensión y frecuencia.

En esta tesis se han analizado los efectos de los fallos intermitentes en sistemas digitales utilizando inyección de fallos basada en simulación, que permite introducir fallos en el sistema de forma controlada. Tras un amplio estudio bibliográfico para entender los mecanismos físicos de los fallos intermitentes, se han propuesto nuevos modelos de fallo en los niveles de puerta lógica y de transferencia de registros, que se han utilizado para analizar los efectos de los fallos intermitentes y la influencia de diversos factores.

Para mitigar esos efectos, en esta tesis se han estudiado distintas técnicas de tolerancia a fallos, con el objetivo de determinar si son adecuadas para tolerar fallos intermitentes, ya que las técnicas existentes están generalmente diseñadas para tolerar fallos transitorios o permanentes. Los resultados muestran que los mecanismos de detección funcionan adecuadamente, pero hay que mejorar los de recuperación.

Una técnica de tolerancia a fallos existente son los códigos correctores de errores (ECC). Esta tesis propone nuevos ECC diseñados para tolerar fallos cuando su tasa no es la misma en todos los bits de una palabra, como en el caso de los fallos intermitentes. Éstos, además, presentan tasa de fallo variable en el tiempo, por lo que sería necesario un mecanismo de tolerancia a fallos cuyo comportamiento se adapte a la evolución temporal de las condiciones de error, y que utilice los nuevos ECC propuestos.