



UNIVERSITAT  
POLITÈCNICA  
DE VALÈNCIA

**TELECOM** ESCUELA  
TÉCNICA **VLC** SUPERIOR  
DE **UPV** INGENIEROS DE  
TELECOMUNICACIÓN

Escola Tècnica Superior d'Enginyeria de Telecomunicacions  
Universitat Politècnica de València

# **Diseño de una matriz de conmutación 8:1 para señales de microondas en banda X**

**TRABAJO FIN DE GRADO**

Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación

*Autor:* Dragomir, Alin Ovidiu

*Tutor:* Jorge Daniel Martínez Pérez; Vicente Herrero Bosch

Curso 2015-2016



# Resumen

En el presente trabajo se aborda el diseño, fabricación y validación experimental de una matriz de conmutación de 8 canales para la medida de señales de microondas. Para la realización de una implementación compacta y con reducidos tiempos de conmutación, se ha optado por una implementación en tecnología de circuitos impresos (PCB) empleando switches de RF en tecnología Ultra-CMOS. El dispositivo propuesto tendría múltiples aplicaciones, entre las que cabe destacar (dado que se encuentra en el origen de la presente propuesta de TFG) la caracterización de la permitividad dieléctrica en alimentos a frecuencias de microondas mediante la utilización de múltiples sondas coaxiales.

**Palabras clave:** matriz de conmutación, microondas, banda X

---

# Resum

En el present treball s'aborda el diseny, fabricació i validació experimental d'una matriu de conmutació de 8 canals per a la mesura de senyals de microones. Per a la realització d'una implementació compacta i amb reduïts temps de conmutació, s'ha optat per una implementació en tecnologia de circuits impresos (PCB) usant switches de RF en tecnologia Ultra-CMOS. El dispositiu proposat tendria múltiples aplicacions, entre les que cal destacar (tenint en compte que es troba en l'origen de la present proposta de TFG) la caracterització de la permitivitat dielèctrica en aliments a freqüències de microones mitjançant la utilització de múltiples sondes coaxials.

**Paraules clau:** matriz de conmutación, microondas, banda X

---

# Abstract

In the current project, the design, fabrication and experimental validation of a 8 channel commutation matrix for the measurement of microwave signals is approached. For the realization of a compact implementations, with low commutation times, a printed circuit board (PCB) implementation has been chosen, using RF switches in Ultra-CMOS technology. The proposed device would have multiple applications, among which stands out (since it is in the origin of the current final project proposal) the characterization of the dielectric permittivity in food at microwave frequencies with the utilization of multiple coaxial probes.

**Key words:** commutation matrix, microwave, X-band

---



# Índice general

---

<b>Índice general</b>	<b>V</b>
<b>Índice de figuras</b>	<b>VII</b>
<b>Índice de tablas</b>	<b>VIII</b>
<hr/>	
<b>1 Introducción</b>	<b>1</b>
1.1 Motivación . . . . .	1
1.2 Objetivos . . . . .	1
1.3 Estado del arte . . . . .	2
1.3.1 Búsqueda bibliográfica - Productos . . . . .	2
1.4 Metodología . . . . .	3
<b>2 Concepción</b>	<b>5</b>
2.1 Simulaciones circuitales en AWR Microwave Office . . . . .	7
2.1.1 Diseño de las líneas de transmisión . . . . .	7
2.1.2 Simulación circuital . . . . .	7
2.1.3 Discusión de las simulaciones . . . . .	9
<b>3 Diseño físico</b>	<b>21</b>
3.1 Captura de esquemáticos . . . . .	21
3.2 Implementación del layout . . . . .	22
3.2.1 Librerías de footprints . . . . .	22
3.2.2 Emplazado y rutado . . . . .	25
<b>4 Fabricación y ensamblado</b>	<b>33</b>
<b>5 Resultados experimentales</b>	<b>39</b>
5.1 Test y discusión de los resultados . . . . .	39
<b>6 Conclusiones y líneas futuras</b>	<b>45</b>
6.1 Realizar correcciones en el layout . . . . .	45
6.2 Realizar correcciones necesarias para un mejor comportamiento a 8 GHz . . . . .	45
6.3 Implementación de una interfaz de control digital . . . . .	46
<b>7 Agradecimientos</b>	<b>47</b>
<b>Bibliografía</b>	<b>49</b>
<hr/>	
<b>Apéndices</b>	
<b>A Circuitos en AWR Microwave Office</b>	<b>51</b>
<b>B Esquemático en OrCAD</b>	<b>57</b>
<b>C Archivos Gerber</b>	<b>59</b>
<b>D Bill Of Materials (BOM)</b>	<b>63</b>



# Índice de figuras

---

2.1	Pinout del [PE42521]	6
2.2	Ilustración del funcionamiento de una red de conmutación de 8 canales	6
2.3	Cálculo de las dimensiones de la línea de microstrip en la herramienta TX-Line	8
2.4	Cálculo de las dimensiones de la línea de CPW Ground en la herramienta TXLine	8
2.5	Simulación de los parámetros S de la ruta de conmutación 1	11
2.6	Impedancia de entrada para el camino 1	11
2.7	Simulación de los parámetros S de la ruta de conmutación 2	12
2.8	Impedancia de entrada para el camino 2	12
2.9	Simulación de los parámetros S de la ruta de conmutación 3	13
2.10	Impedancia de entrada para el camino 3	13
2.11	Simulación de los parámetros S de la ruta de conmutación 4	14
2.12	Impedancia de entrada para el camino 4	14
2.13	Simulación de los parámetros S de la ruta de conmutación 5	15
2.14	Impedancia de entrada para el camino 5	15
2.15	Simulación de los parámetros S de la ruta de conmutación 6	16
2.16	Impedancia de entrada para el camino 6	16
2.17	Simulación de los parámetros S de la ruta de conmutación 7	17
2.18	Impedancia de entrada para el camino 7	17
2.19	Simulación de los parámetros S de la ruta de conmutación 8	18
2.20	Impedancia de entrada para el camino 8	18
2.21	Impedancia de entrada medida directamente desde el puerto de entrada, tanto para los parámetros S equivalentes al componente conmutado en la posición 1 como en la posición 2.	19
3.1	Footprint recomendado del PE42521	23
3.2	Footprint realizado para el PE42521	23
3.3	Footprint realizado para el conector SMA	25
3.4	Parámetros del pad necesario para el header.	26
3.5	Definición por capas del pad necesario para el header.	26
3.6	Detalle del layout donde se pueden apreciar el PE42521 y el acceso de las líneas de transmisión al chip.	27
3.7	Parámetros de la VIA1	28
3.8	Definición por capas de la VIA1	29
3.9	Parámetros de la VIA1-2	29
3.10	Definición por capas de la VIA1-2	30
3.11	Parámetros de la VIA3	30
3.12	Definición por capas de la VIA3	31
3.13	Detalle del layout donde se pueden apreciar el conector SMA, la línea de transmisión que accede a él, y las vías de apantallamiento de su alrededor	31
4.1	Imagen general del layout	35
4.2	Imagen de la PCB previamente al ensamblado de los componentes	36

4.3	Imagen de la PCB resultante tras el ensamblado de los componentes . . . .	37
4.4	Fotografía tomada durante el proceso de ensamblaje de la PCB usando una máquina de pick and place manual . . . . .	37
4.5	Fotografía tomada tras la finalización del procesado de soldadura en el horno	38
5.1	Medida de los parámetros S en la placa ya fabricada: camino 1 . . . . .	40
5.2	Medida de los parámetros S en la placa ya fabricada: camino 2 . . . . .	41
5.3	Medida de los parámetros S en la placa ya fabricada: camino 3 . . . . .	41
5.4	Medida de los parámetros S en la placa ya fabricada: camino 4 . . . . .	42
5.5	Detalle del funcionamiento del camino 1 del conmutador para frecuencias de DC a 5 GHz . . . . .	42
5.6	Detalle del funcionamiento del camino 2 del conmutador para frecuencias de DC a 5 GHz . . . . .	43
5.7	Detalle del funcionamiento del camino 3 del conmutador para frecuencias de DC a 5 GHz . . . . .	43
5.8	Detalle del funcionamiento del camino 4 del conmutador para frecuencias de DC a 5 GHz . . . . .	44
A.1	Esquemático realizado en AWR Microwave Office para la ruta de conmutación 1. . . . .	52
A.2	Esquemático realizado en AWR Microwave Office para la ruta de conmutación 2. . . . .	52
A.3	Esquemático realizado en AWR Microwave Office para la ruta de conmutación 3. . . . .	53
A.4	Esquemático realizado en AWR Microwave Office para la ruta de conmutación 4. . . . .	53
A.5	Esquemático realizado en AWR Microwave Office para la ruta de conmutación 5. . . . .	54
A.6	Esquemático realizado en AWR Microwave Office para la ruta de conmutación 6. . . . .	54
A.7	Esquemático realizado en AWR Microwave Office para la ruta de conmutación 7. . . . .	55
A.8	Esquemático realizado en AWR Microwave Office para la ruta de conmutación 8. . . . .	55
B.1	Esquemático realizado en Design Entry de OrCAD . . . . .	58
C.1	Gerber de la capa TOP . . . . .	60
C.2	Gerber de la capa BOTTOM . . . . .	61
C.3	Gerber del soldermask . . . . .	62

## Índice de tablas

2.1	Parámetros del elemento de sustrato MSUB. . . . .	8
2.2	Resumen de los resultados de las simulaciones circuitales . . . . .	10
5.1	Resumen del comportamiento del conmutador a frecuencias funcionales .	39

---

D.1 Bill of Materials . . . . .	63
---------------------------------	----



---

---

# CAPÍTULO 1

## Introducción

---

Los multiplexores de radiofrecuencia son dispositivos que permiten el rutado de señales de alta frecuencia a través de diferentes caminos. Estos dispositivos se usan en una amplia gama de aplicaciones, como pueden ser las aplicaciones de satélite, dispositivos móviles, conmutación de señales desde las antenas hacia los dispositivos de transmisión o recepción, o la realización de varias medidas de parámetros S con un solo instrumento de medida, ahorrando por un lado los costes necesarios para el uso de varios aparatos de medidas, y por otro lado evitando las frecuentes conexiones y desconexiones de conectores SMA/SMB, permitiendo así una automatización de los procesos de medida.

### 1.1 Motivación

---

La motivación de este proyecto es la de diseñar y producir una red de conmutación 1 a 8 (SP8T) para señales en banda X, y más específicamente para señales de 8 GHz. Esto se pretende aplicar posteriormente a un producto de espectrometría aplicada a alimentos, más específicamente a cítricos. La espectrometría es el proceso en el que se hace una caracterización de los parámetros S, comúnmente el  $S_{11}$ , de un objeto, mediante diferentes tipos de sonda, siendo esto equivalente a la obtención de una caracterización dieléctrica. En la aplicación presente, 8 sondas coaxiales situadas en distintos puntos de un cítrico podrían crear una caracterización de sus parámetros, y gracias a una matriz de conmutación esta labor se puede realizar con un solo instrumento de medida. Esta aplicación del presente diseño forma parte de un proyecto de investigación en el que participa el departamento de electrónica en el que se ha realizado el presente trabajo.

### 1.2 Objetivos

---

El objetivo del presente trabajo es la creación conceptual de una matriz de conmutación con todas las etapas que esto conlleva. Se pretende crear un producto a partir de dispositivos integrados de uso comercial, realizando una simulación circuital de la placa y su implementación de layout en PCB, intentando minimizar el espacio utilizado y el coste económico del producto final. Se quiere fabricar posteriormente la PCB diseñada, y analizar su funcionamiento una vez fabricada, obteniendo así una matriz de conmutación que funcione correctamente para frecuencias de RF, especialmente a 8 GHz, con unas pérdidas y un aislamiento razonable para este tipo de aplicación.

## 1.3 Estado del arte

---

Un resumen muy adecuado del estado del arte de este tipo de aplicaciones puede encontrarse en los dos párrafos introductorios del artículo "The State of RF/microwave Switch Devices" de Pat Hindle, editor del "Microwave Journal" [[Hindle](#)].

Los conmutadores de RF son uno de los dispositivos de RF más utilizados en multitud de sistemas. Los hay de diferentes tipos, realizados con tecnologías distintas, y con diferentes ventajas y desventajas que pueden servir para obtener una mejor solución para diferentes aplicaciones. La principal diferencia se hace entre los conmutadores electromecánicos y los de estado sólido. En los conmutadores de estado sólido, los conmutadores CMOS *silicon-on-insulator* (SOI) y *silicon-on-sapphire* (SOS) están siendo mejorados constantemente para competir con los conmutadores GaAs MMIC en muchas aplicaciones, siendo cada vez mejor su frecuencia de corte y su voltaje de ruptura. Por otro lado, los conmutadores micro-electromecánicos (MEMS), considerados hasta hace poco como una tecnología emergente que presentaba problemas de fiabilidad y reproducibilidad, están siendo competitivos en muchas aplicaciones, debido a la solución en generaciones recientes de muchos de esos problemas.

### 1.3.1. Búsqueda bibliográfica - Productos

En primer lugar, se ha realizado una búsqueda de matrices de conmutación de 8 canales que funcionen para señales de 8 GHz. Estos dispositivos son circuitos integrados que realizan la misma tarea que el presente proyecto, y un análisis de estos productos permitirá realizar una evaluación objetiva del desempeño del presente diseño.

Tras una búsqueda en el proveedor de dispositivos electrónicos Mouser Electronics, referenciada en [[SP8TMouser](#)], se puede encontrar el dispositivo HMC322ALP4E de Analog Devices, cuyo datasheet puede verse en [[SP8TADI](#)]. El HMC322ALP4E es un circuito integrado que realiza una conmutación de 8 canales (SP8T) para señales de entre 0 y 8 GHz. A una frecuencia de 8 GHz el HMC322ALP4E presenta unas pérdidas de inserción de 2.5-2.8 dB, dependiendo de la temperatura, un aislamiento de al menos 25 dB, y unas pérdidas de retorno de 11 dB. Otros productos similares ofrecidos en Mouser Electronics, también de Analog Devices, están obsoletos y serán en breve sustituidos por el HMC322ALP4E.

En otras fuentes se pueden encontrar dispositivos que realizan tareas similares a las del presente diseño y que alcanzan un mayor ancho de banda, y en los que, por tanto, 8 GHz no es la frecuencia límite sino una frecuencia central de sus parámetros de funcionamiento. Sin embargo, estos productos vienen en formato módulo con conectores, que ocupa físicamente mucho espacio y tiene unas especificaciones de funcionamiento similares a los objetivos técnicos del presente proyecto para la frecuencia de interés. Varios ejemplos de dispositivos de este tipo se pueden encontrar en la web ".Everything RF", referenciada en [[SP8TERF](#)].

Una posible estrategia a seguir en el presente proyecto es utilizar un dispositivo SP8T como el HMC322ALP4E y añadir los puertos necesarios.

Otra posible estrategia a seguir es crear una red de conmutación con dos dispositivos SP4T y un SP2T para conseguir 8 caminos conmutados. Esta estrategia puede tener una ventaja frente a la de utilizar un sólo chip SP8T en que existen dispositivos SP4T, como el HMC641ALP4E de Analog Devices, cuyo datasheet se puede encontrar en [[SP4TADI](#)] o el PE42540 de Peregrine Semiconductor, cuyo datasheet está en [[SP4TPS](#)] y SP2T, como el HMC232ALP4E de Analog devices, con el datasheet que puede consultarse en [[SP2TADI](#)] o el PE42521 de Peregrine Semiconductor, cuyo datasheet puede consultarse en [[PE42521](#)],

utilizado en el presente diseño, con un mejor comportamiento en frecuencia que un dispositivo SP8T como el HMC322ALP4E.

Finalmente está la estrategia seguida en el presente diseño, que consiste en crear una red de conmutación utilizando dispositivos SP2T. Esta estrategia de diseño permite realizar una red de conmutación fácilmente escalable, tanto hacia redes de conmutación más pequeñas como más grandes, según las necesidades de cada aplicación, siguiendo los mismos patrones de diseño.

## 1.4 Metodología

---

El diseño de esta matriz de conmutación consta de dos fases principales: **Concepción** y **Diseño físico**. Posteriormente, se procede a la **Fabricación y ensamblado** de la PCB diseñada, y a la verificación de su funcionamiento, que puede encontrarse en el capítulo de **Resultados experimentales**.

En la fase de concepción, se ha elegido la tecnología más adecuada para plantear el problema, y se ha procedido a realizar simulaciones circuitales mediante la herramienta AWR Microwave Office para determinar los parámetros necesarios para el diseño físico. En el diseño físico, se ha elegido la herramienta Allegro de la suite de diseño OrCAD 16.6 de Cadence y se ha diseñado la PCB acorde a las necesidades de la aplicación. Tanto para la fase de concepción como para la fase de diseño físico se ha utilizado software disponible a los alumnos en la escuela de la ETSIT.

Para la fabricación de la PCB se han mandado a fabricar los archivos Gerber oportunos a una empresa externa, Würth Elektronik. Posteriormente, se ha realizado el montaje de los componentes sobre la placa mediante una máquina de pick and place manual y el uso de máscara de soldadura, y un horno de soldadura.

Finalmente, se ha realizado la comprobación práctica del funcionamiento de la red de conmutación ya fabricada para 4 de los 8 caminos diseñados, teniendo así una idea aproximada de su funcionamiento gracias a la estrategia de diseño simétrico adoptada en el proyecto. Para ello, se ha empleado un analizador de redes de 4 puertos y un conjunto de cargas adaptadas de  $50 \Omega$ , tal y como se explica en el capítulo **Resultados experimentales**.



---

---

## CAPÍTULO 2

# Concepción

---

En primer lugar, se ha decidido ejecutar esta red de conmutación combinando 7 redes de conmutación 2a1 que cumplan las especificaciones necesarias. Para ello, se ha elegido el componente PE42521, de la empresa Peregrine Semiconductor, cuyo Datasheet se puede encontrar en [PE42521].

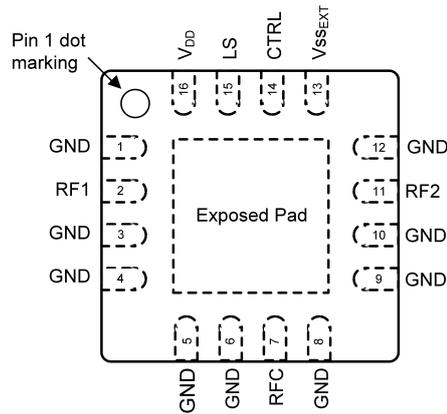
Cabe mencionar varias características del PE42521 que lo hacen idóneo para esta aplicación. La frecuencia de la señal para la que se ha realizado el diseño, 8 GHz, es una frecuencia central dentro de su rango de frecuencias, que va desde los 9 kHz hasta los 13 GHz, y dentro del cual mantiene un comportamiento lineal. Sus pérdidas de inserción a 8 GHz son de 1.15 dB, y al estar en la aplicación 3 de ellos en serie, suman unas pérdidas totales de 3.45 dB. Este dispositivo ofrece tiempos de conmutación tan bajos como 500 ns, con un tiempo de settling de 2  $\mu$ s, alta linealidad (punto de intercepción de 3er orden en 65 dBm) y un alto aislamiento (30 dB a 10 GHz).

El PE42521 funciona como un conmutador de 1 a 2, con la entrada de RF común RFC", y las dos salidas de RF, RF1z RF2". La señal del puerto común será dirigida, idealmente, en su totalidad, hacia uno de los dos caminos de salida, RF1 o RF2, según el estado de los pines de control. De acuerdo a lo dispuesto en la página 4 del datasheet, en el presente diseño se conectará el pin LS a tierra y se conmutará digitalmente el valor dle pin CTRL, estando activo el camino RFC-RF1 cuando CTRL=1 (nivel alto), y estando activo el camino RFC-RF2 cuando CTRL=0 (nivel bajo).

El dispositivo llega como un encapsulado QFN de 16 pines y un pad expuesto, cuyos pines se pueden ver en la figura 2.1, extraída de la página 3 de su datasheet. El tamaño del encapsulado es de 3x3 mm, y cada uno de los pines tiene un ancho de 0.3 mm. Esta información resulta crucial posteriormente para realizar correctamente el layout de la matriz de conmutación. De acuerdo a la Tabla 3 del datasheet del [PE42521], se utilizará una tensión de alimentación de 3.3 V, que está aproximadamente en el centro del rango de la tensión de alimentación recomendada por el fabricante, y esa misma tensión es la que utilizará el nivel alto del pin de control digital CTRL".

Tras elegir el componente de conmutación, se han realizado simulaciones eléctricas mediante la herramienta AWR Microwave Office. para ello, se han generado los circuitos adecuados y se han configurado las simulaciones, teniendo en cuenta el comportamiento ideal de una matriz de conmutación SP8T, que se explica a continuación.

Como puede apreciarse en la figura 2.2, el objetivo es obtener un multiplexor/demultiplexor (el dispositivo es en realidad simétrico) controlado por las 3 señales digitales "DIG1", "DIG2z "DIG3". Idealmente, al estar activo el CAMINO 1", marcado en rojo en la figura, toda la señal introducida a la entrada llegaría a la "SALIDA 1", y no habría señal en las demás salidas. Eso se reflejaría en una simulación con los siguientes valores:  $S_{21} = 0dB$ , indicando una ausencia completa de pérdidas desde la entrada hasta la sali-

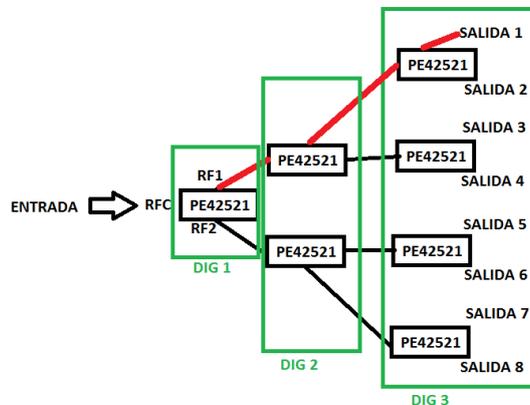


**Table 2. Pin Descriptions**

Pin #	Pin Name	Description
2	RF1 <sup>1</sup>	RF port 1
1, 3, 4, 5, 6, 8, 9, 10, 12	GND	Ground
7	RFC <sup>1</sup>	RF common
11	RF2 <sup>1</sup>	RF port 2
13	V <sub>SS_EXT</sub> <sup>2</sup>	External V <sub>SS</sub> negative voltage control
14	CTRL	Digital control logic input
15	LS	Logic Select - used to determine the definition for the CTRL pin (see Table 5)
16	V <sub>DD</sub>	Supply voltage
Pad	GND	Exposed pad: ground for proper operation

Notes: 1. RF pins 2, 7, and 11 must be at 0V DC. The RF pins do not require DC blocking capacitors for proper operation if the 0V DC requirement is met  
 2. Use V<sub>SS\_EXT</sub> (pin 13) to bypass and disable internal negative voltage generator. Connect V<sub>SS\_EXT</sub> (pin 13) to GND (V<sub>SS\_EXT</sub> = 0V) to enable internal negative voltage generator

**Figura 2.1:** Pinout del [PE42521]



**Figura 2.2:** Ilustración del funcionamiento de una red de conmutación de 8 canales

da;  $S_{11} = -\infty dB$ , indicando la ausencia total de reflexiones en las líneas de transmisión y en los dispositivos por los que pasa la señal;  $S_{n1} = -\infty db$ , donde  $n=3-9$ , indicando la ausencia total de interferencias entre los distintos canales conmutados. Como podrá verse en las simulaciones circuitales obtenidas, el comportamiento real del diseño difiere drásticamente del ideal, variando los parámetros S con la frecuencia y teniendo valores irregulares que hay que tener en cuenta en el diseño.

## 2.1 Simulaciones circuitales en AWR Microwave Office

Para realizar las simulaciones necesarias en AWR Microwave Office, se ha procedido en primer lugar a importar los parámetros S del componente PE42521 a la herramienta. Para ello se han importado dos ficheros separados, que funcionan como 2 componentes distintos. El primero, "PE42521\_RF1", corresponde a los parámetros S medidos con el PE42521 conmutado en la posición 1, mientras que el segundo, "PE42521\_RF2", corresponde a los parámetros S medidos con el PE42521 conmutado en la posición 2.

Una vez importados los modelos de parámetros S, se procede a crear 8 esquemáticos distintos, combinando ambos componentes de manera adecuada para crear las 8 rutas de conmutación. Para ellos, se deben calcular previamente las características de las líneas de transmisión que conectarán los 7 PE42521 entre ellos y con los puertos de entrada/salida.

### 2.1.1. Diseño de las líneas de transmisión

En principio las líneas de transmisión utilizadas son microstrip, pero, al estar en una tecnología de PCB, la línea microstrip tiene alrededor un plano de masa que sirve de aislamiento y que estará bastante cerca, y por tanto se comportará como una línea CPW Ground. Los parámetros de la línea se han obtenido mediante la herramienta TXLine de AWR Microwave Office. El material elegido para la fabricación es el FR4, principalmente debido a su reducido coste económico.

A partir de los cálculos realizados mediante la herramienta TXLine se ha creado el sustrato en los esquemáticos de AWR Microwave Office, con el elemento MSUB cuyos parámetros se pueden ver en la tabla 2.1. Para que las líneas de transmisión tengan una impedancia de  $50 \Omega$ , se ha elegido el ancho de línea de 1.467 mm. Los parámetros introducidos en la herramienta TXLine para obtener este resultado puede verse en la figura 2.3.

El ancho de línea de 1.467 mm es para una línea microstrip, y para conseguir  $50 \Omega$  en el diseño final, donde lo que hay es una línea CPW Ground, es necesario realizar los cálculos equivalentes en TXLine para una línea CPW Ground, y se obtiene un ancho de línea de 1.25 mm, tal y como se puede observar en la figura 2.4. Dado que a nivel eléctrico lo importante es mantener una impedancia controlado a lo largo de las líneas, las simulaciones se han realizado con la línea microstrip de 1.467 mm de ancho. El parámetro pendiente de establecer es la longitud idónea de cada línea de transmisión.

### 2.1.2. Simulación circuital

Una vez realizados los circuitos, que pueden consultarse en el Anexo A, se establecen las simulaciones necesarias para la optimización de la longitud de las líneas de transmisión. Para ello, se plantean 3 estrategias distintas: usar líneas de transmisión de la misma longitud, usar líneas de transmisión de distintas longitudes, y usar líneas de transmisión con *stubs* para adaptación de impedancias.

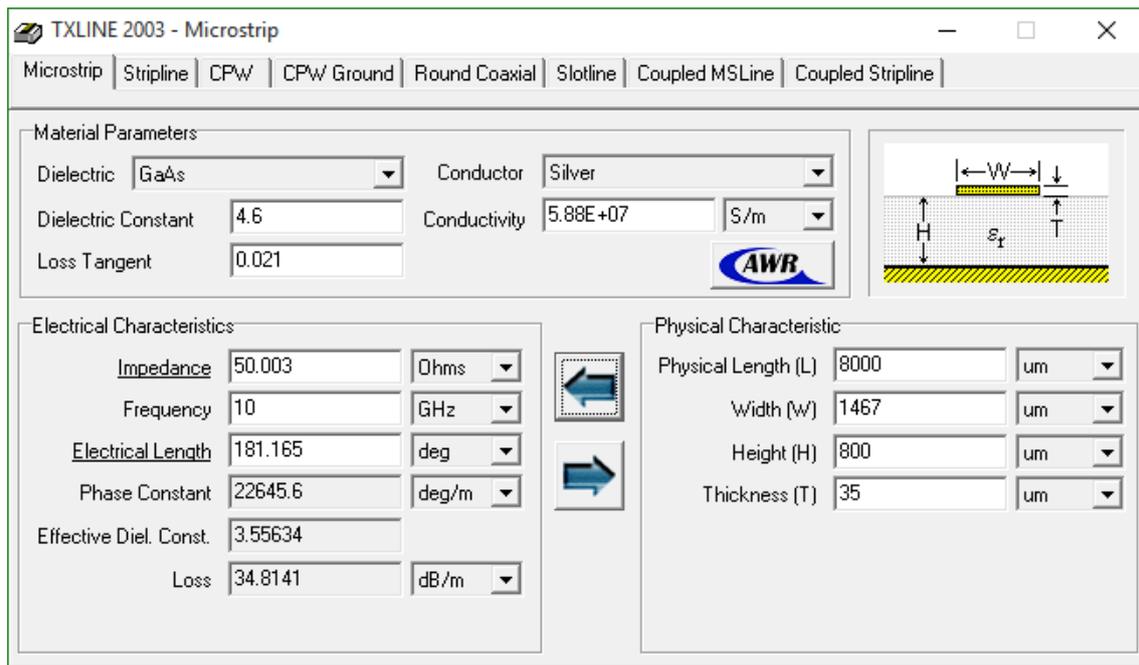


Figura 2.3: Cálculo de las dimensiones de la línea de microstrip en la herramienta TXLine

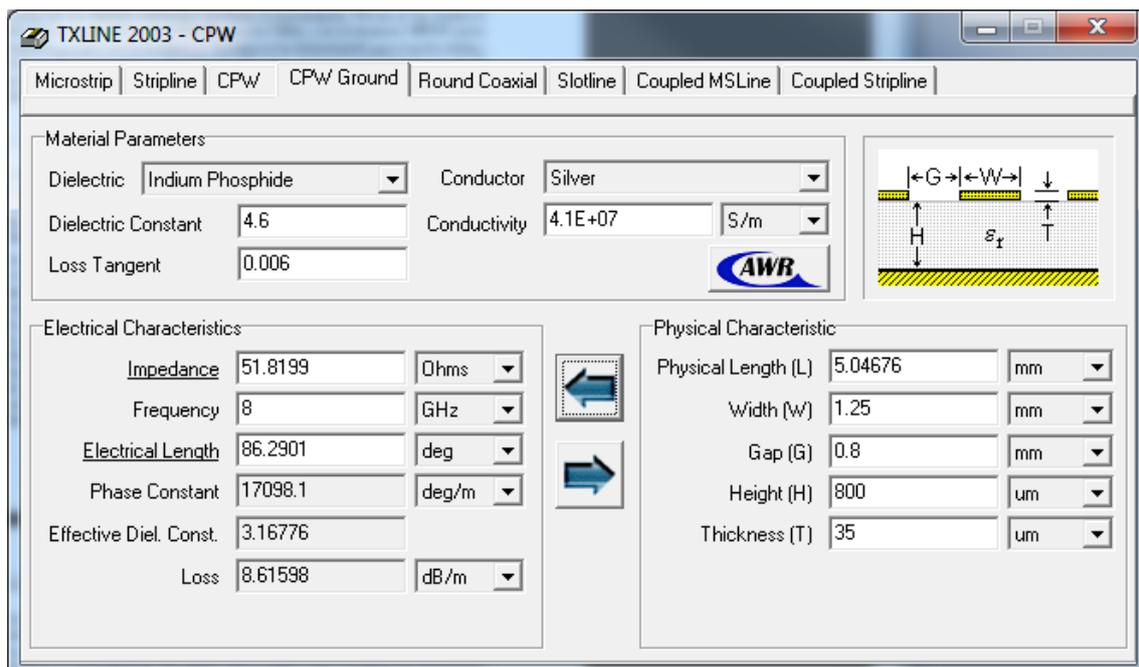


Figura 2.4: Cálculo de las dimensiones de la línea de CPW Ground en la herramienta TXLine

$\epsilon_r$	4,6
$H$	0,8mm
$T$	0,035mm
$\rho$	0,7mm
$T_{and}$	0,021
$\epsilon_{rNom}$	4,6
Name	FR4

Tabla 2.1: Parámetros del elemento de sustrato MSUB.

En la primera estrategia se optimiza una sola variable de longitud,  $L_1$ , para maximizar en cada circuito  $n$  el parámetro  $S_{n1}$  y minimizar el parámetro  $S_{11}$ , hasta obtener unos resultados que estén acordes a las necesidades de la aplicación. Cabe mencionar que, tanto para plantear esta estrategia como para las otras dos, se optimiza primeramente el primer esquemático, que se corresponde al primer camino, y posteriormente se introducen los mismos parámetros a las líneas de transmisión de los demás esquemáticos y se observan los resultados de las simulaciones en los demás esquemáticos, correspondientes a los demás caminos conmutados, para observar si los resultados son similares, tal y como cabe esperar. En este proceso se encuentran distintas longitudes que optimizan estos dos parámetros, entre las que destacan las siguientes: 8 mm y 11.7 mm.

En la segunda estrategia se asignan 4 longitudes diferentes a los 4 tramos de línea de transmisión presentes en cada uno de los caminos conmutados. Acto seguido, se optimizan de manera similar las longitudes de los 4 tramos de línea de transmisión, sin mejoras significativas en el rendimiento del diseño. Esto se debe a que, con líneas de transmisión de similar longitud se obtiene ya una solución muy próxima a la ideal, con una impedancia equivalente muy cercana a los  $50 \Omega$  para cada uno de los caminos conmutados.

La tercera estrategia, a diferencia de la segunda, puede suponer una mejora significativa respecto a las dos primeras, ya que una red de adaptación con un *stub* en algunas de las líneas de transmisión pueden optimizar la adaptación de impedancias y ampliar el ancho de banda de la aplicación, que en las primeras dos estrategias es relativamente estrecho alrededor de los 8 GHz. Para ello, se convierte cada uno de los 4 tramos de cada camino de conmutación de la segunda estrategia en dos tramos entre los que hay un *stub*, introducido mediante el elemento MLEF. Esto supone que en cada uno de los 4 tramos de línea de transmisión haya 4 variables a optimizar: las 2 longitudes de tramos de línea de transmisión contiguos que definen tanto la longitud total de la línea de transmisión como la posición del *stub*, longitud del *stub*, y ancho del *stub*. Mediante esta estrategia se consiguen mejoras significativas, sobre todo corrigiendo una ligera desadaptación intrínseca del dispositivo PE42521 a los 6 GHz, pero a cambio se utilizan líneas de transmisión mucho más largas que las posibles líneas de transmisión planteadas en la primera estrategia, de 8 mm ó 11.7 mm.

Tras plantear las 3 estrategias, y teniendo en cuenta las necesidades del diseño, se ha optado por una variación de la primera estrategia. Esto supone utilizar en todos los tramos de línea de transmisión la longitud de 8 mm, excepto en algunos de los tramos finales de ciertos caminos, donde por razones de espacio se utilizarán líneas de 11.7 mm con un giro de  $90^\circ$ . Eso es equivalente, eléctricamente, a tener una línea de transmisión recta de 11.7 mm, siempre que el giro no sea brusco y el ancho de la línea no cambie en ningún momento, lo que supone un giro de  $90^\circ$  a lo largo de una gran curva. Más detalles sobre la ejecución física de las líneas de transmisión pueden encontrarse en la sección [Emplazamiento de los PE42521 y los SMA](#). Las razones detrás de esta decisión son por un lado un buen aprovechamiento de los recursos, minimizando el espacio utilizado en la PCB, y una valoración de las necesidades del diseño, ya que un mejor comportamiento a la frecuencia de 6 GHz es irrelevante para la aplicación, que está destinada a funcionar a una frecuencia de 8 GHz.

### 2.1.3. Discusión de las simulaciones

Para realizar las simulaciones, se configuran las frecuencias de simulación en Options, Project Options, para que AWR Microwave Office realice un barrido lineal en frecuencia entre 4 y 12 GHz, con un step de 0.001 GHz.

Camino	Reflexión	Pérdidas	Mayor crosstalk	Zin vista desde la entrada	Zin vista desde la salida	Figuras de referencia
Camino 1	-4.04 dB	-22.96 dB	<-50 dB	54.48 $\Omega$	52.86 $\Omega$	2.5, 2.6
Camino 2	-3.924 dB	-24.74 dB	-46.7 dB	48.81 $\Omega$	53.32 $\Omega$	2.7, 2.8
Camino 3	-3.902 dB	-24.83 dB	-47.18 dB	54.56 $\Omega$	45.72 $\Omega$	2.9, 2.10
Camino 4	-3.969 dB	-25.91 dB	-45.91 dB	52.92 $\Omega$	48.55 $\Omega$	2.11, 2.14
Camino 5	-3.99 dB	-31.88 dB	-46.48 dB	49.46 $\Omega$	47.24 $\Omega$	2.13, 2.14
Camino 6	-3.873 dB	-27.72 dB	-45.93 dB	48.21 $\Omega$	52.01 $\Omega$	2.15, 2.16
Camino 7	-3.871 dB	-29.78 dB	-46.14 dB	51.76 $\Omega$	47.94 $\Omega$	2.17, 2.18
Camino 8	-3.945 dB	-29.89 dB	-45.88 dB	50.19 $\Omega$	46.51 $\Omega$	2.19, 2.20

**Tabla 2.2:** Resumen de los resultados de las simulaciones circuitales

Para cada uno de los 8 circuitos, correspondientes a las 8 posibles rutas de conmutación, se realizan dos simulaciones. En la primera se representan las medidas de parámetros  $S_{n1}$ , donde  $n$  recorre todos los valores, desde 1 a 9. Esto permite analizar por un lado el  $S_{11}$ , es decir, las pérdidas, y por otro lado el  $S_{n1}$  de los demás puertos, es decir, las interferencias de la ruta de conmutación con las demás rutas de conmutación posible. En la segunda simulación se representa la impedancia vista desde el puerto de entrada de interés y desde el puerto de salida de la correspondiente ruta de conmutación, que debería ser de 50  $\Omega$  a 8 GHz. El resumen de los resultados de estas figuras, así como un acceso rápido a cada una de ellas, se recoge en la tabla 2.2, y los datos más importantes de los resultados se discute a continuación.

El parámetro  $S_{11}$  está alrededor de -4 dB, siendo el peor caso el del camino de conmutación número 1, con unas pérdidas de retorno de 4.04 dB, tal y como puede verse en la figura 2.5. Las interferencias de los canales adyacentes con la señal (crosstalk) están por debajo de -22 dB en todos los caminos conmutados, siendo el peor caso el del camino 1, con -23.45 dB.

Al simular las impedancias, se encuentran todas dentro del margen de  $\pm 10\%$ , siendo el peor caso el de la impedancia vista desde el puerto de entrada para el camino 3, tal y como puede observarse en la figura 2.10, con 54.56  $\Omega$  frente a los 50  $\Omega$  ideales.

También resulta interesante ver en la figura 2.21 la impedancia vista desde el puerto de entrada de los dos modelos de parámetros S que modelizan al PE42521 en AWR Microwave Office.

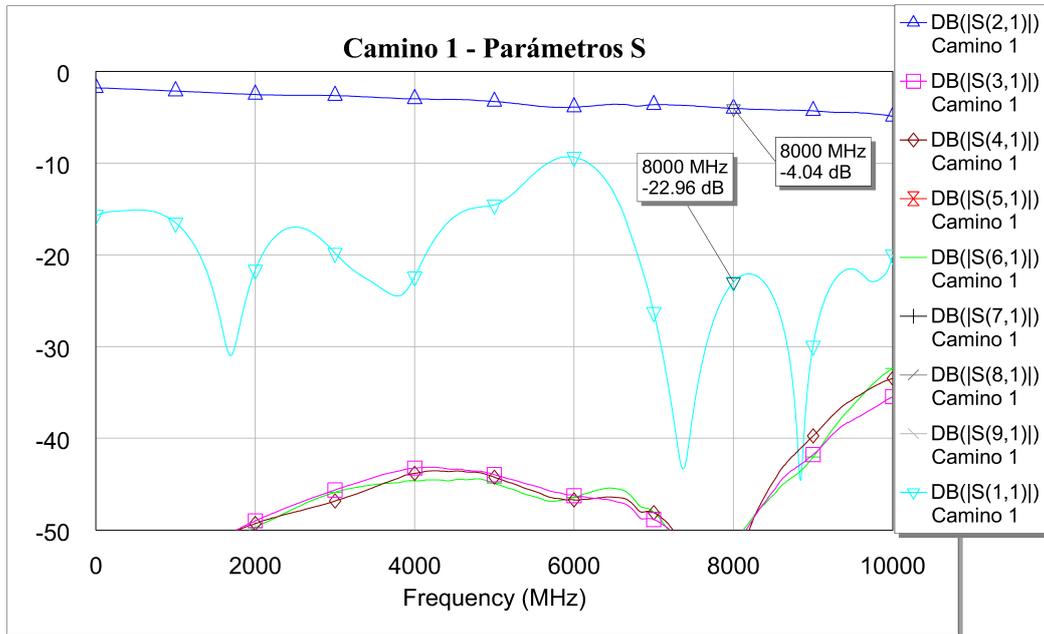


Figura 2.5: Simulación de los parámetros S de la ruta de conmutación 1

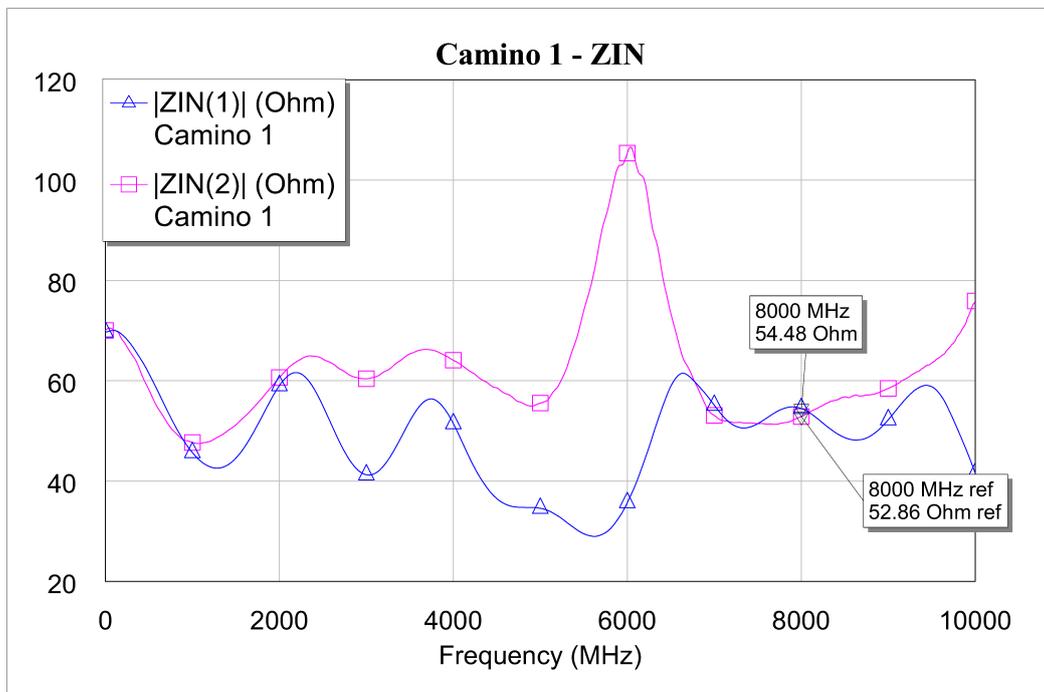


Figura 2.6: Impedancia de entrada para el camino 1

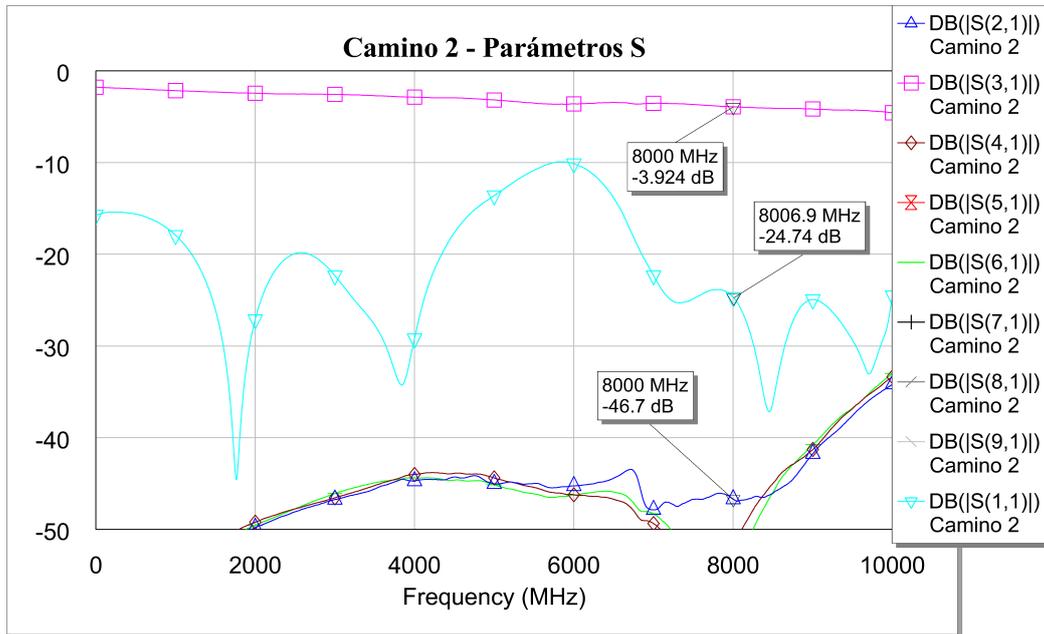


Figura 2.7: Simulación de los parámetros S de la ruta de conmutación 2

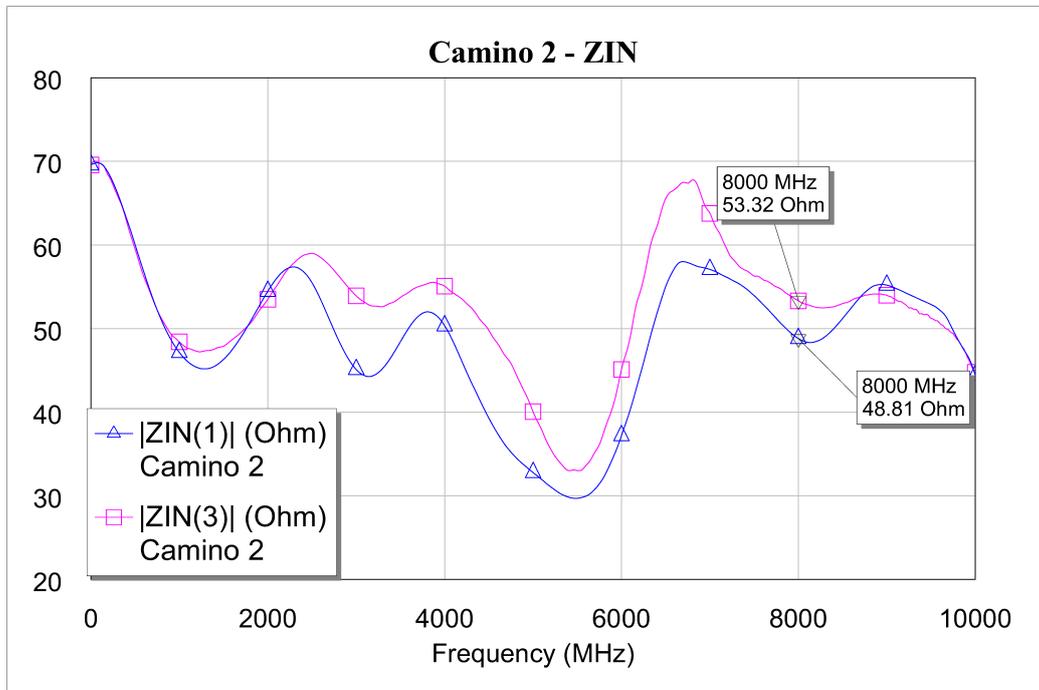


Figura 2.8: Impedancia de entrada para el camino 2

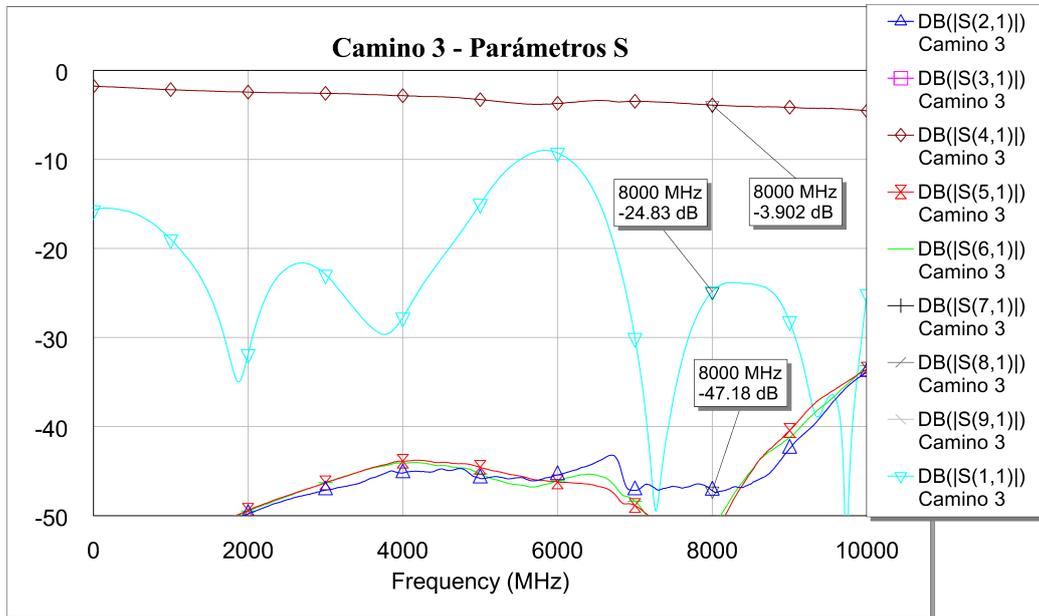


Figura 2.9: Simulación de los parámetros S de la ruta de conmutación 3

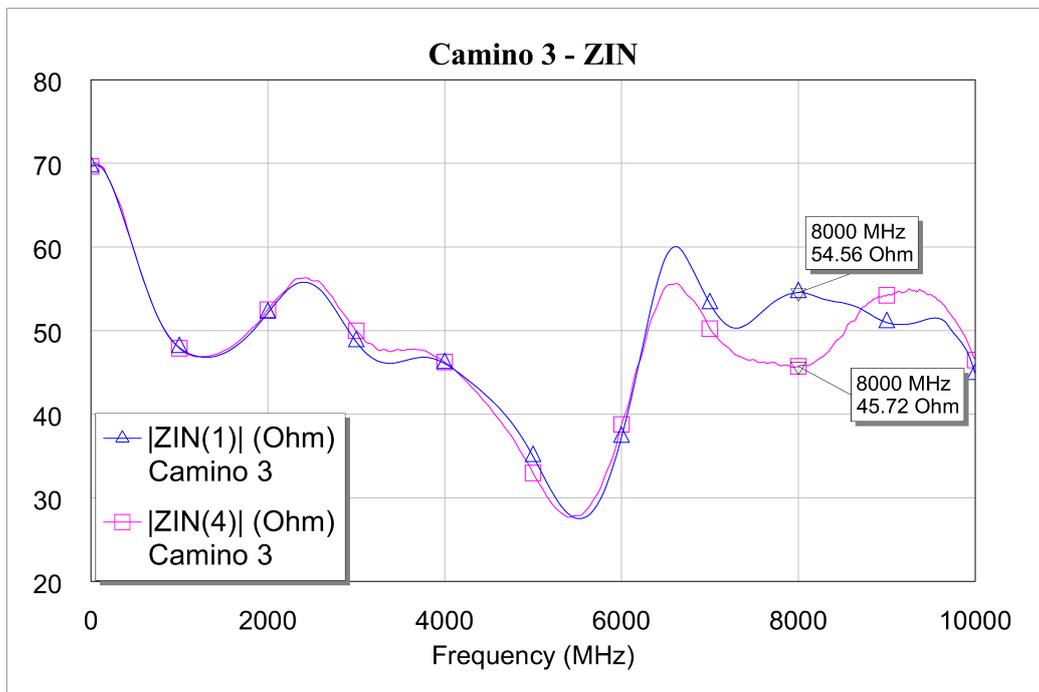


Figura 2.10: Impedancia de entrada para el camino 3

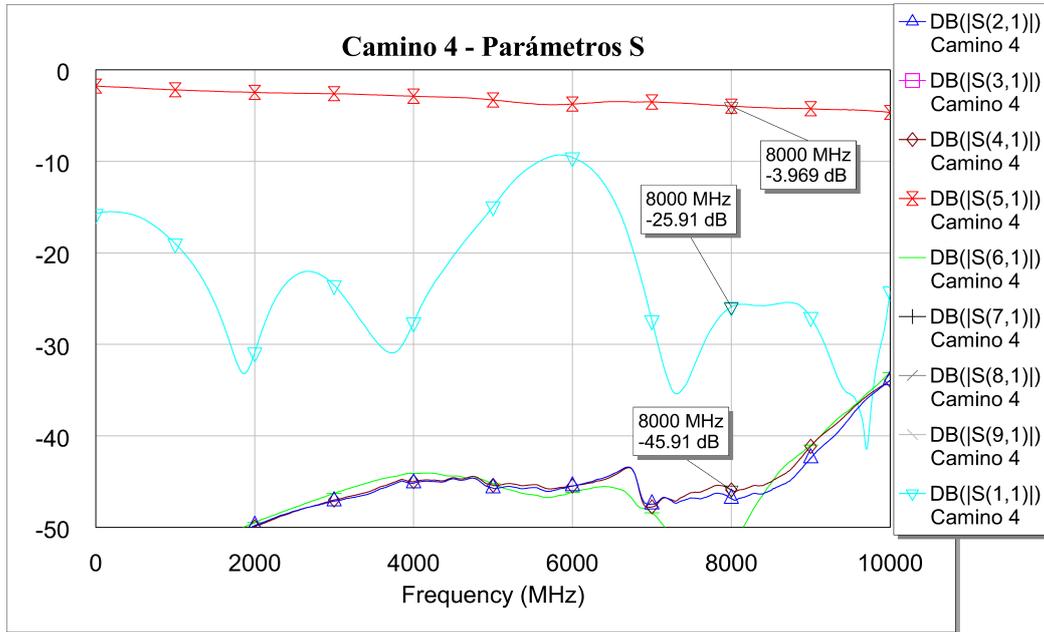


Figura 2.11: Simulación de los parámetros S de la ruta de conmutación 4

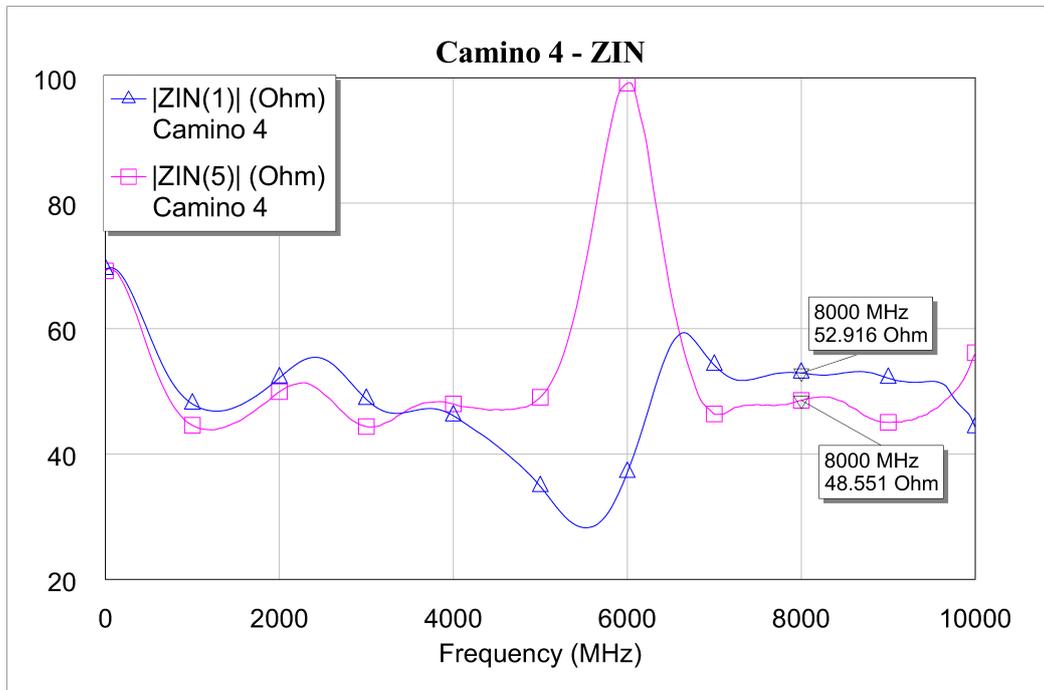


Figura 2.12: Impedancia de entrada para el camino 4

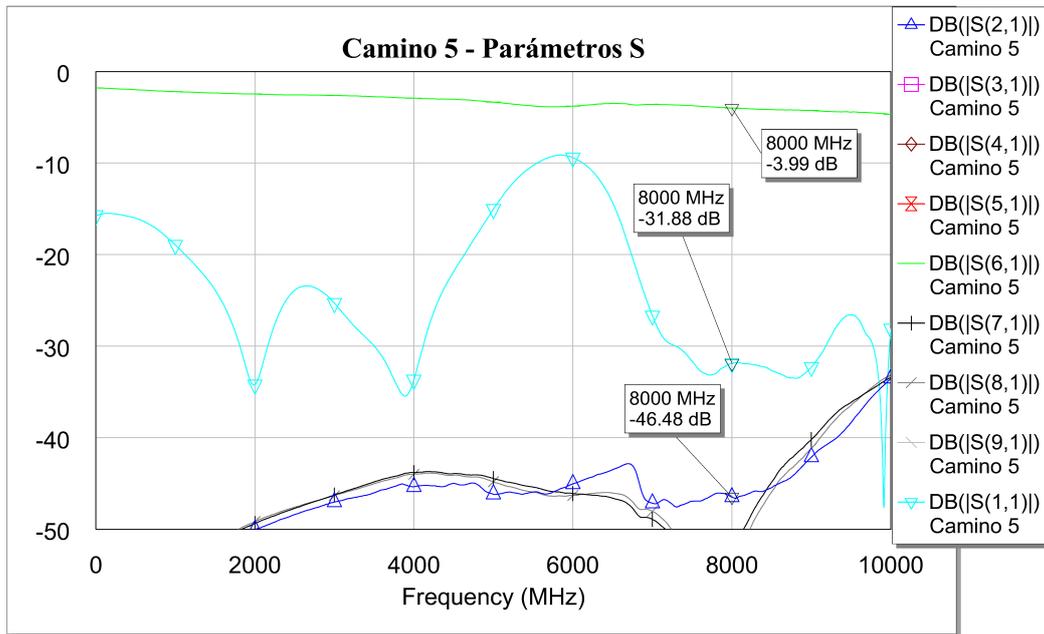


Figura 2.13: Simulación de los parámetros S de la ruta de conmutación 5

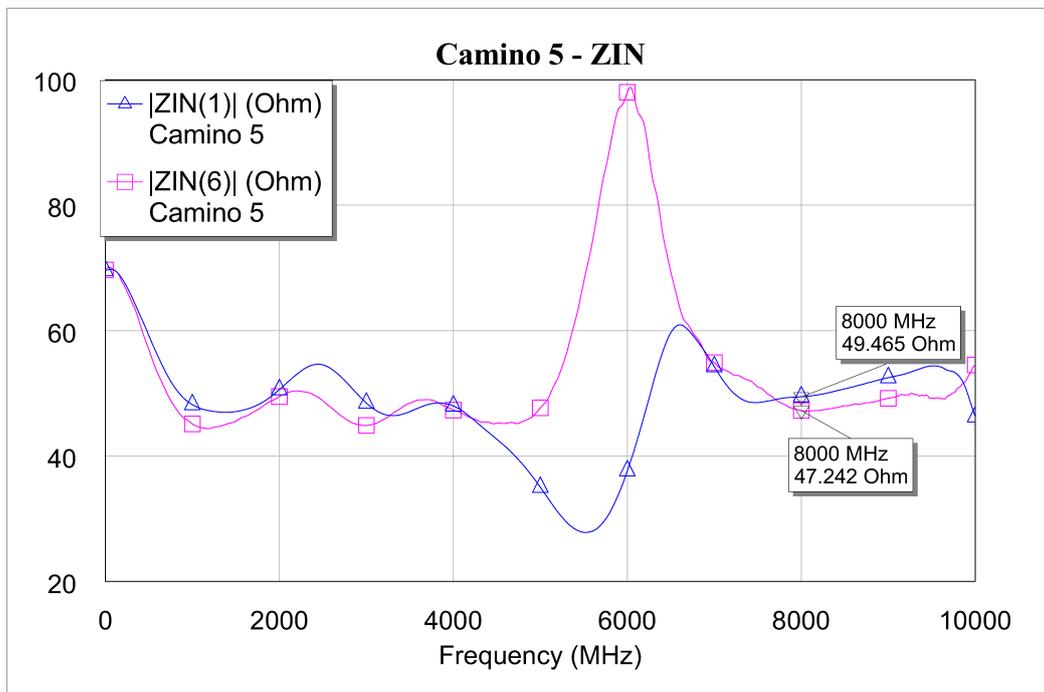


Figura 2.14: Impedancia de entrada para el camino 5

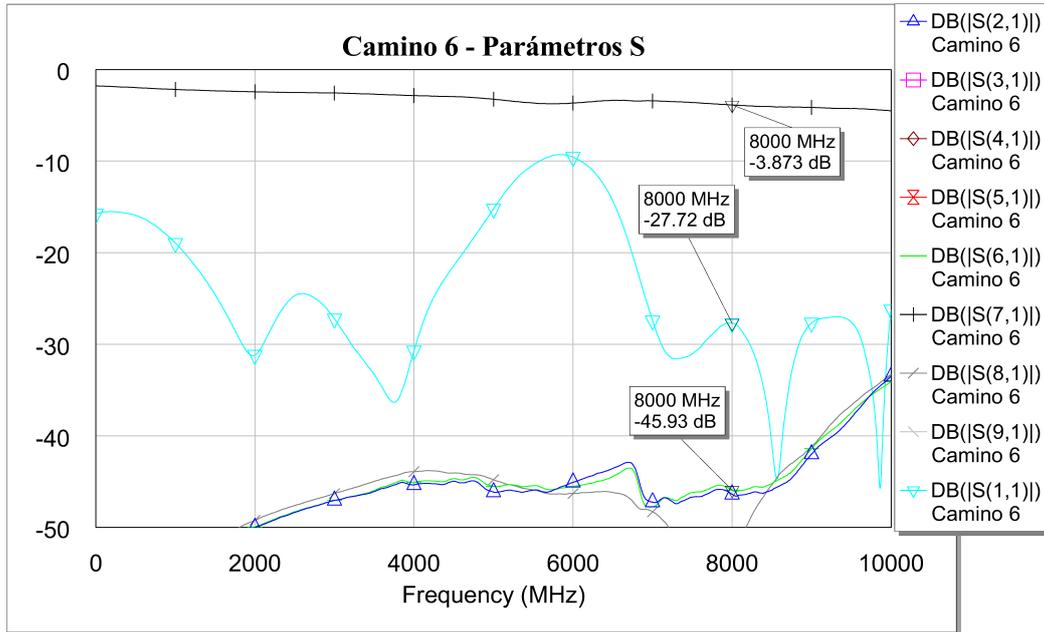


Figura 2.15: Simulación de los parámetros S de la ruta de conmutación 6

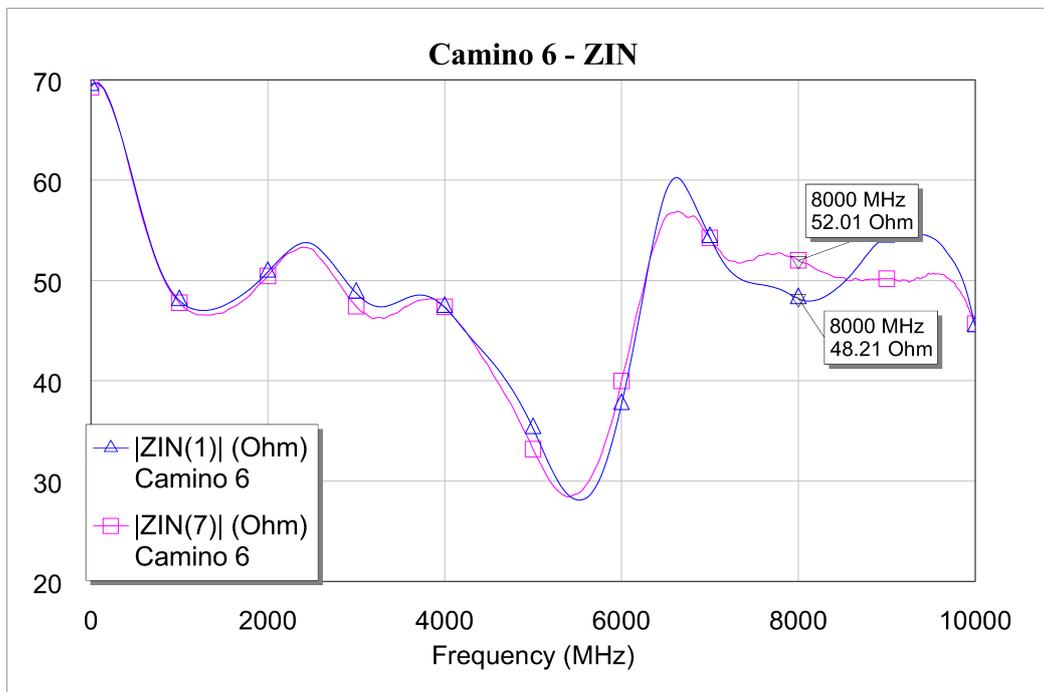


Figura 2.16: Impedancia de entrada para el camino 6

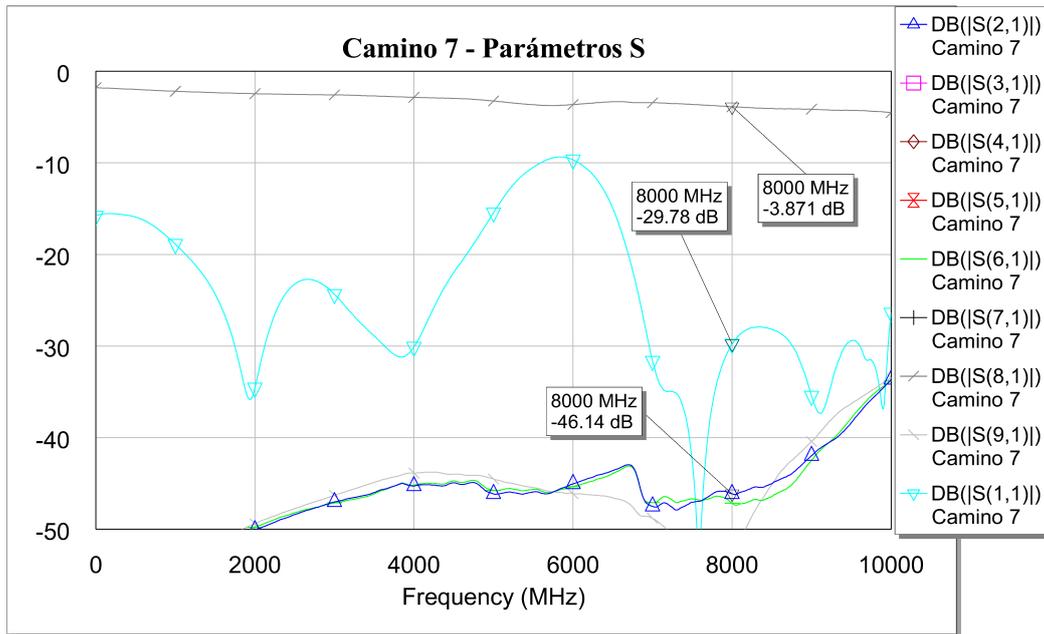


Figura 2.17: Simulación de los parámetros S de la ruta de conmutación 7

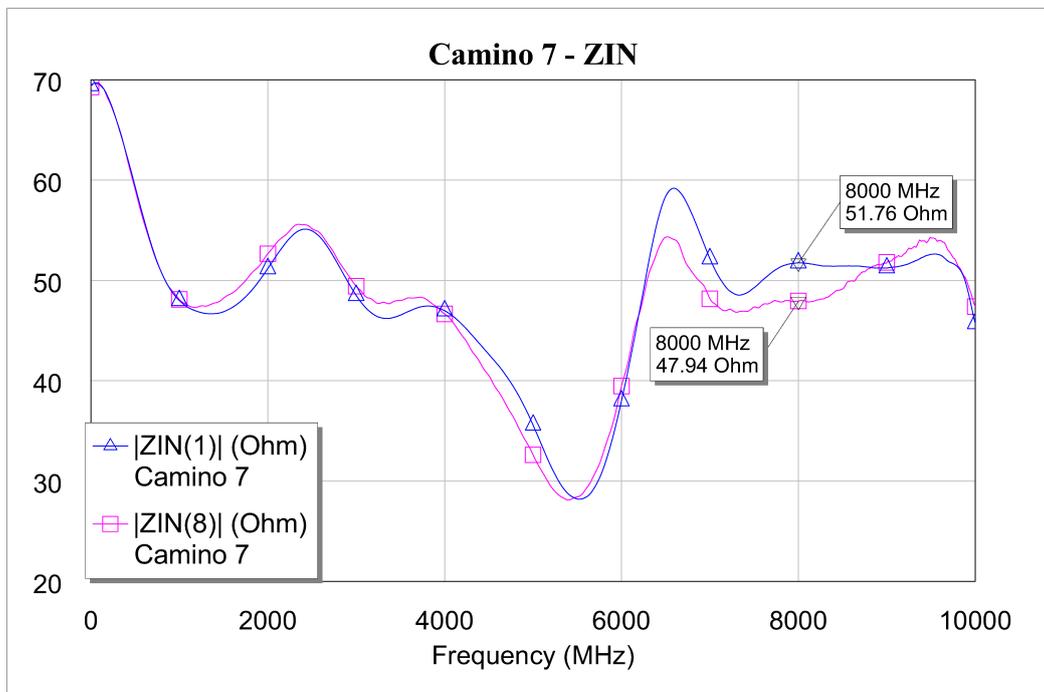


Figura 2.18: Impedancia de entrada para el camino 7

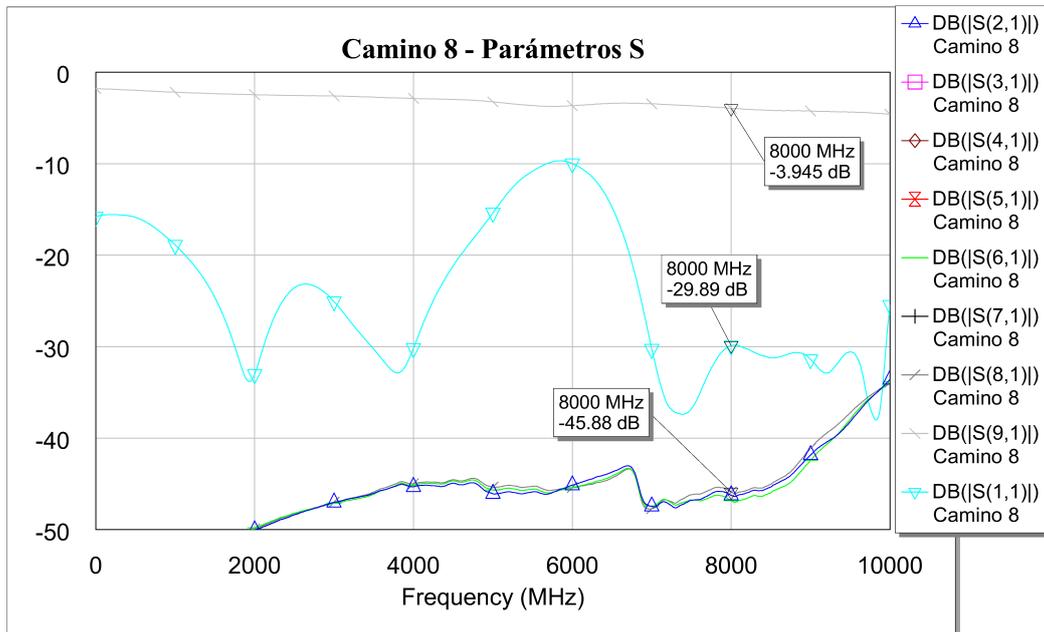


Figura 2.19: Simulación de los parámetros S de la ruta de conmutación 8

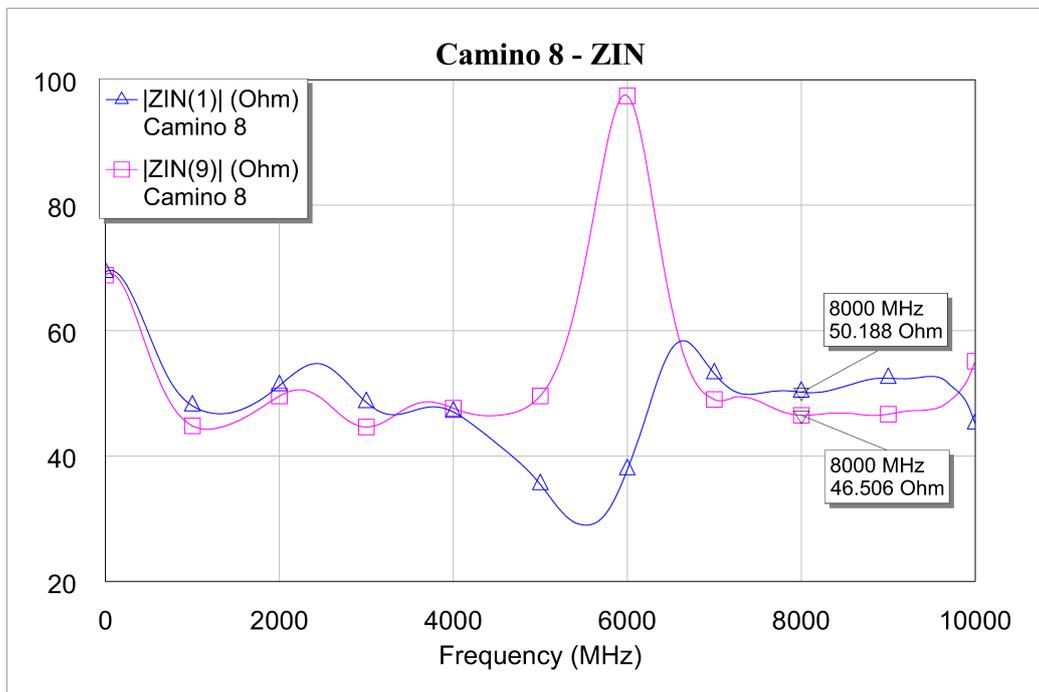
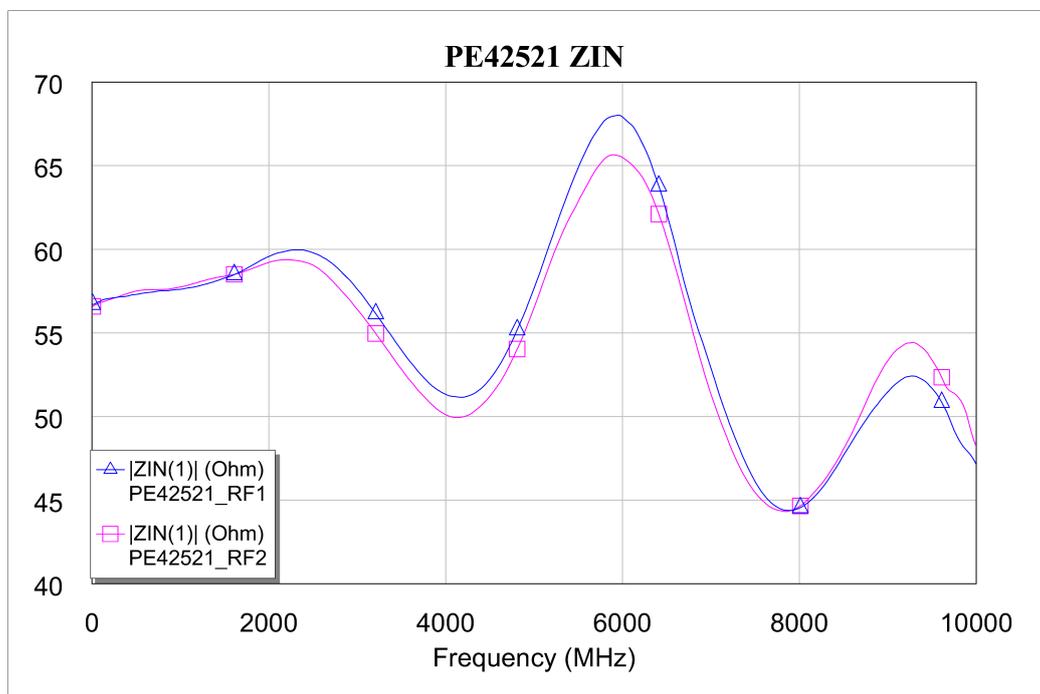


Figura 2.20: Impedancia de entrada para el camino 8



**Figura 2.21:** Impedancia de entrada medida directamente desde el puerto de entrada, tanto para los parámetros S equivalentes al componente conmutado en la posición 1 como en la posición 2.



---

---

## CAPÍTULO 3

# Diseño físico

---

Para la realización del diseño físico se ha utilizado la herramienta Allegro PCB Editor 16.6 de Cadence, cuya licencia está disponible a los alumnos de la ETSIT en los laboratorios de libre acceso. El desarrollo del diseño físico se realiza en dos etapas: **Captura de esquemáticos** e **Implementación del layout**.

Normalmente se realizan simulaciones eléctricas de todo el sistema tras la captura de esquemáticos, antes de pasar a la implementación del layout, pero en este caso no ha sido posible realizar simulaciones de todo el sistema con el simulador OrCAD PSpice debido a la falta de un modelo Spice de simulación del dispositivo PE42521. Existen herramientas que pueden inferir un modelo Spice de cualquier componente a partir de sus parámetros, pero esto requeriría una compra adicional de software que incrementaría de manera muy significativa el coste económico final de la PCB. Un ejemplo de software de este tipo puede ser el "SPICE Model Generator", de "Agilent Technologies", sobre el que se puede encontrar más información en [[SPICEModelGenerator](#)]. De todas formas, esto sólo serviría, como mucho, para confirmar con una segunda simulación circuital de OrCAD PSpice los resultados ya obtenidos en la simulación circuital realizada con la herramienta AWR Microwave Office.

### 3.1 Captura de esquemáticos

---

Para realizar la captura de esquemáticos se ha utilizado la herramienta Design Entry CIS de la suite de diseño de PCB de Cadence. El esquemático a realizar tiene los 7 dispositivos SP2T, y para cada uno de ellos una serie de condensadores y resistencias tal y como se describe en el circuito recomendado de la página 14 del datasheet del PE42521, que puede consultarse en [[PE42521](#)]. Aparte van los 9 conectores SMB para las señales, 1 para la entrada y otro para cada uno de los 8 canales de salida, y headers para introducir la tensión de alimentación, la referencia de tierra, y las señales que controlan la conmutación interna de los chips SP2T.

Para realizar el circuito, se utilizan símbolos de las librerías estándar de Cadence, excepto para el PE42521, para el que se ha diseñado un símbolo nuevo en una librería propia, contenida en el mismo directorio del proyecto. Para ello, se ha creado la librería `library2.olb`, y dentro de ella se ha creado el símbolo `MUX_V2`. Se ha instanciado el símbolo en el esquemático 7 veces, y se han realizado las conexiones correspondientes a las líneas de transmisión con uniones normales (wire). Dado que no se realizarán simulaciones en PSpice, no es necesario utilizar el símbolo disponible en Cadence para líneas de transmisión, y posteriormente en el rutado y emplazamiento se tendrán en cuenta los aspectos necesarios para que las pistas por las que pasa la señal tenga las dimensio-

nes adecuadas para funcionar como una línea de transmisión cuyo comportamiento se corresponda con el obtenido en las simulaciones realizadas con AWR Microwave Office.

Para las conexiones de alimentación y tierra se han utilizado los símbolos estándar de Cadence, V+ y 0, y una "VDC Ref" para establecer la relación de voltaje entre ambos símbolos. Esto es una buena práctica al realizar los esquemáticos, a pesar de no realizar simulaciones, teniendo en cuenta que sólo puede haber una referencia de este tipo en todo el diseño, pues sólo hay una alimentación.

Las señales entran y salen del diseño mediante conexiones SMA, que son representadas con el símbolo "BNC" de la librería C:\CADENCE\SPB\_16.6\TOOLS\CAPTURE\LIBRARY\CONNECTOR.OLB de Cadence.

Los headers que servirán para las conexiones de alimentación, masa y control digital de los integrados PE42521 se instancian a partir de la parte CON1 de la librería C:\CADENCE\SPB\_16.6\TOOLS\CAPTURE\LIBRARY\CONNECTOR.OLB de Cadence.

Para los condensadores y resistencias se han utilizado, respectivamente, C y R, de la librería C:\CADENCE\SPB\_16.6\TOOLS\CAPTURE\LIBRARY\PSPICE\ANALOG.OLB de Cadence.

El esquemático completo se puede ver en el anexo [Esquemático en OrCAD](#).

Una vez finalizado el esquemático, se han realizado los footprints de cada componente, guardado en el directorio del proyecto en formato .dra y referenciado en la propiedad "PCB Footprint" de la parte. Una descripción detallada de la realización del footprint de cada componente puede encontrarse en la subsección [Librerías de footprints](#) del presente documento.

## 3.2 Implementación del layout

---

Para la implementación del layout ha sido necesaria la creación de librerías de footprints que cumplan con los requisitos y necesidades del presente diseño, asociar esos footprints a los esquemáticos generados previamente, y finalmente proceder al emplazado y rutado de layout.

### 3.2.1. Librerías de footprints

Los footprints que se han diseñado son los siguientes: PE42521, condensadores y resistencias, SMA, header. A continuación se detalla el proceso de diseño de cada uno de estos footprints. Cabe destacar que todos estos componentes, tal y como es normal en un diseño, cumplen la normativa RoHS.

#### Footprint de PE42521

Para la realización del footprint del PE42521, se ha seguido el footprint recomendado del dispositivo, que se puede encontrar en la página 15 del datasheet adjunto en el anexo [\[PE42521\]](#). El footprint recomendado puede verse en la figura [3.1](#). Para ello, se ha creado un nuevo Package Symbol (Wizard) con Allegro PCB Designer, del tipo PLCC/QFP. El template usado es el predeterminado suministrado por Cadence, y las unidades utilizadas son milímetros con 4 dígitos de precisión. Tras introducir los parámetros adecuados, tanto de número de pines como de tamaños y distancias entre ellos, se obtiene el footprint que se puede observar en la figura [3.2](#).

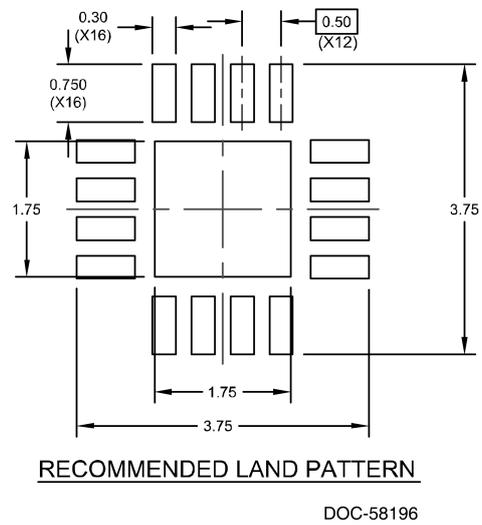


Figura 3.1: Footprint recomendado del PE42521

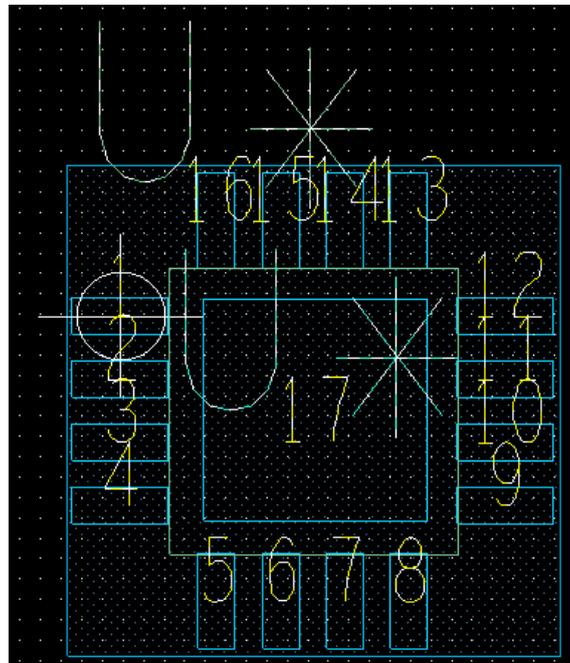


Figura 3.2: Footprint realizado para el PE42521

Uno de los desafíos presentados más adelante por este footprint es que el wizard de PCB Designer, por lo menos con la licencia disponible en la ETSIT, no añade una capa de Soldermask a los pines soldables, siendo necesaria la incorporación de esta posteriormente en el diseño, mediante la opción "Shape Add Rectz similares, con la capa de máscara de soldadura seleccionada. Este problema se repite en todos los "Package Symbol" generados con el Wizard de PCB Allegro.

### Footprint de los condensadores y resistencias

Dado que a nivel de captura de esquemático se han utilizado símbolos genéricos tanto para las resistencias como para los condensadores, se ha procedido en este paso a elegir condensadores y resistencias de un tamaño adecuado para diseñar su footprint y asociarlo posteriormente a la instancia del símbolo del esquemático. Para ello, se han buscado componentes pasivos de montaje SMD de dimensiones 0402 tanto para el condensador de 22 pF necesario como para las resistencias de 0 y 1M  $\Omega$ .

El condensador elegido es el 500R07S220GV4T de Johanson Technology, en cuyo datasheet, referenciado en [Capacitor], pueden encontrarse todos los detalles referentes a su funcionamiento y sus dimensiones. Para su footprint se ha seguido un procedimiento similar al de la creación del footprint del PE42521, seleccionando la opción de "SMD DISCRETE" en el wizard y eligiendo tamaños adecuados para generar el footprint. Al hacerlo, se ha tenido en cuenta la necesidad de sobredimensionar los pads sobre los que se soldarán los condensadores.

Para la resistencia de 0  $\Omega$  se ha elegido el componente CRCW04020000Z0ED, de Vishay/Dale, cuyo datasheet se encuentra en [0ohm], y para la resistencia de 1M  $\Omega$  se ha elegido el CRCW04021M00FKED, también de Vishay/Dale, cuyo datasheet se puede encontrar en [1MEGohm]. Dado que ambos componentes tienen un tamaño estándar 0402, se utiliza el mismo footprint tanto para el condensador como para las resistencias.

### Footprint del SMA

Para la entrada y salida de señales se ha optado por el conector SMA CONSMA001-SMD-G, de Linx Technologies. Este conector SMA es de montaje SMD, y su footprint se ha realizado manualmente desde PCB Allegro. Para ello, se ha seleccionado "New, Package Symbol", y se han dibujado manualmente las shapes necesarias para crear el footprint. Para ello, se toman en cuenta las medidas del conector, proporcionadas por su datasheet, que se encuentra en [SMA], y se diseña el footprint que puede verse en la figura 3.3. Este footprint consiste de 2 pines, 1 para la señal y otro para la tierra. El pin 1, de señal, es un pin circular estándar, pero el pin 2, de conexión a tierra, debe conectarse en 4 puntos distintos. Para ello, se pone un pin circular estándar bajo uno de los 4 contactos de tierra, y se cortocircuita con una shape de forma arbitraria que une debidamente los 4 puntos de conexión a tierra del conector SMA. Para facilitar el soldado del conector, se encuadra todo el footprint en un rectángulo de máscara de soldadura.

### Footprint del header

El header elegido para la tarea de conectar a la placa la alimentación, la referencia de tierra y las señales digitales de control es el 2301-6111TG, de 3M Electronic Solutions Division. Este dispositivo tiene un montaje "Through Hole", y por tanto es necesario definir la vía que permitirá el paso del pin a través de la placa. El footprint contiene un solo pin, identificado como el pin 1, cuyas características se han definido de antemano.

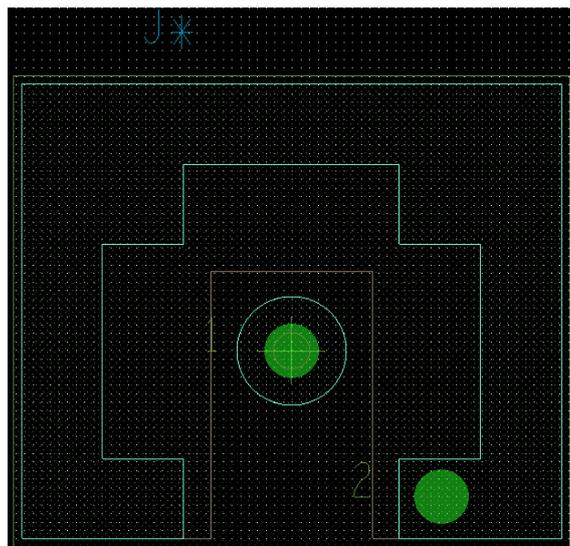


Figura 3.3: Footprint realizado para el conector SMA

Para ello, se ha utilizado la herramienta "Pad Designer" de OrCAD para definir el archivo `header1_padv5.pad`, cuyos parámetros pueden verse en las figuras 3.4 y 3.5. Como se puede observar en la figura 3.4, se ha incluido en el pad un agujero de diámetro 1.2 mm, por el que pueda pasar el pin. En la figura 3.5 están los parámetros referentes a la corona, el thermal relief, y el antipad. Estos han sido minimizados, teniendo en cuenta la intención de ahorrar espacio de este diseño.

### 3.2.2. Emplazado y rutado

Para la realización del layout, se ha utilizado la herramienta Allegro PCB Editor. Las etapas del diseño del layout fueron: emplazamiento de los dispositivos portadores de señal y rutado de las líneas de transmisión; emplazamiento de los condensadores, resistencias y headers, y rutado de las demás pistas analógicas y digitales; emplazamiento de las vías de apantallamiento. En el anexo C se pueden consultar los archivos Gerber generados finalmente tras el proceso de emplazado y rutado del layout, y una imagen representativa del layout producido en la figura 4.1.

En la colocación de las vías de apantallamiento se ha tenido en cuenta la necesidad de que la distancia entre vías sea inferior a  $\lambda/10$ , siendo este criterio una regla empírica que marca la frontera entre un componente distribuido, donde se aplica un análisis de líneas de transmisión, y un componente concentrado, donde se puede aplicar un análisis de teoría de circuitos.

Previamente, se ha definido la placa de 6x6 cm, con los correspondientes puntos de sujeción. Se han definido también los 2 planos de masa para el aislamiento de las señales, uno en la capa inferior y otro en la superior.

### Emplazamiento de los PE42521 y los SMA

A la hora de emplazar los PE42521, se ha tenido en cuenta que la distancia entre los componentes debe ser exactamente la necesaria para que la ruta que los une, teniendo la anchura adecuada de 1.25 mm, sea una línea de transmisión cuya longitud le permita tener un comportamiento equivalente al de las simulaciones realizadas en la sección [Simulaciones circuitales en AWR Microwave Office](#). Para ello se han emplazado los componentes a distancias de 8 mm unos de los otros, a excepción de 4 de ellos, para los que

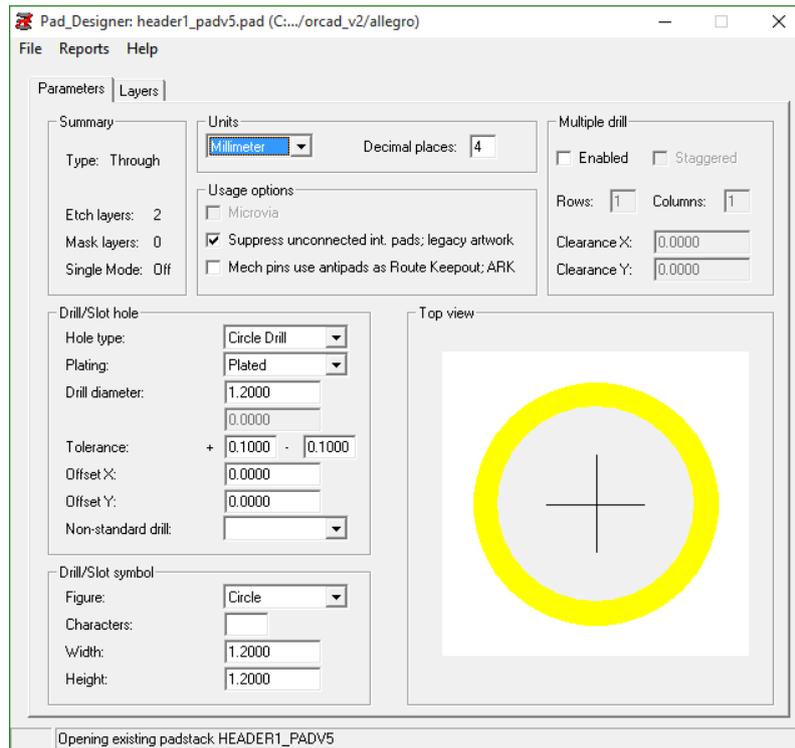


Figura 3.4: Parámetros del pad necesario para el header.

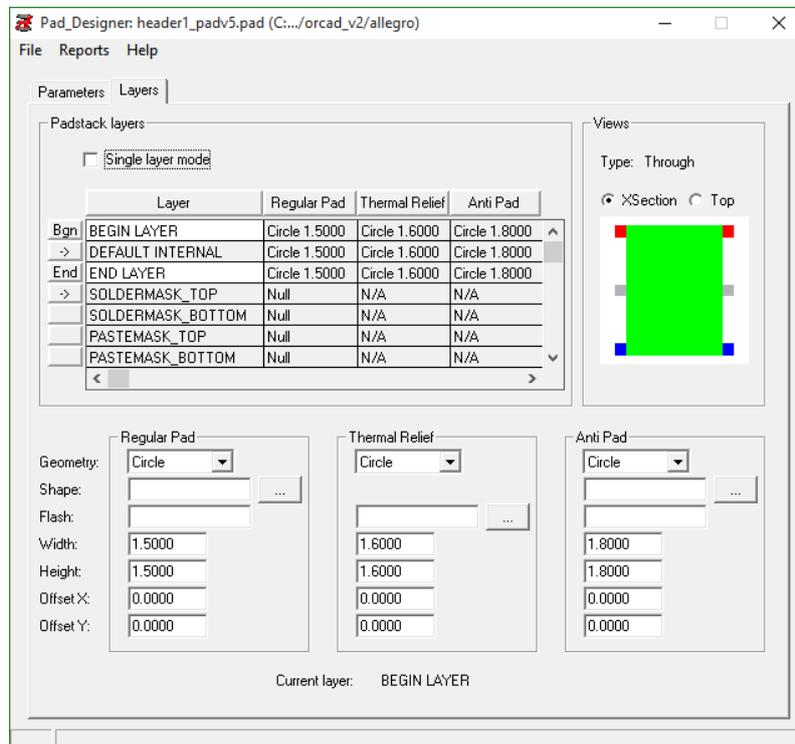
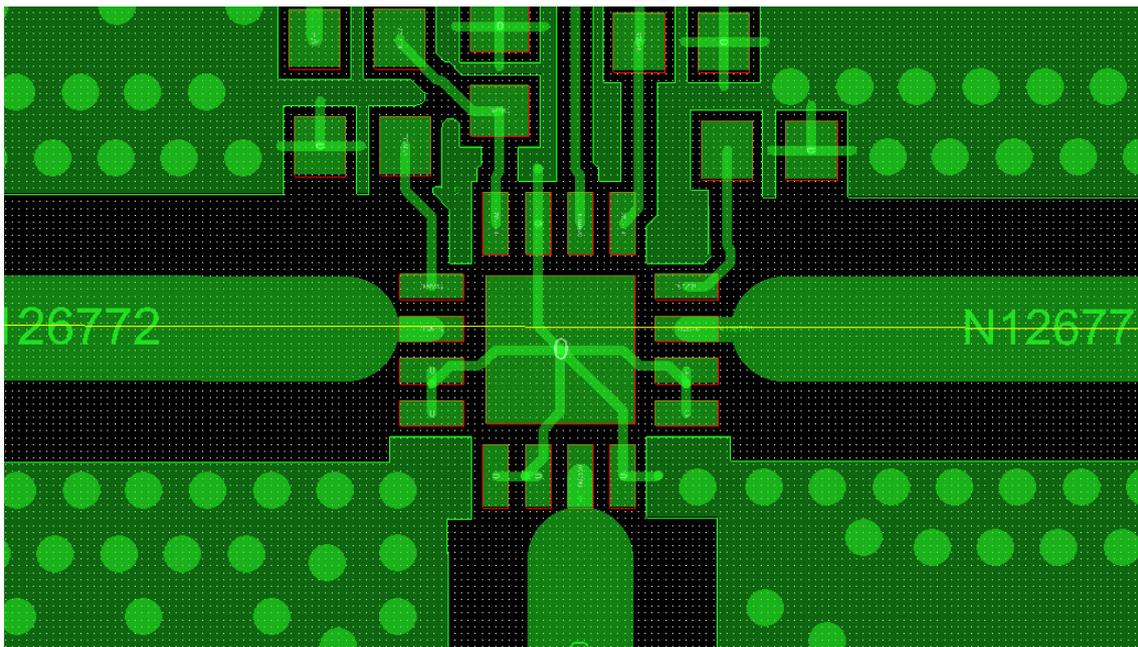


Figura 3.5: Definición por capas del pad necesario para el header.



**Figura 3.6:** Detalle del layout donde se pueden apreciar el PE42521 y el acceso de las líneas de transmisión al chip.

hace falta un diseño especial. Estos son siguientes componentes SMA: J8, J11, J14, J15. Para ellos, se ha trazado una línea de transmisión en dos tramos: un tramo en forma de arco de circunferencia con un ángulo de  $90^\circ$ , y un tramo rectilíneo. La longitud total de la línea de transmisión es de 11.7 mm. De esta manera, las rutas cuyo comportamiento debe ser el de una línea de transmisión tienen los tamaños adecuados de acuerdo a las simulaciones realizadas previamente.

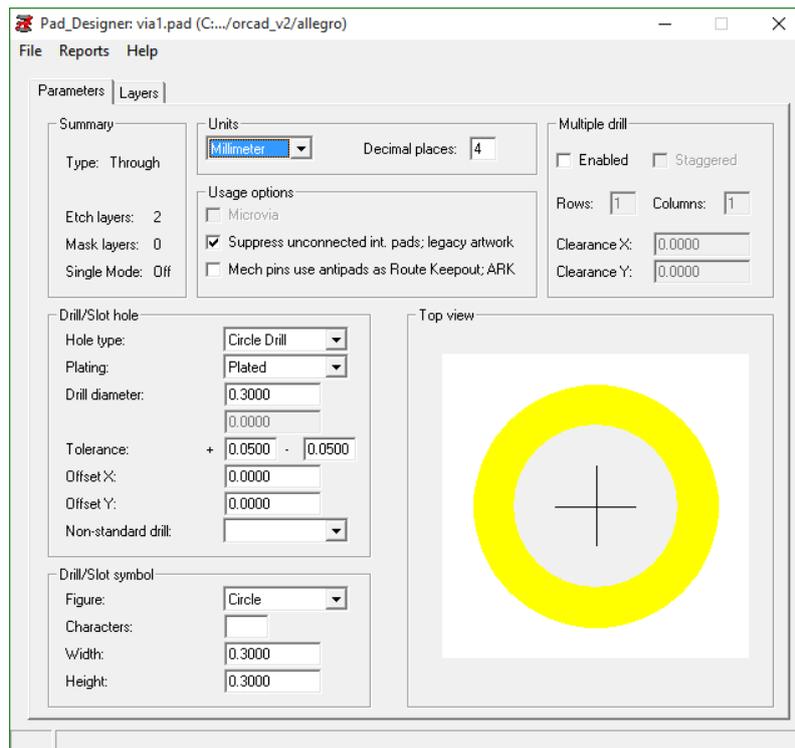
Al introducir estas pistas, se ha intentado minimizar la desadaptación de impedancias al pasar de un ancho de 1.25 mm de la pista al ancho de 0.3 mm. Dado que en la versión de licencia disponible en la ETSIT esta funcionalidad del programa no funciona correctamente, estando este tipo de detalles de diseño de RF fuera del ámbito común de la asignatura de DSELEC donde se utiliza la herramienta, se ha optado por un cambio de ancho realizado por el perfil circular de la pista, y un tramo de línea con ancho 0.3 mm, que facilita el acceso de la señal al pin del PE42521 sin un acercamiento excesivo de la pista a los pines adyacentes, tal y como puede apreciarse en la figura 3.6.

### Emplazamiento de los condensadores, resistencias y headers

Los condensadores y las resistencias han sido emplazados de manera similar alrededor de los PE42521, intentando situarlos lo más cerca posible del dispositivo principal. Los headers de conexión de la alimentación y la masa se han situado en un punto periférico de la placa, y se han emplazado los headers de las señales digitales de control antes de proceder al rutado de las señales de alimentación y digitales.

Para las señales digitales, se han emplazado las 3 señales en puntos cercanos a los dispositivos que controlan. Esto supone un duplicado de 2 de las señales digitales en 2 headers distintos, para evitar una cantidad excesiva de cruces de las señales. De esta manera, la única señal que debe llegar mediante pistas largas a lo largo de la placa es la de alimentación.

Para el rutado de la señal de alimentación se ha optado por una pista más ancha que las pistas de las señales digitales. Las pistas de las señales digitales tienen un ancho de



**Figura 3.7:** Parámetros de la VIA1

0.12 mm, mientras que la pista que lleva la señal de alimentación tiene un ancho de 0.2 mm. Para ello, la señal de alimentación pasa por una vía distinta a VIA1.pad, cuyos detalles se pueden consultar en las figuras 3.7 y 3.7, llamada VIA1-2.pad, cuyos parámetros y dimensiones se pueden ver en las figuras 3.9 y 3.10.

Debido a las limitaciones de la licencia de OrCAD disponible en la ETSIT, no resulta posible editar el footprint del header posteriormente al emplazamiento. Ante las dificultades técnicas encontradas en este aspecto, se ha optado por sustituir el footprint del header con una vía llamada VIA3.pad, cuyas dimensiones permitan que funcione como footprint del dispositivo Through Hole. Las dimensiones y características de esta vía pueden verse en las figuras 3.11 y 3.12.

### Emplazamiento de las vías de apantallamiento

Para asegurar un aislamiento correcto de las señales de RF en las líneas de transmisión, se ha realizado un apantallamiento exhaustivo mediante vías conectando los dos planos de masa alrededor de las líneas de transmisión. Además, hay vías que unen los dos planos en las zonas libres de la placa, y en la zona cercana a los conectores SMA, como puede verse en la figura 3.13, para garantizar una conexión correcta a una referencia de tierra uniforme.

La vía utilizada para el apantallamiento es VIA1.pad, cuyos parámetros pueden verse en las figuras 3.7 y 3.8.

Una vez realizado el diseño, se procede a realizar el BOM que puede consultarse en el anexo D y la posterior fabricación y ensamblado de la PCB.

El layout resultante del proceso puede analizarse con cierto detalle en la figura 4.1.

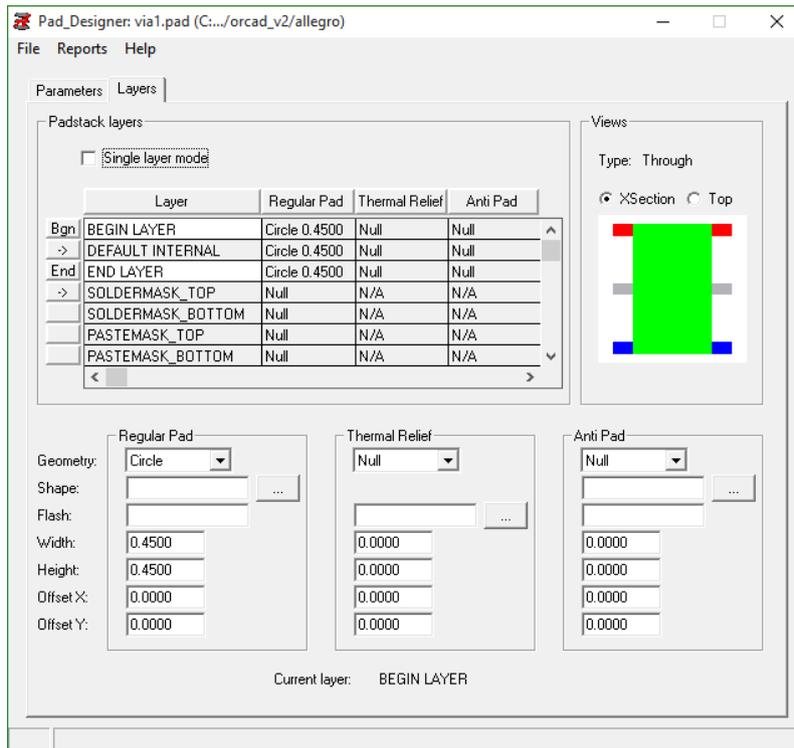


Figura 3.8: Definición por capas de la VIA1

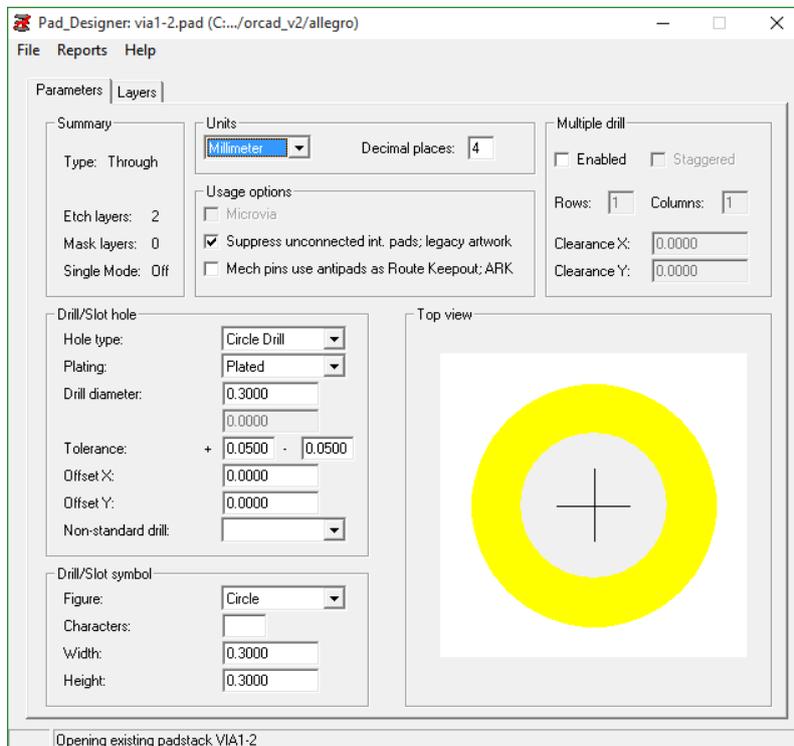


Figura 3.9: Parámetros de la VIA1-2

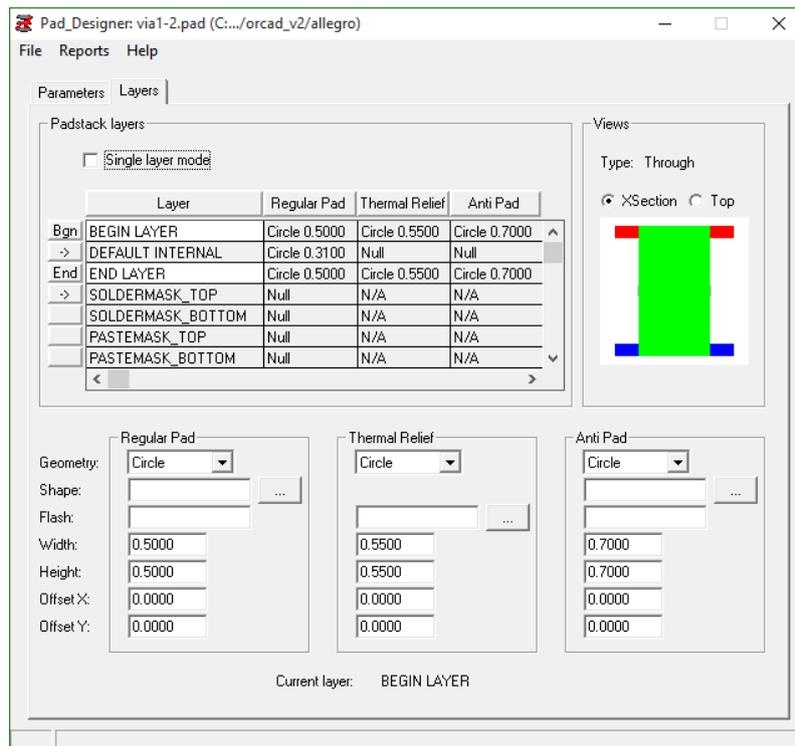


Figura 3.10: Definición por capas de la VIA1-2

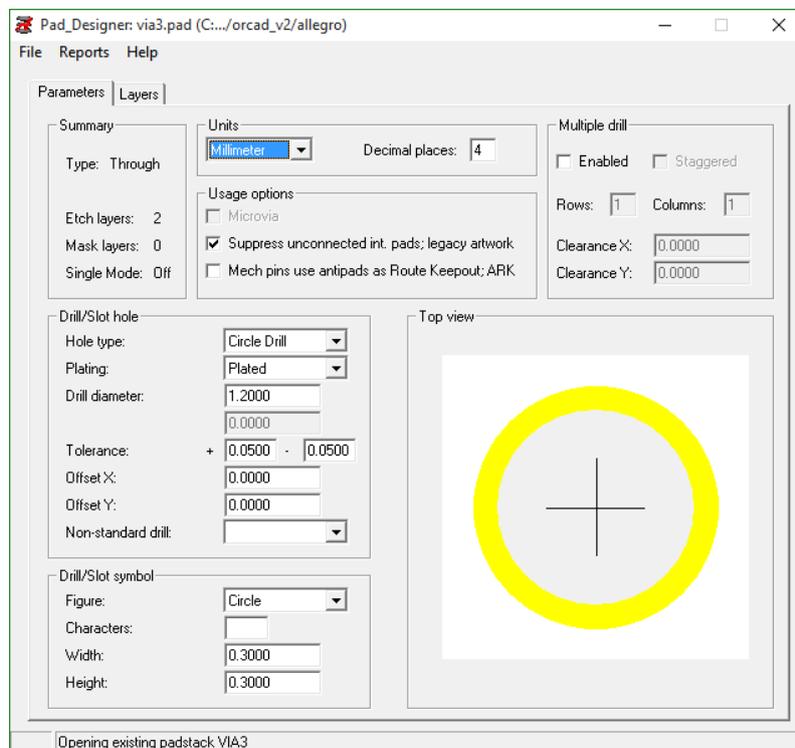


Figura 3.11: Parámetros de la VIA3

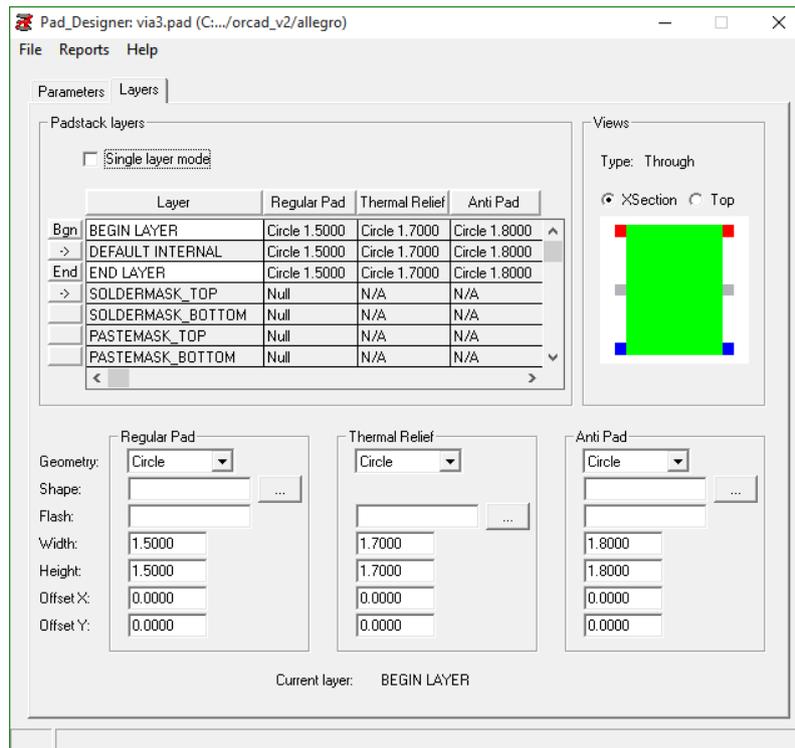


Figura 3.12: Definición por capas de la VIA3

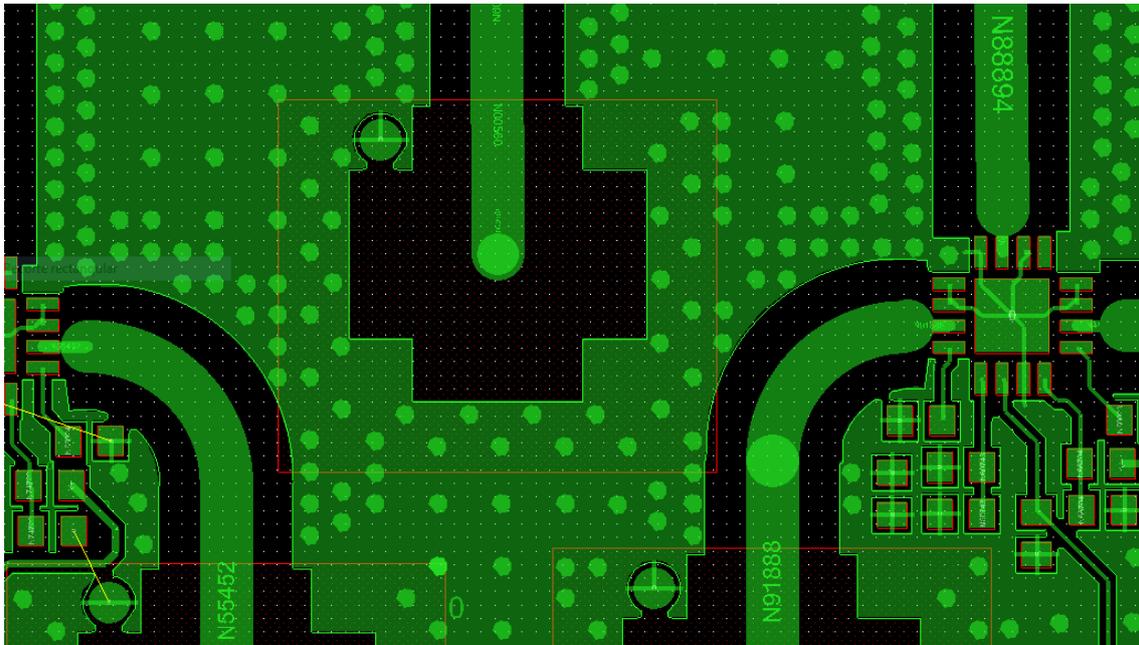


Figura 3.13: Detalle del layout donde se pueden apreciar el conector SMA, la línea de transmisión que accede a él, y las vías de apantallamiento de su alrededor



---

---

## CAPÍTULO 4

# Fabricación y ensamblado

---

La fabricación de la PCB se ha realizado externamente mediante la empresa Würth Elektronik, y el ensamblado se ha realizado localmente.

El proceso de fabricación de la PCB es el que se explica a continuación. Se empieza con la composición de las capas interiores del stack-up; al ser la presente PCB de 2 capas, el stack-up está formado por una capa de FR4 (dieléctrico) en el centro y 2 capas de cobre en el exterior. Estas capas deben cumplir las especificaciones de grosor y tamaño establecidas en las simulaciones realizadas con AWR Microwave Office, y con el stack-up establecido en Cadence PCB Editor. A continuación, se deposita sobre el cobre una capa sensible a radiaciones UV, sobre la que se ha recortado la forma de las pistas que deben conservarse; el perfil que se recorta es el codificado en los archivos .art (Gerber). Una vez depositada la capa, se endurece mediante rayos UV, y se elimina mediante un proceso de atacado químico el cobre sobrante de las capas exteriores. Los químicos que se suelen emplear para esta labor son el cloruro férrico, el sulfuro de amonio, el ácido clorhídrico mezclado con agua, y el peróxido de hidrógeno.

Una vez eliminado el cobre sobrante, se procede a la realización de todas las vías necesarias, que van codificadas en el archivo .drl, donde se recogen la posición y el tamaño de cada perforación que debe ser realizada. Este proceso se realiza mediante una máquina automatizada de alta precisión, aunque en los casos de las vías muy pequeñas se utilizan también técnicas alternativas, como la evaporación de material mediante un láser, obteniendo un orificio más pequeño. Existe también la posibilidad de realizar vías que sólo atraviesan una parte de las capas de la PCB, concepto importante sobre todo en placas con más capas. Estas vías se llaman vías ciegas cuando van desde una capa exterior hasta una capa interna, y vías enterradas cuando conectan varias capas internas entre sí sin afectar a ninguna de las capas externas.

Tras el taladrado de las vías, se aplica una capa extra de cobre para el metalizado de las vías. Se repite un proceso similar al de selección de la capa de cobre para aplicar un acabado de estaño.

Una vez definidas las capas metálicas de la PCB, se aplica una máscara de soldadura que protege aquellas partes sobre las que no se debe aplicar la soldadura, y una terminación de Au/Ag/Pb/Sn sobre los pads que deben ser soldados. Esto permite que, durante el ensamblado, la pasta de soldar se repliegue sobre los pads debido a la tensión superficial, y se eviten de esta manera posibles cortocircuitos provocados por la pasta de soldar.

En el montaje existen dos tipos de procesos: montaje "through hole" montaje superficial.

En el montaje "through hole", los pines de los componentes montados se insertan en los orificios adecuados, y se fijan posteriormente con una soldadura. Típicamente las

soldaduras eran realizadas con una aleación de plomo-estaño, pero desde que la directiva RoHS de la Unión Europea restringe el uso de plomo se están utilizando compuestos distintos para esta tarea.

En el montaje superficial, el componente se suelda directamente al pad descubriendo en la capa exterior de la placa. Aunque la soldadura superficial no ofrece la misma resistencia y robustez que el montaje "through hole", esta tecnología ha permitido el uso de componentes mucho más pequeños y su fijación a ambos lados de una placa de circuito impreso, lo que permite una mayor densidad de componentes.

La tecnología de montaje superficial tiene además la ventaja de ser más fácil de automatizar, permitiendo así producir con más eficiencia las PCB, y reducir además los costes de mano de obra. El mejor ejemplo de automatización son las máquinas de "pick and place", tanto manuales, como la utilizada en el montaje de la placa del presente trabajo, como automáticas.

Las máquinas de pick and place manuales disponen de un sistema de fijación de la placa, y un sistema que permite aplicar pasta de soldar con gran precisión, mediante una aguja. Además, con una aguja adecuada se dispone de un aspirador que permite la fijación desde arriba de los componentes que deben ser incorporados a la placa, facilitando así su posicionamiento en los lugares adecuados para la soldadura con gran precisión.

Las máquinas de pick and place automáticas, a diferencia de las manuales, no necesitan intervención humana durante su funcionamiento. Estas máquinas interpretan la información de los componentes y su posicionamiento, y cogen a alta velocidad los componentes y los colocan en la posición adecuada. Estas máquinas son muy utilizadas para la producción de placas en grandes cantidades, y pueden alcanzar velocidades de decenas de miles de componentes por hora.

Para el montaje, se ha aplicado pasta de soldadura y se han colocado los componentes mediante una máquina de pick and place manual que puede verse en la figura 4.4, aplicando primero gotas de pasta de soldar sobre los pads y posteriormente colocando los componentes SMD sobre los pads; a continuación, se ha aplicado un perfil de soldadura en el horno que puede apreciarse en la figura 4.5. Los componentes "through hole" se han soldado manualmente con estaño y un soldador. En la figura 4.2 puede verse la PCB previamente al ensamblado, y en la figura 4.3 puede verse el producto final con los componentes montados.

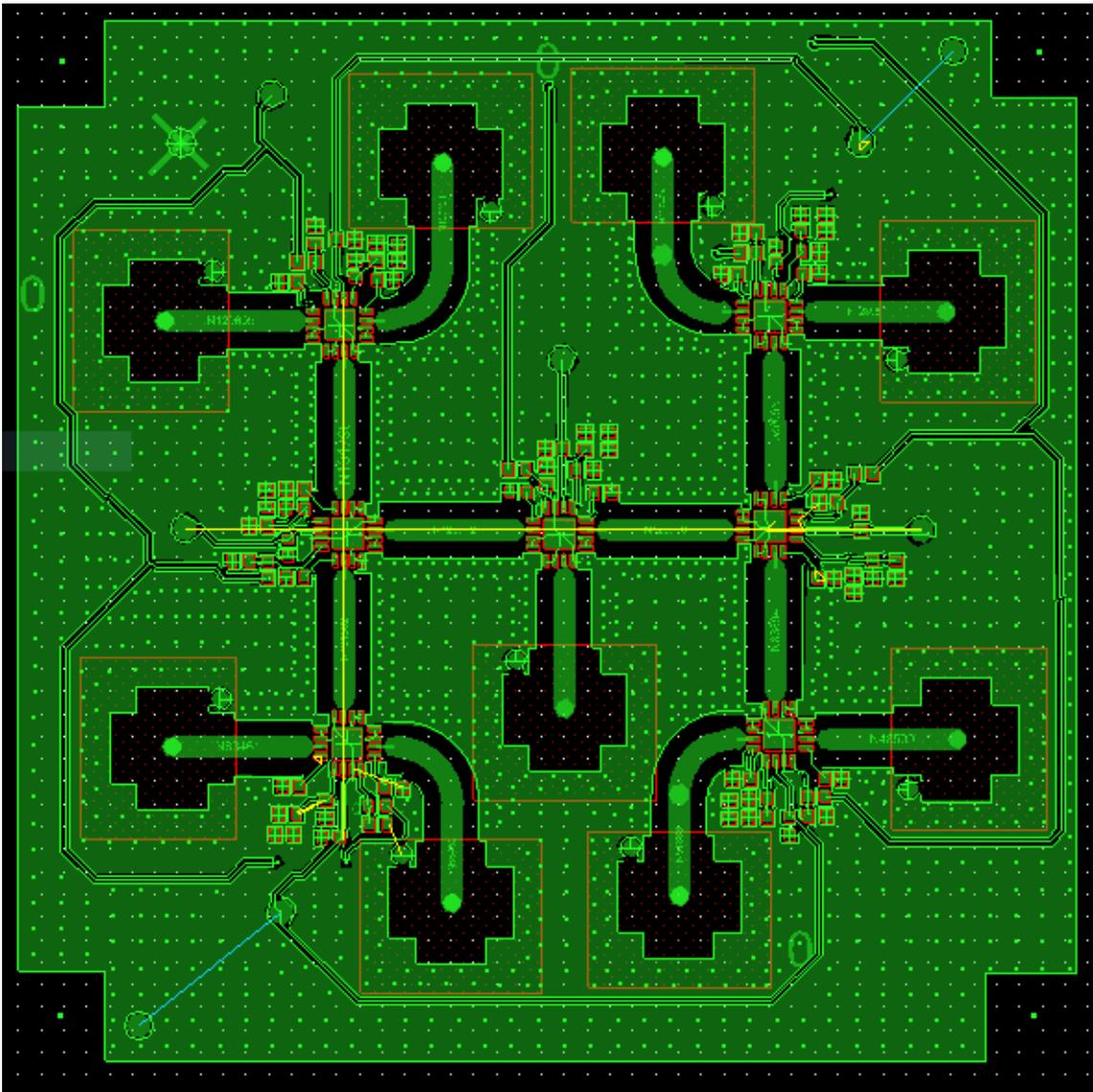
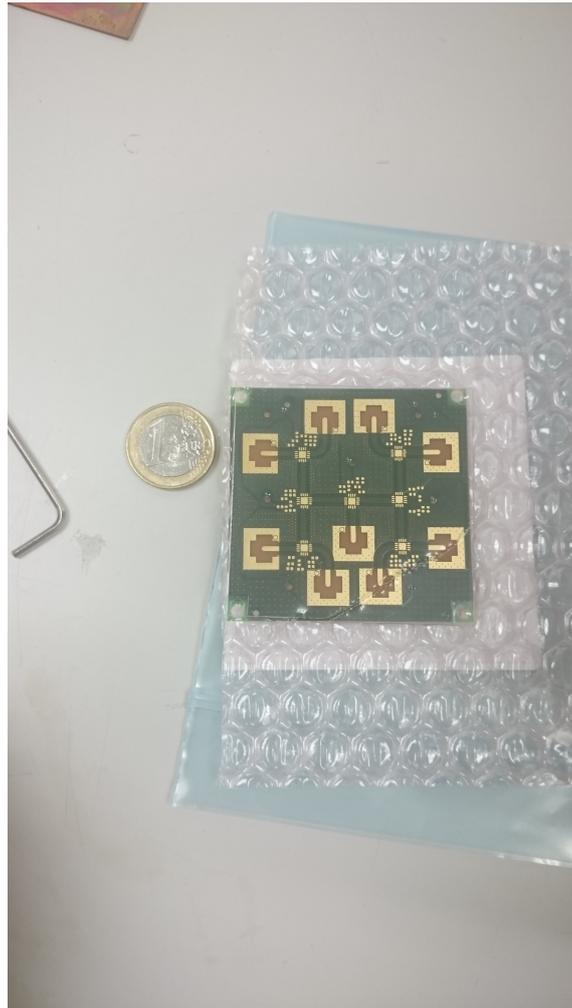
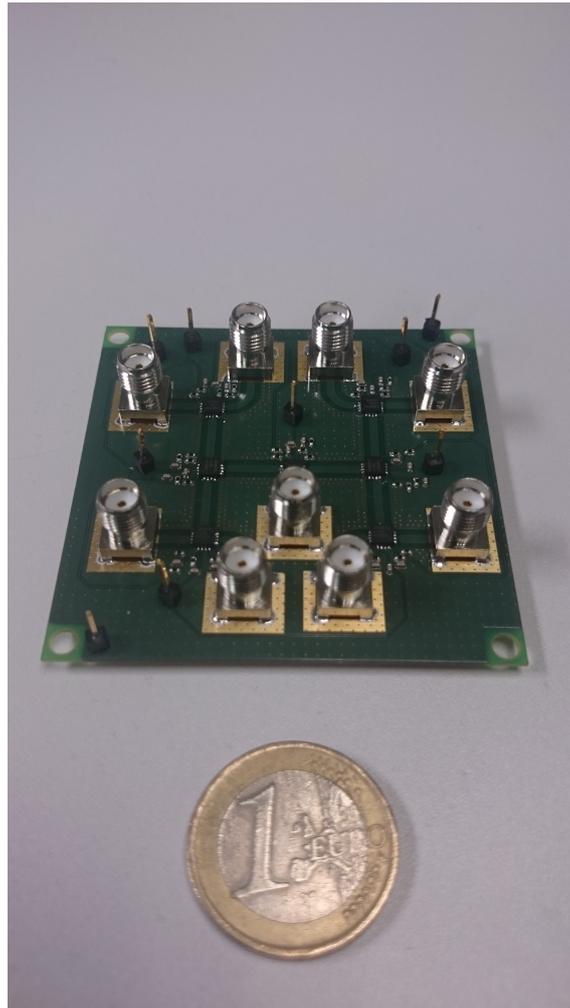


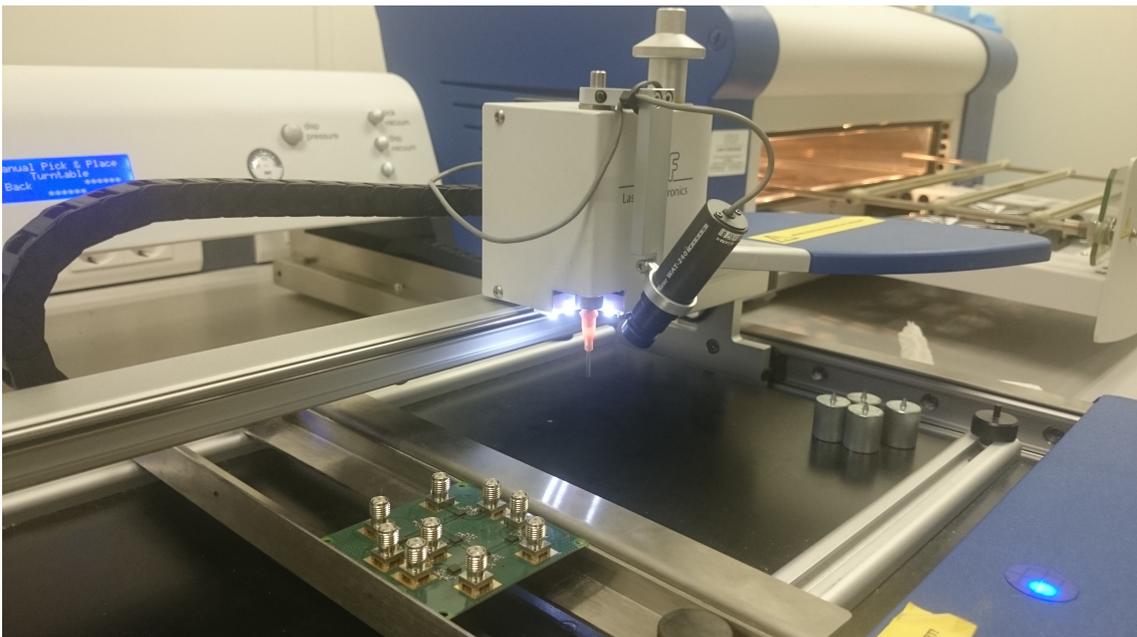
Figura 4.1: Imagen general del layout



**Figura 4.2:** Imagen de la PCB previamente al ensamblado de los componentes



**Figura 4.3:** Imagen de la PCB resultante tras el ensamblado de los componentes



**Figura 4.4:** Fotografía tomada durante el proceso de ensamblaje de la PCB usando una máquina de pick and place manual



**Figura 4.5:** Fotografía tomada tras la finalización del procesado de soldadura en el horno

---

---

## CAPÍTULO 5

# Resultados experimentales

---

Para la comprobación experimental del funcionamiento del diseño se ha utilizado un analizador de redes con 4 puertos, conectando el puerto de entrada, el puerto de salida del camino conmutado, dos puertos no conmutados para medir el aislamiento, además de terminaciones de  $50 \Omega$  en todos los puertos restantes. Esto se ha realizado para los caminos 1, 2, 3 y 4, quedando así caracterizada la mitad del circuito; esto supone una medida fiable debido a que el circuito es simétrico, y por tanto cabe esperar un comportamiento similar en las dos mitades del circuito. Los resultados de estas medidas se han importado a la herramienta AWR Microwave Office en formato .s4p, y se han representado simulaciones de sus parámetros S, que se discuten a continuación.

### 5.1 Test y discusión de los resultados

---

En las figuras 5.1, 5.2, 5.3, y 5.4, se representan los parámetros S medidos con cada una de las configuraciones propuestas, y se puede observar que el desempeño de la red de conmutación es buena para frecuencias inferiores a los 4 GHz. Sin embargo, el comportamiento del circuito empeora mucho con la frecuencia, y resulta prácticamente inutilizable para la frecuencia de 8 GHz, que era el objetivo inicial del diseño.

Para analizar con más detalle el desempeño del diseño a frecuencias para las que conmuta correctamente, se puede recurrir a las figuras 5.5, 5.6, 5.7 y 5.8, cuyas características más importantes se recogen en la tabla 5.1, donde podemos ver el funcionamiento de la red de conmutación para las frecuencias de 1, 2 y 4 GHz.

Las razones del mal funcionamiento para frecuencias superiores a 4 GHz son, probablemente, el uso del material FR4, cuyo comportamiento para altas frecuencias no es predecible ni óptimo, y la aparición de desadaptaciones inesperadas en el circuito. Se pueden apreciar a la frecuencia de 6 GHz los efectos de la desadaptación de impedancias que ya estaba prevista de acuerdo con las simulaciones circuitales, y posiblemente ese empeoramiento del funcionamiento no estaría presente con una red de adaptación que

Camino	Pérdidas			Reflexión		
	1 GHz	2 GHz	4 GHz	1 GHz	2 GHz	4 GHz
Camino 1	-2.409 dB	-2.905 dB	-5.443	-17.82 dB	-23.21 dB	-16.02 dB
Camino 2	-2.4 dB	-2.908 dB	-5.263 dB	-18.98 dB	-21.93 dB	-14.67 dB
Camino 3	-2.291 dB	-2.682 dB	-3.721 dB	-18.64 dB	-23.73 dB	-18.42 dB
Camino 4	-2.34 dB	-2.837 dB	-3.804 dB	-18.71 dB	-23.48 dB	-21.07 dB

**Tabla 5.1:** Resumen del comportamiento del conmutador a frecuencias funcionales

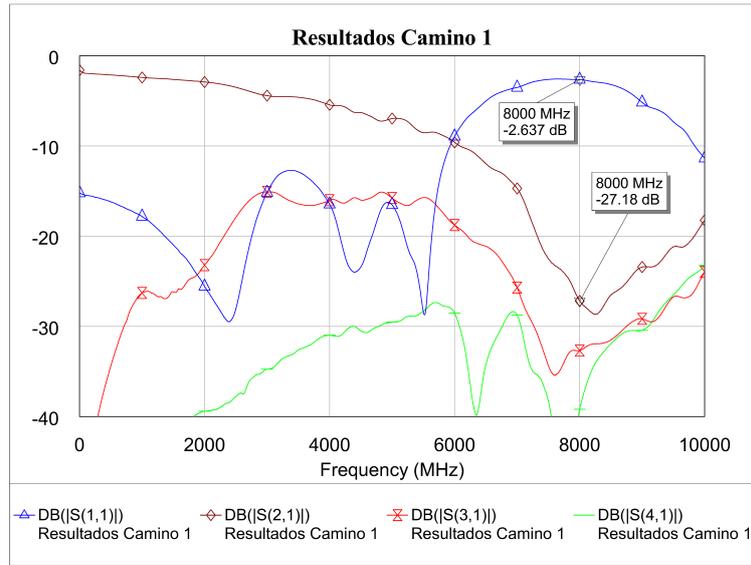


Figura 5.1: Medida de los parámetros S en la placa ya fabricada: camino 1

uniformizara la impedancia del circuito para las distintas frecuencias y compensara las desadaptaciones intrínsecas del PE42521 que se pueden ver en la figura 2.21.

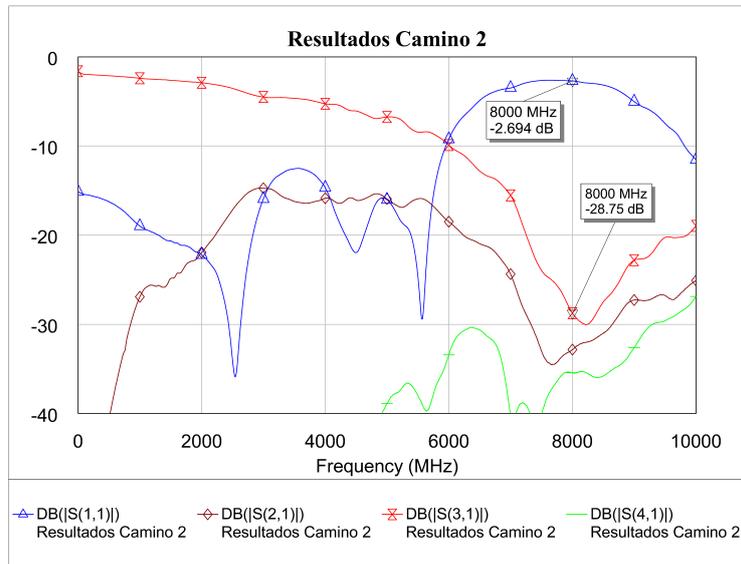


Figura 5.2: Medida de los parámetros S en la placa ya fabricada: camino 2

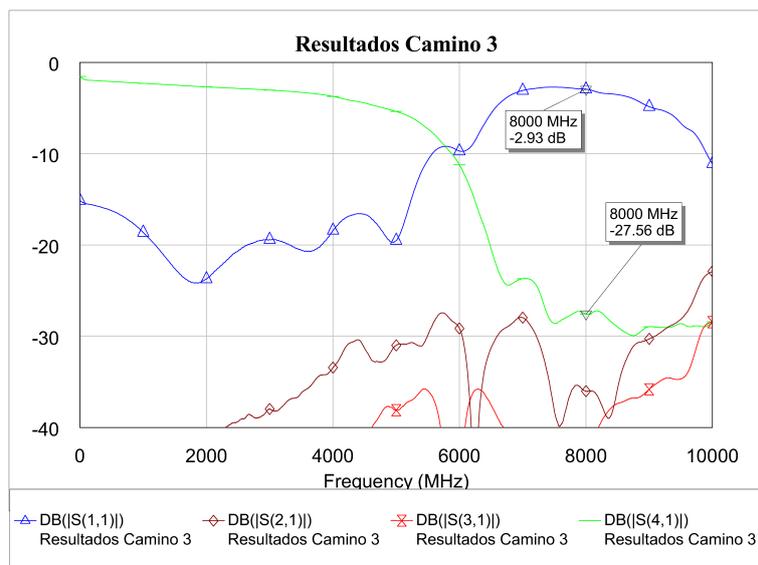


Figura 5.3: Medida de los parámetros S en la placa ya fabricada: camino 3

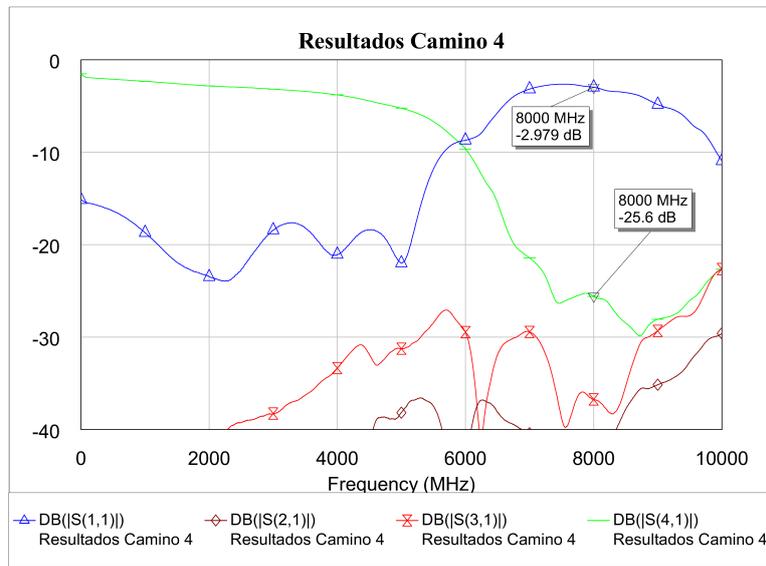


Figura 5.4: Medida de los parámetros S en la placa ya fabricada: camino 4

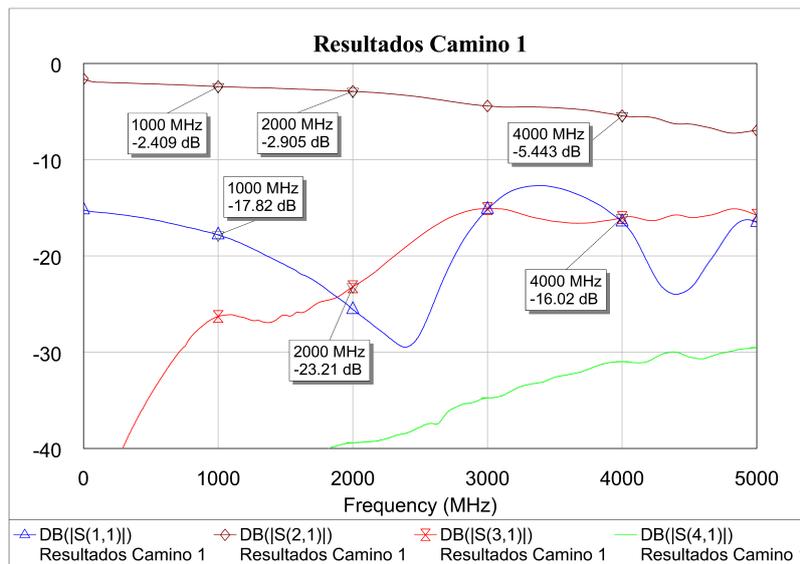


Figura 5.5: Detalle del funcionamiento del camino 1 del conmutador para frecuencias de DC a 5 GHz

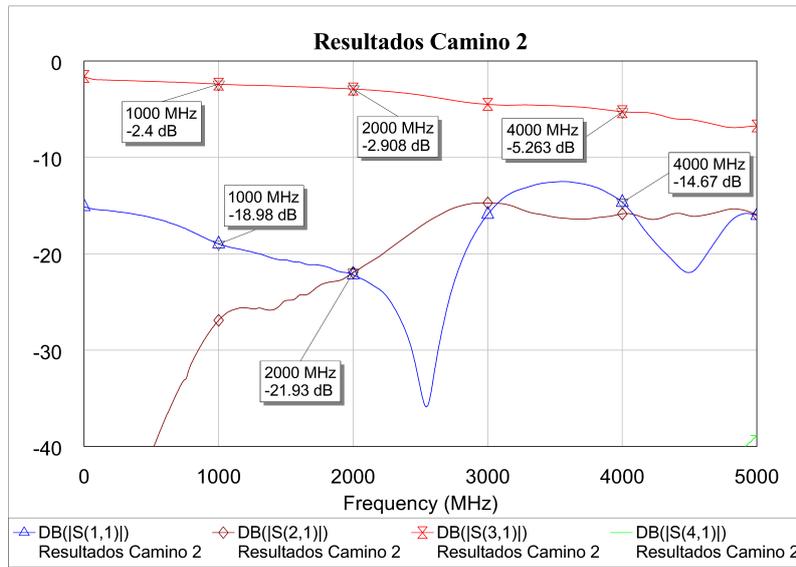


Figura 5.6: Detalle del funcionamiento del camino 2 del conmutador para frecuencias de DC a 5 GHz

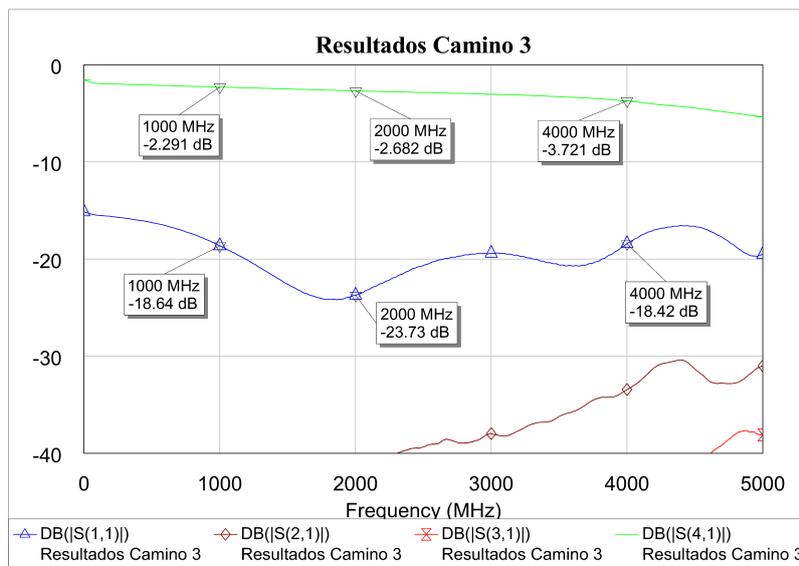


Figura 5.7: Detalle del funcionamiento del camino 3 del conmutador para frecuencias de DC a 5 GHz

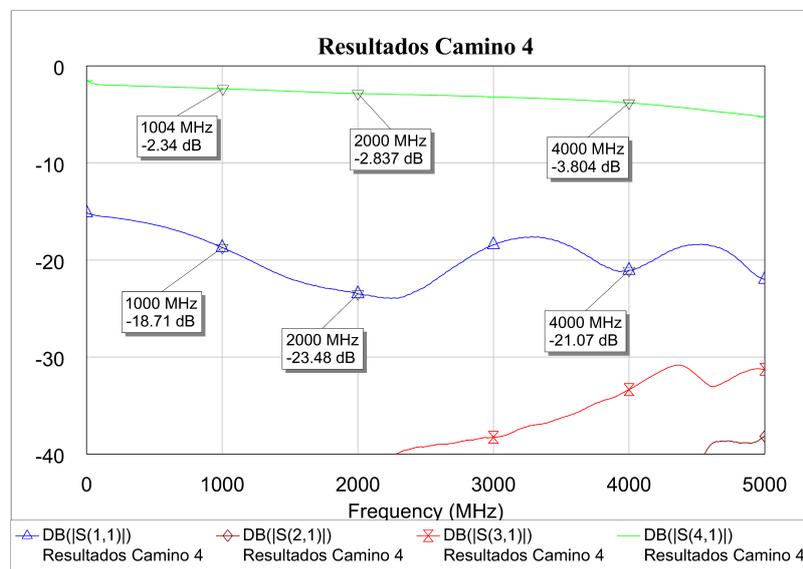


Figura 5.8: Detalle del funcionamiento del camino 4 del conmutador para frecuencias de DC a 5 GHz

---

---

## CAPÍTULO 6

# Conclusiones y líneas futuras

---

Teniendo en cuenta los objetivos del trabajo, se puede considerar el resultado como un éxito parcial. Por una parte, se ha realizado el diseño de una matriz y se ha implementado el layout en tecnología PCB, y se ha fabricado con éxito. La red de conmutación, además, conmuta con un desempeño adecuado para un rango de frecuencias que va de DC a 4 GHz, minimizando tanto el espacio utilizado como el gasto económico necesario para su fabricación. Sin embargo, el funcionamiento es parcial, dado que la red de conmutación no es capaz de funcionar con frecuencias de 8 GHz.

Las posibles líneas futuras del desarrollo de este diseño son las siguientes:

### 6.1 Realizar correcciones en el layout

---

En una versión posterior del layout, sería más óptimo añadir una capa de silkscreen y una capa de stencil para facilitar el montaje de las posteriores placas fabricadas. Además, se podrían mejorar algunas de las decisiones tomadas durante el diseño del layout, como por ejemplo el espacio destinado a los headers "through hole", siendo el espacio reservado en el presente layout innecesariamente escaso.

### 6.2 Realizar correcciones necesarias para un mejor comportamiento a 8 GHz

---

Para conseguir el objetivo final, hará falta realizar algunos ajustes para conseguir la adaptación adecuada a una frecuencia de 8 GHz. Las medidas más importantes a tomar son dos: elección de un mejor material, e implementación de una mejor red de adaptación.

El material que se ha utilizado para la fabricación de la placa, el FR4, no está en principio destinado a este tipo de aplicaciones RF, siendo así explicable la diferencia entre los resultados de las simulaciones y el desempeño final del diseño a 8 GHz.

Además, durante la concepción de este diseño se ha descartado la opción de añadir algún stub que mejore la adaptación para minimizar el espacio utilizado en la placa. Probablemente, una implementación de este tipo de redes de adaptación ocupe más espacio, pero garantice un funcionamiento más regular y óptimo desde DC hasta 8 GHz, y tal vez incluso a mayores frecuencias, dado que el PE42521 puede, en principio, funcionar de manera óptima hasta frecuencias de 13 GHz.

También se podría mejorar drásticamente el diseño si, en vez de realizar solo simulaciones circuitales, se realizara también una simulación electromagnética en 3 dimensiones. Eso permitiría analizar las radiaciones presentes en la placa y las interferencias que puedan aparecer, pudiendo garantizar con más fiabilidad el comportamiento de la PCB una vez fabricada.

### **6.3 Implementación de una interfaz de control digital**

---

Otra posible vía de desarrollo del proyecto consiste en diseñar un sistema de comunicación entre el PC y la placa, permitiendo controlar mediante una herramienta de control de instrumentos, por ejemplo LabVIEW, tanto el instrumento de medida como la conmutación de la placa, interponiendo entre el PC y el conmutador un dispositivo microcontrolador, como por ejemplo un Arduino.

---

---

## CAPÍTULO 7

# Agradecimientos

---

Finalmente, se agradece a Jorge Daniel Martínez Pérez y a Vicente Herrero Bosch su ayuda y disponibilidad para la realización del presente TFG, a la ETSIT la puesta a disposición de los alumnos de laboratorios donde está disponible el software utilizado en el desarrollo del presente proyecto, y a la ETSINF la publicación de una plantilla de  $\text{\LaTeX}$  fácil de utilizar y personalizar a las distintas necesidades de los alumnos en su página web, [[LATEX-TEMPLATE](#)]





[SMA] SMA Datasheet, Linx Technologies, 2016. Consultado en <http://www.mouser.com/ds/2/238/consma001-smd-21851.pdf>

---

---

APÉNDICE A

Circuitos en *AWR Microwave*  
Office

---

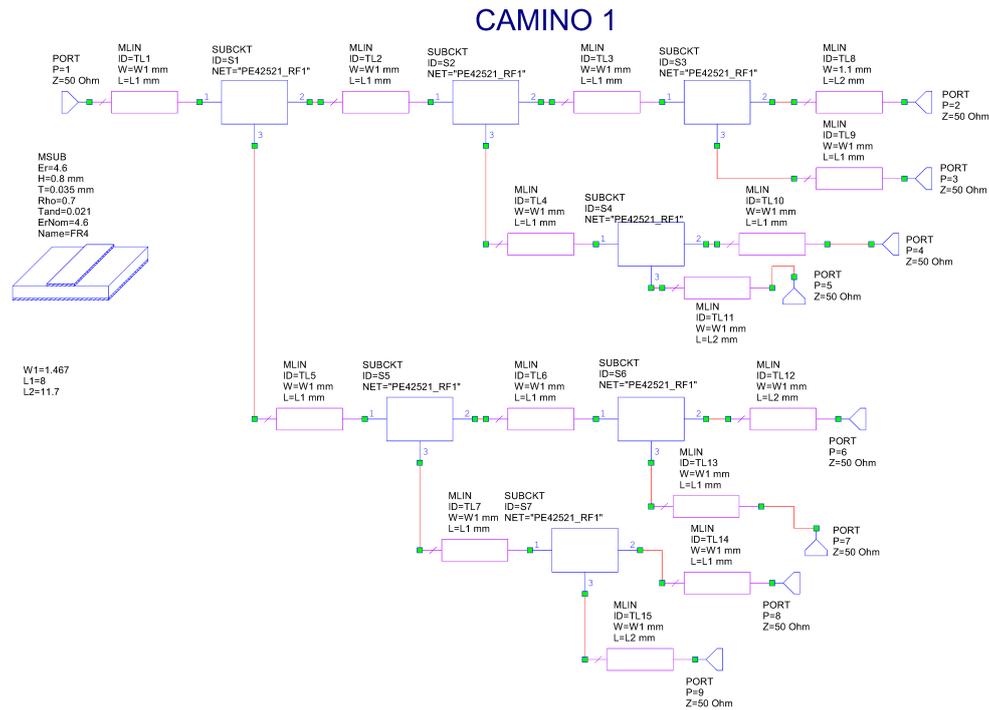


Figura A.1: Esquemático realizado en AWR Microwave Office para la ruta de conmutación 1.

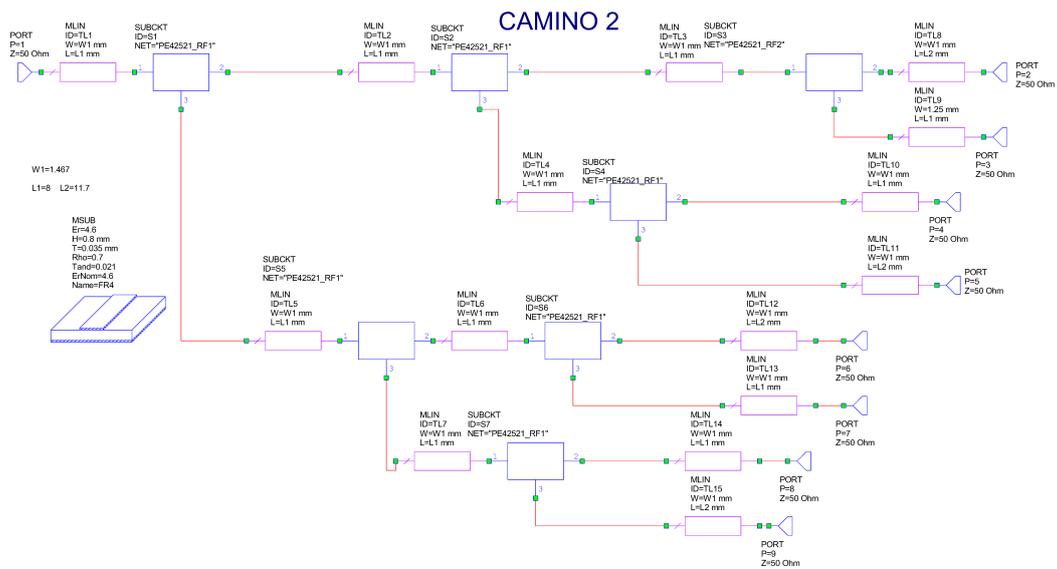


Figura A.2: Esquemático realizado en AWR Microwave Office para la ruta de conmutación 2.

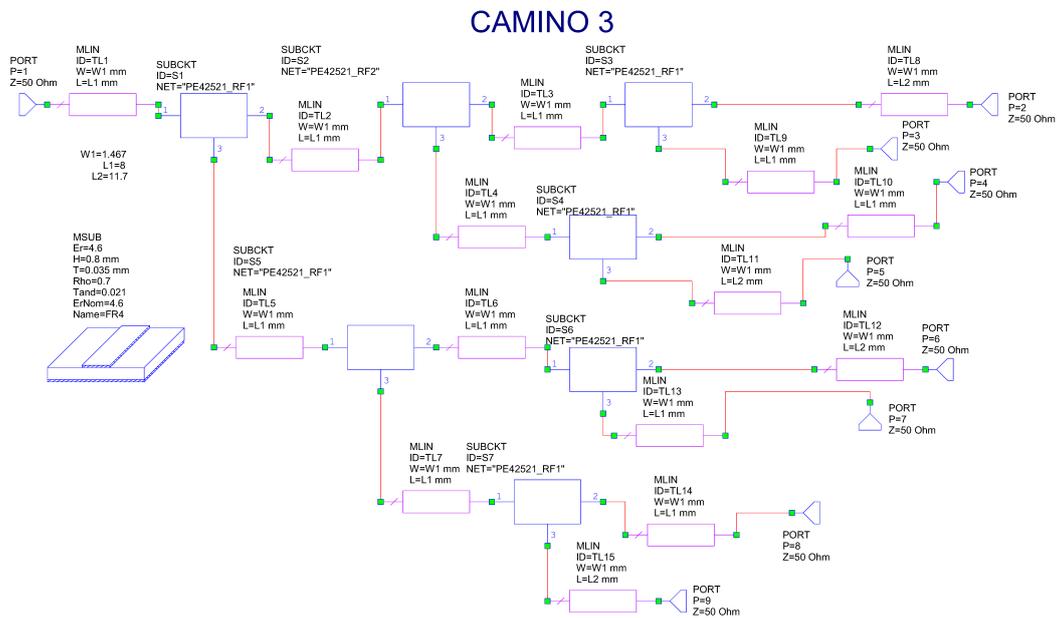


Figura A.3: Esquemático realizado en AWR Microwave Office para la ruta de conmutación 3.

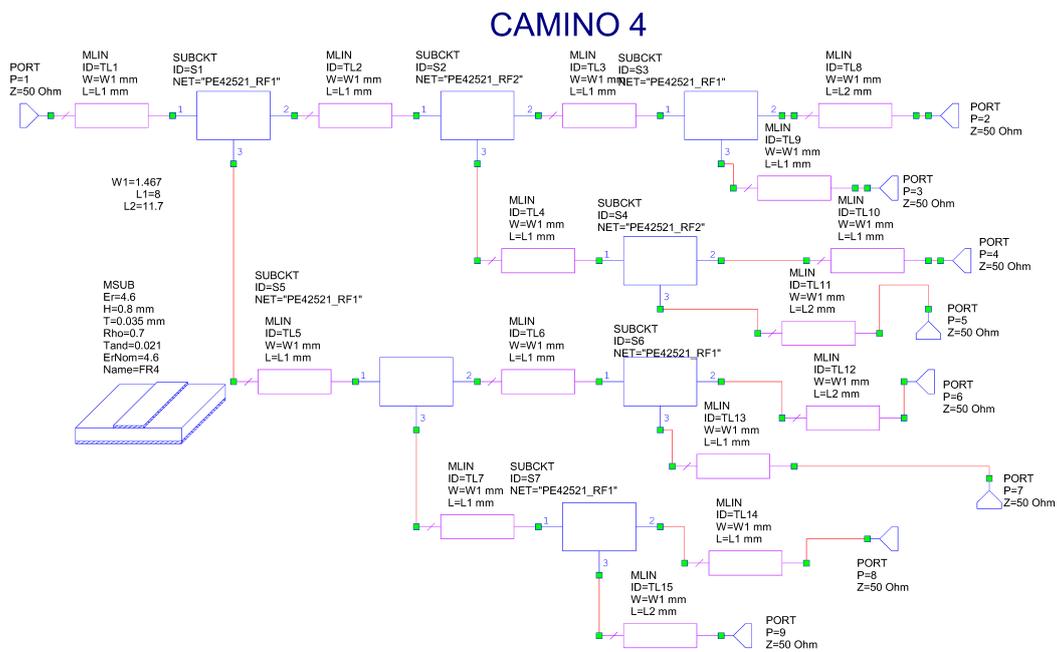


Figura A.4: Esquemático realizado en AWR Microwave Office para la ruta de conmutación 4.

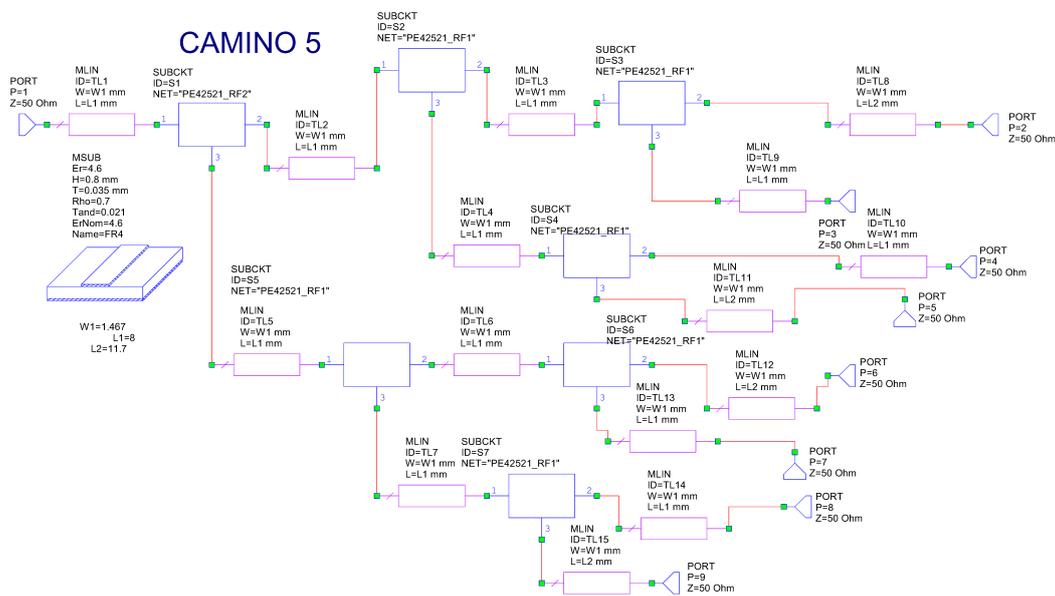


Figura A.5: Esquemático realizado en AWR Microwave Office para la ruta de conmutación 5.

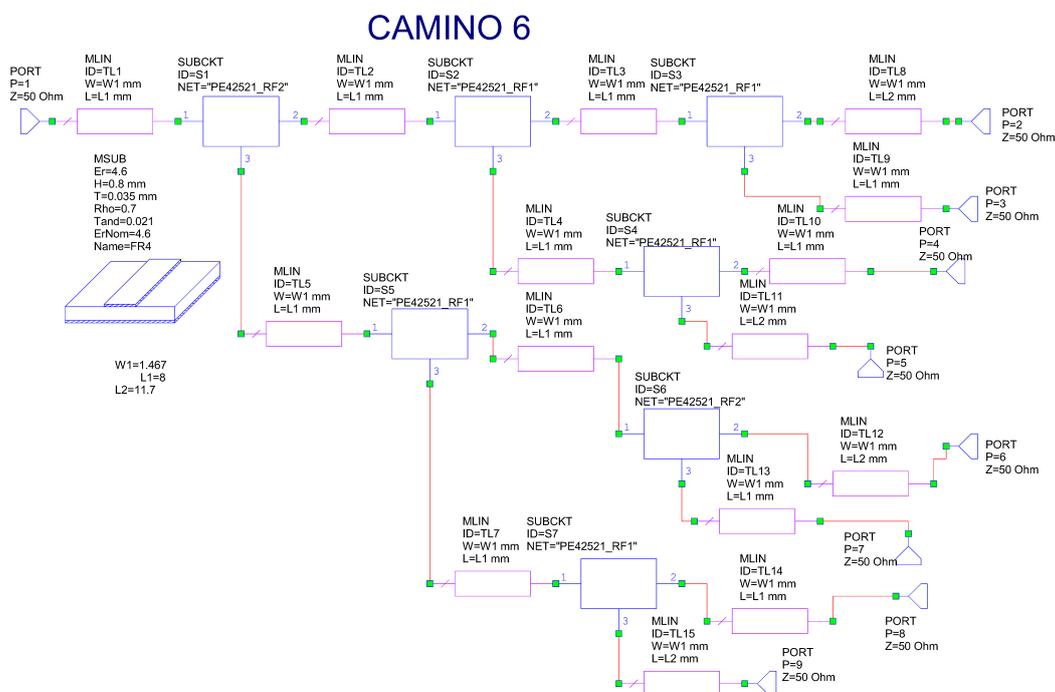


Figura A.6: Esquemático realizado en AWR Microwave Office para la ruta de conmutación 6.

### CAMINO 7

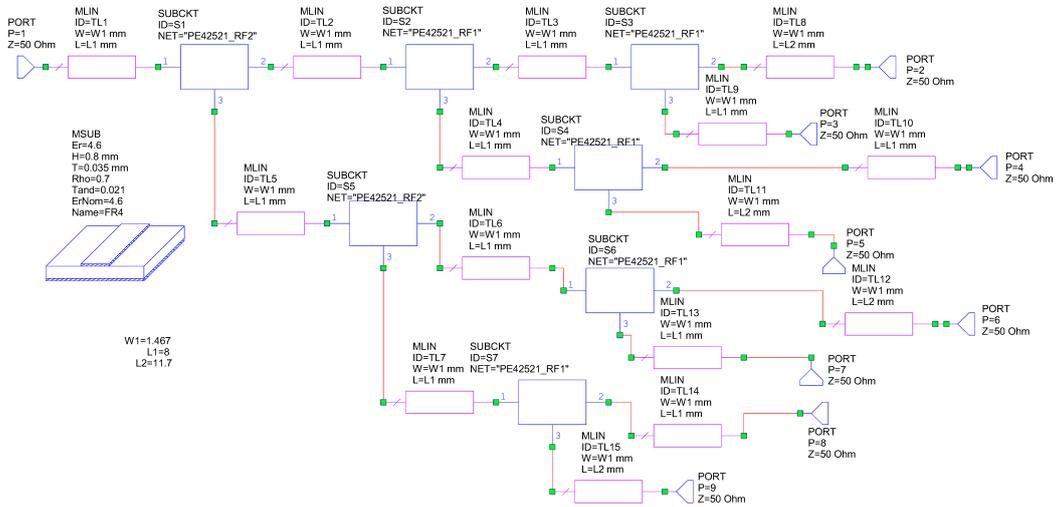


Figura A.7: Esquemático realizado en AWR Microwave Office para la ruta de conmutación 7.

### CAMINO 8

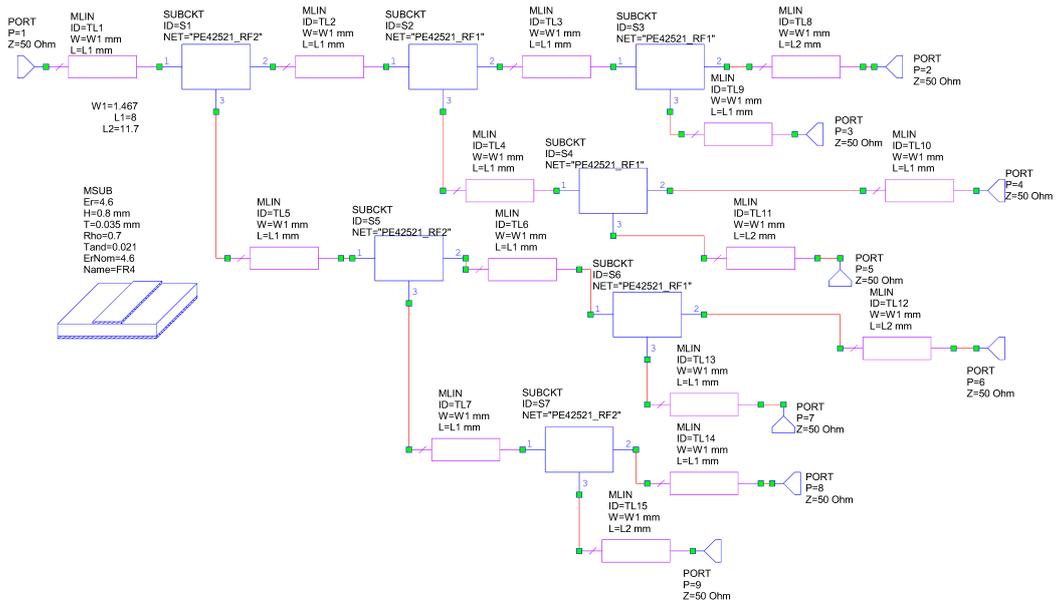


Figura A.8: Esquemático realizado en AWR Microwave Office para la ruta de conmutación 8.



---

---

APÉNDICE B

Esquemático en OrCAD

---

---

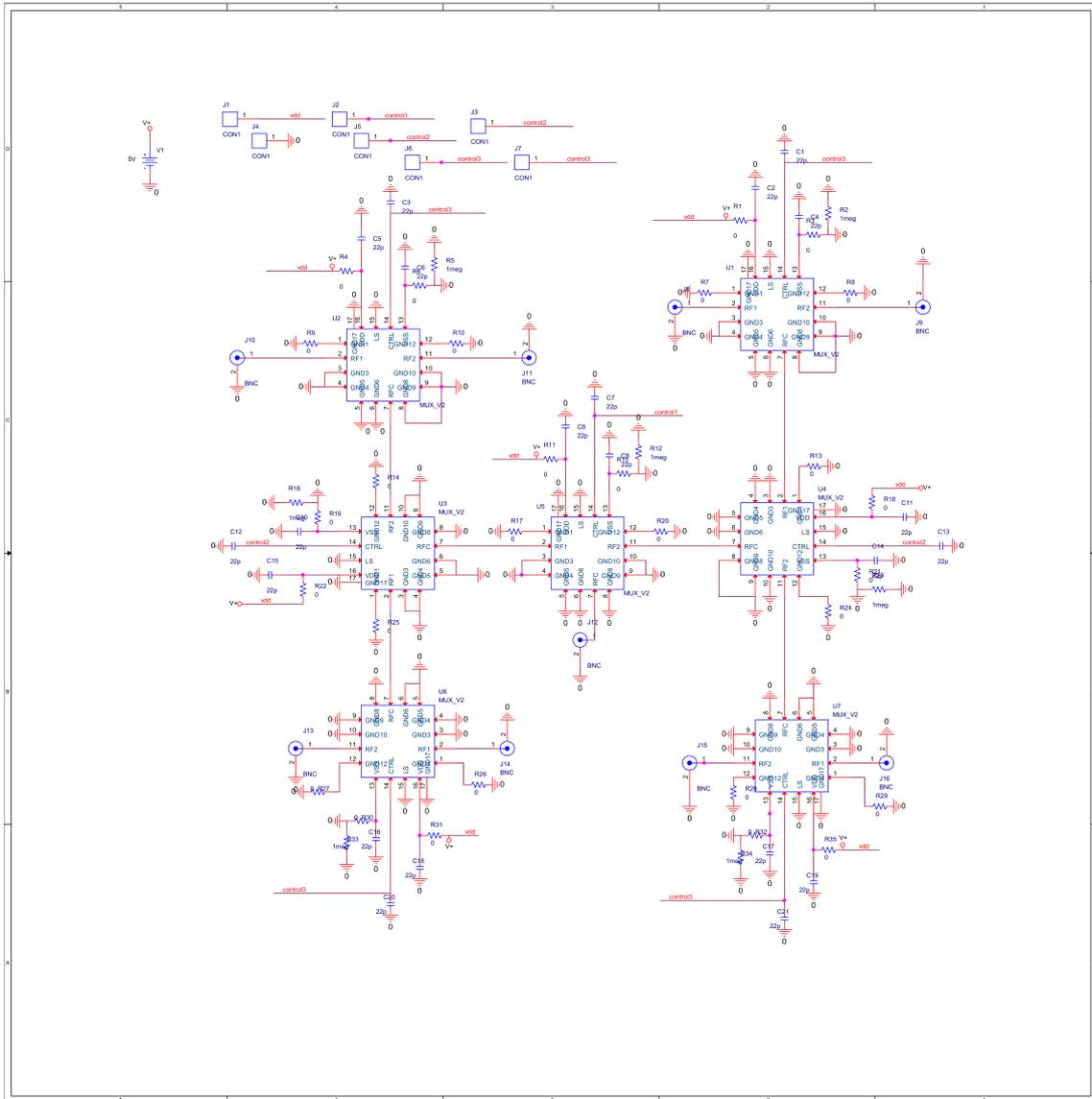


Figura B.1: Esquemático realizado en Design Entry de OrCAD

---

---

APÉNDICE C  
**Archivos Gerber**

---

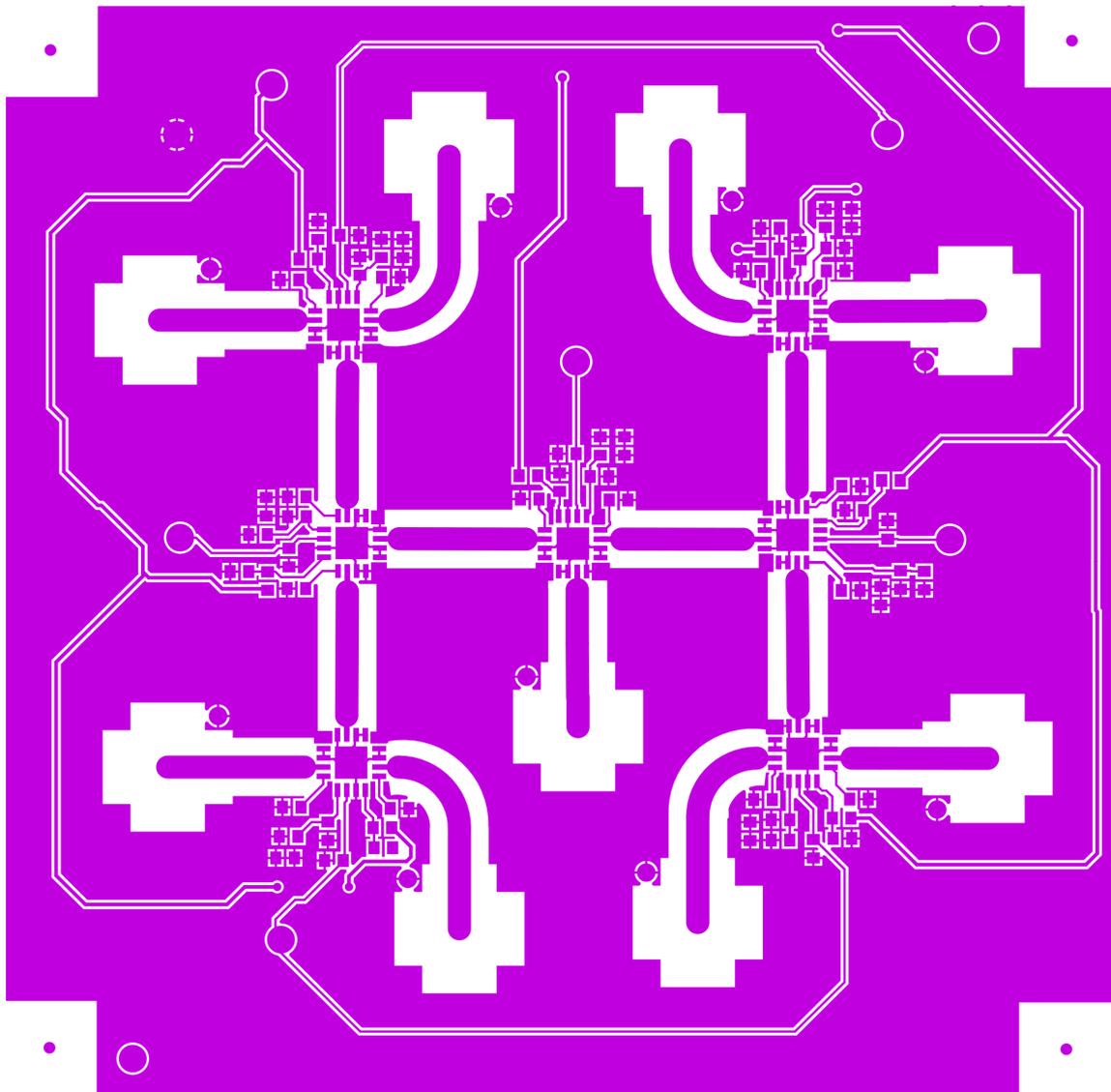
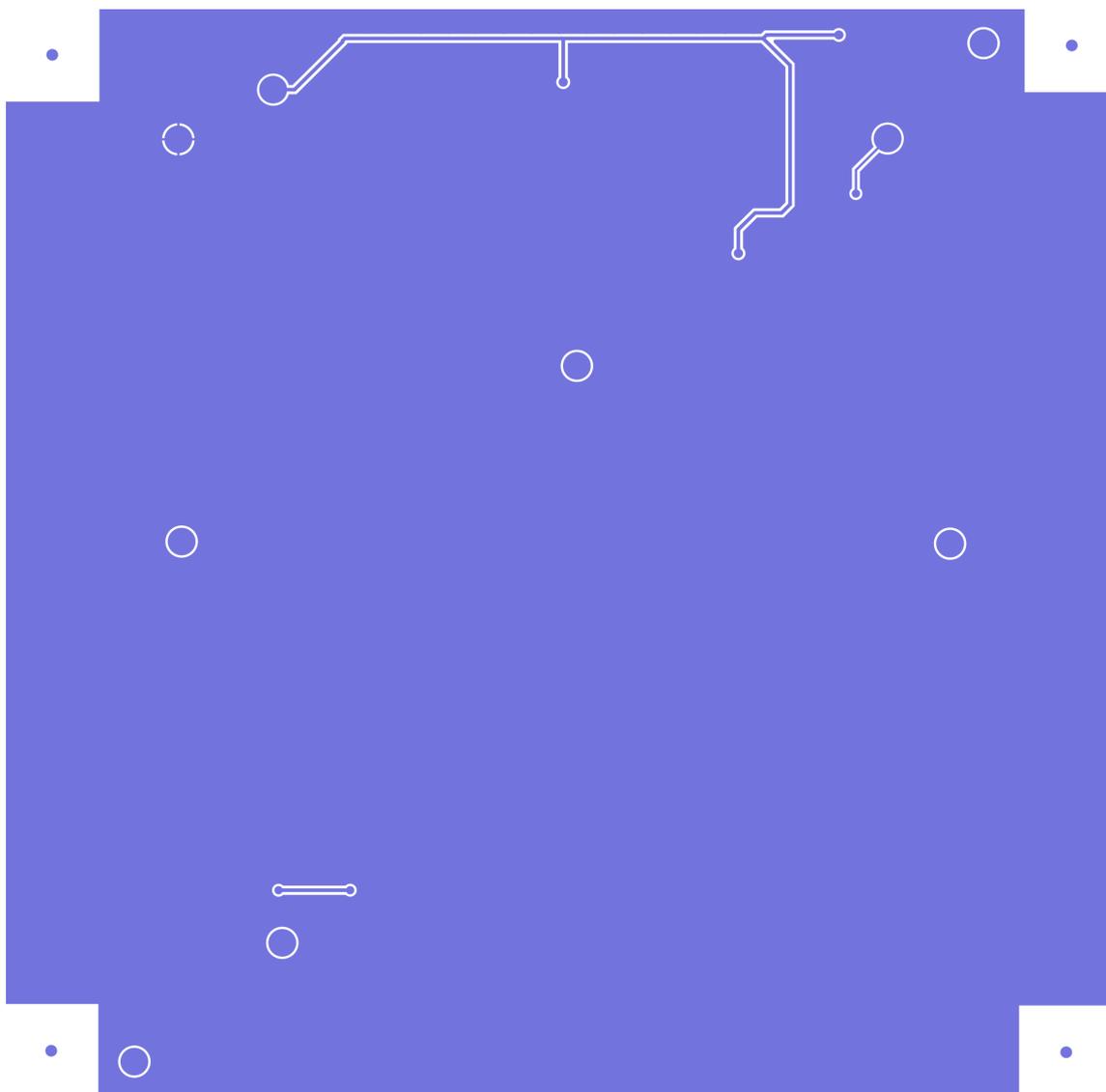


Figura C.1: Gerber de la capa TOP



**Figura C.2:** Gerber de la capa BOTTOM

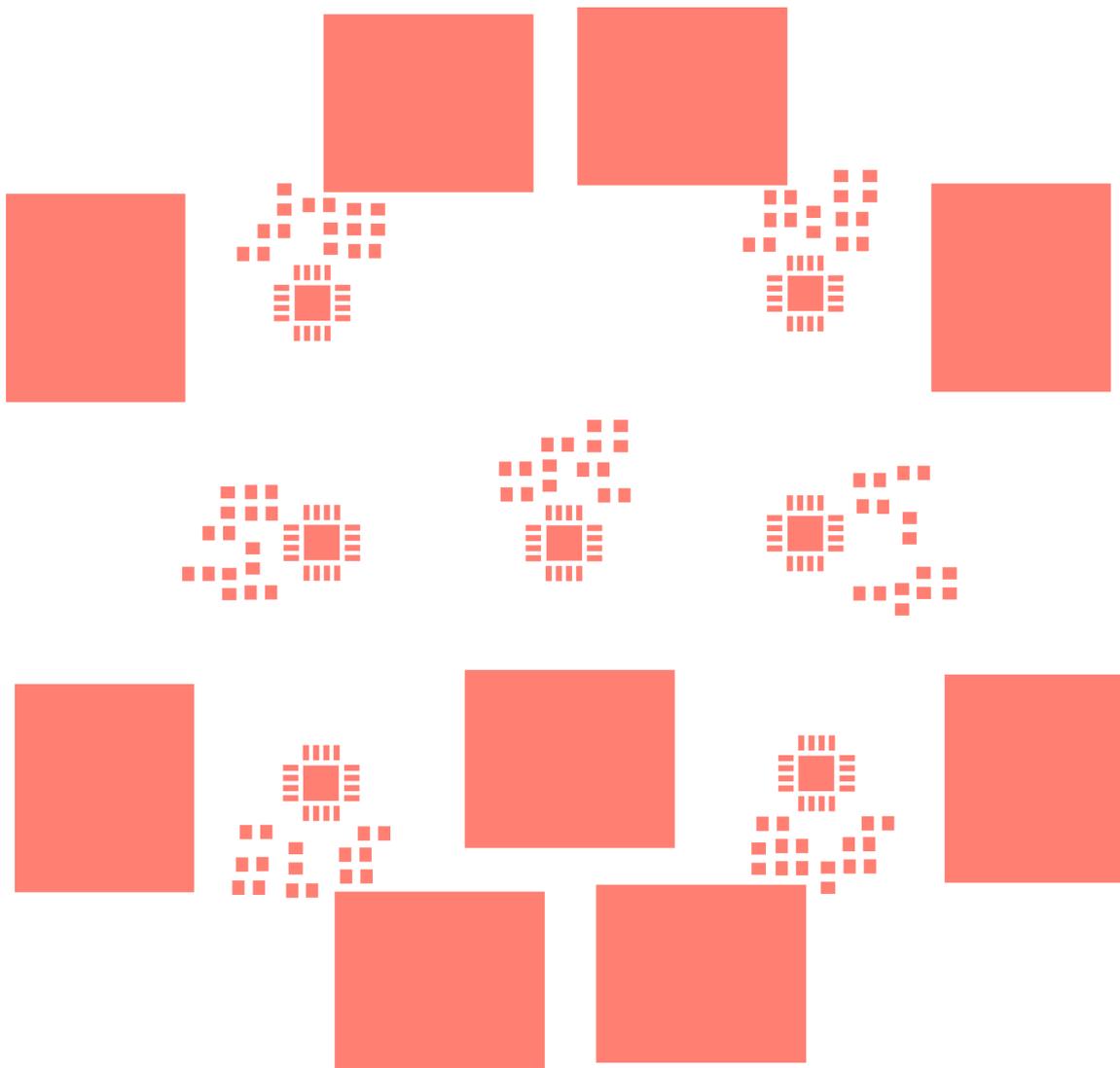


Figura C.3: Gerber del soldermask

---

---

APÉNDICE D

Bill Of Materials (BOM)

---

---

Descripción	Enlace al proveedor	Cantidad	Precio/Unidad (€)	Precio total (€)
SMA	<a href="http://www.mouser.es">www.mouser.es</a>	9	2,62	23.58
0 $\Omega$ resistor	<a href="http://www.mouser.es">www.mouser.es</a>	28	0.036	1.008
1M $\Omega$ resistor	<a href="http://www.mouser.es">www.mouser.es</a>	7	0.091	0.637
22 pF capacitor	<a href="http://www.mouser.es">www.mouser.es</a>	21	0.143	3.003
Header	<a href="http://www.mouser.es">www.mouser.es</a>	7	0.094	0.658
RF SWITCH	<a href="http://www.digikey.com">www.digikey.com</a>	7	7.73	54.11
TOTAL:				82.996

Tabla D.1: Bill of Materials