

Resumen tesis

Hoy en día, gracias a las mejoras en la escala de integración, la tendencia en la fabricación de procesadores multinúcleo consiste en introducir cada vez más núcleos en el mismo chip con el fin de conseguir mejoras en las prestaciones. Para interconectar todos los nodos dentro del chip se emplea una red en chip (REC), la cual es la encargada de intercambiar información entre nodos. No obstante, aumentar el número de núcleos en el chip también implica un importante incremento en el consumo de la REC, haciendo que ésta se convierta en una de las partes más caras del chip en términos de consumo. Por ello, en los últimos años se han propuesto diversas técnicas de ahorro de energía orientadas a reducir el consumo de la REC como las basadas en DVFS (Dynamic Voltage and Frequency Scaling) o "power-gating". Sin embargo, éstas mejoras de consumo normalmente se obtienen a costa de sacrificar en mayor o menor medida las prestaciones del sistema, aumentando así el riesgo de saturar la red, generando congestión que, a su vez, compromete el rendimiento del resto del sistema debido al "head-of-line" blocking. Por ello, en ésta tesis, en primer lugar, se proponen técnicas novedosas en el campo del control de congestión en las REC para la eliminación del "Head-of-Line blocking", mientras que por otra parte se propone la combinación de una de éstas técnicas de control de congestión adaptadas a entornos con DVFS con el fin de conseguir mejoras en el rendimiento mientras se controla el consumo. Además, se propone una técnica de "power-gating" a nivel de "buffers" orientada a rutas de datos, la cual es capaz de detectar el uso compartido de recursos a lo largo de rutas y apagarlos de forma dinámica cuando no son necesarios.