

Índice

Prólogo	vii
Agradecimientos	ix
Índice	xi
Resumen	1
Resum	2
Abstract	3
1 PRESENTACIÓN	5
1.1 FUNDAMENTOS Y MOTIVACIÓN	5
1.2 OBJETIVOS	7
1.3 DESARROLLO	8
2 CONCEPTOS BÁSICOS SOBRE TOLERANCIA A FALLOS . 11	
2.1 INTRODUCCIÓN	11
2.2 DEFINICIONES BÁSICAS	12
2.3 ATRIBUTOS DE LA CONFIABILIDAD	14
2.4 AMENAZAS DE LA CONFIABILIDAD	15
2.4.1 Averías	15
2.4.2 Errores	18
2.4.3 Fallos	19
2.4.4 Patología de los fallos	21
2.5 MEDIOS PARA CONSEGUIR CONFIABILIDAD	23
2.5.1 Tolerancia a fallos	23
2.5.2 Eliminación de fallos	26
2.5.3 Predicción de fallos	28
2.6 TOLERANCIA A FALLOS Y VALIDACIÓN EXPERIMENTAL	29
2.7 VALIDACIÓN EXPERIMENTAL E INYECCIÓN DE FALLOS	31
2.8 TÉCNICAS DE INYECCIÓN DE FALLOS	34
2.8.1 Inyección física de fallos	35
2.8.2 Inyección de fallos por software	35
2.8.3 Inyección de fallos basada en modelos	36

2.8.3.1	Inyección de fallos basada en simulación	37
2.8.3.2	Técnicas de inyección de fallos basadas en VHDL	38
2.8.3.3	Inyección de fallos basada en emulación	39
2.8.3.4	Uso combinado de simulación y emulación.....	40
2.9	CÓDIGOS CORRECTORES DE ERRORES	40
2.9.1	<i>La transmisión de la información</i>	41
2.9.2	<i>Códigos correctores de errores: tipos</i>	41
2.9.3	<i>Códigos de bloque lineales binarios</i>	42
2.9.3.1	Ejemplo: códigos de Hamming	44
2.10	RESUMEN Y CONCLUSIONES	47

3 EFECTOS DE LOS FALLOS INTERMITENTES..... 49

3.1	INTRODUCCIÓN	49
3.2	MODELOS DE FALLOS INTERMITENTES.....	50
3.2.1	<i>Niveles de abstracción</i>	51
3.2.2	<i>Mecanismos de fallos y su modelado</i>	52
3.2.2.1	Mecanismos físicos	53
	Residuos de fabricación.....	53
	Soldaduras defectuosas	53
	Deslaminación	54
	Electromigración	54
	Diafonía	55
	Daños en la capa de óxido	55
	<i>Negative bias temperature instability</i> (NBTI).....	56
	Inyección de portadores calientes.....	56
	Rotura de dieléctrico con baja constante dieléctrica	57
	Variaciones en el proceso de fabricación	57
	Resumen	58
3.2.2.2	Modelos de fallo.....	58
	<i>Intermittent stuck-at</i>	58
	<i>Intermittent bit-flip</i>	60
	<i>Intermittent pulse</i>	60
	<i>Intermittent short</i>	60
	<i>Intermittent open</i>	61
	<i>Intermittent delay</i>	61
	<i>Intermittent speed-up</i>	62
	<i>Intermittent indetermination</i>	63
3.2.2.3	Parametrización de los modelos de fallo.....	63
	Multiplicidad espacial	63
	Consideraciones temporales	63
	Modelado de una ráfaga	64
	Funciones de probabilidad.....	65
3.3	EFECTOS DE LOS FALLOS INTERMITENTES.....	66
3.3.1	<i>La herramienta de inyección de fallos VFIT</i>	66
3.3.2	<i>Sistemas bajo prueba y cargas de trabajo</i>	68
3.3.2.1	Microcontrolador 8051.....	68

3.3.2.2	Microprocesador Plasma	68
3.3.2.3	Cargas de trabajo utilizadas	70
3.3.2.4	Puntos de inyección de fallos	72
3.3.3	<i>Definiciones y terminología</i>	72
3.3.4	<i>Influencia de los parámetros</i>	73
3.3.4.1	Consideraciones generales	73
3.3.4.2	Influencia de los parámetros de la ráfaga	76
	Tiempo de actividad	77
	Tiempo de inactividad	79
	Longitud de la ráfaga	80
3.3.4.3	Influencia de otros parámetros	81
	Multiplicidad espacial	81
	Lugar de la inyección	83
	Frecuencia de reloj del sistema	83
	Carga de trabajo	84
3.3.5	<i>Comparación con fallos transitorios y permanentes</i>	87
3.3.6	<i>Influencia del sistema seleccionado</i>	90
3.3.7	<i>Comparación con los resultados de otros estudios</i>	95
3.4	TÉCNICAS DE MITIGACIÓN EXISTENTES	96
3.4.1	<i>Sistema bajo prueba: MARK2 tolerante a fallos</i>	98
3.4.2	<i>Definiciones y terminología</i>	100
3.4.3	<i>Respuesta ante fallos en buses</i>	101
3.4.3.1	Influencia de los parámetros temporales de la ráfaga	101
3.4.3.2	Influencia de los modelos de fallo	105
3.4.4	<i>Respuesta ante fallos en memoria</i>	108
3.4.5	<i>Respuesta ante fallos en el procesador activo y en los buses del sistema</i> ..	110
3.4.6	<i>Comparación con fallos transitorios y permanentes</i>	115
3.5	RESUMEN Y CONCLUSIONES	117

4 FLEXIBLE UNEQUAL ERROR CONTROL Y OTROS CÓDIGOS CORRECTORES DE ERRORES..... 119

4.1	INTRODUCCIÓN	119
4.2	DESCRIPCIÓN DE LOS CÓDIGOS FLEXIBLE UNEQUAL ERROR CONTROL	121
4.2.1	<i>Justificación</i>	122
4.2.2	<i>Características de los códigos FUEC</i>	123
4.2.3	<i>Metodología de diseño de los códigos FUEC</i>	124
4.2.3.1	Descripción de la metodología	125
	Determinar los conjuntos de vectores de errores	127
	Calcular la matriz de paridad	129
	Implementación del código en función de su matriz de paridad	130
4.2.3.2	La aplicación de búsqueda de códigos	132
	Coste computacional y tiempo de ejecución	134
4.3	COMPARACIÓN CON OTROS CÓDIGOS	136
4.4	MECANISMOS ADAPTATIVOS PARA TOLERAR FALLOS INTERMITENTES	138

4.5	OTRAS APLICACIONES DE LA METODOLOGÍA DE GENERACIÓN DE CÓDIGOS.....	142
4.5.1	<i>Códigos Hamming modificados para detectar errores en ráfaga en memorias ..</i>	<i>143</i>
4.5.1.1	Códigos para palabras de datos de 8 bits	143
4.5.1.2	Códigos para palabras de datos de 16 bits	145
4.5.1.3	Códigos para palabras de datos de 32 bits	146
4.5.1.4	Códigos para palabras de datos de 64 bits	147
4.5.1.5	Conclusiones	149
4.5.2	<i>Códigos para corrección de errores en ráfaga de tres bits en memorias ...</i>	<i>149</i>
4.5.2.1	Códigos SEC-DAEC-TAEC	151
4.5.2.2	Corrección de errores en ráfaga de tres bits	153
4.5.2.3	Comparación y conclusiones.....	154
4.6	CONCLUSIONES	156

5 CONCLUSIONES Y TRABAJO FUTURO..... 159

5.1	CONCLUSIONES	159
5.2	TRABAJO FUTURO	162
5.3	PROYECTOS DE INVESTIGACIÓN	164
5.4	RESULTADOS DE INVESTIGACIÓN	164
5.4.1	<i>Artículos en revistas de alto impacto.....</i>	<i>165</i>
5.4.2	<i>Ponencias en congresos destacados</i>	<i>166</i>
5.4.3	<i>Otras publicaciones</i>	<i>170</i>
5.4.4	<i>Referencias a mis artículos.....</i>	<i>171</i>

Bibliografía 175