

UNIVERSIDAD POLITECNICA DE VALENCIA

ESCUELA POLITECNICA SUPERIOR DE GANDIA

Grado en Ing. Sist. de Telecom., Sonido e Imagen

---



UNIVERSIDAD  
POLITECNICA  
DE VALENCIA



ESCUELA POLITECNICA  
SUPERIOR DE GANDIA

# “Implementación de un demodulador de radio FM definido por Software”

*TRABAJO FINAL DE GRADO*

Autor/a:

Zhang Ke

Tutor/a:

M<sup>a</sup> Asunción Pérez Pascual

*GANDIA, 2016*

---

# Índice de contenidos

1	Objetivos .....	5
2	Introducción.....	6
3	Modulador de FM .....	10
3.1	Ecuaciones generales en una modulación angular.....	10
3.2	Modulación de frecuencia.....	11
3.3	La señal FM en tiempo discreto.....	12
3.4	Diagrama de bloques del modulador FM.....	13
3.5	Oscilador acumulador de fase .....	16
3.6	Diseño y Simulación con bloques Simulink de punto fijo .....	19
4	Demodulador de FM.....	22
4.1	Bucle de enganche de fase(PLL) .....	23
4.2	Estudio del filtro paso bajo .....	26
4.3	Diseño y Simulación del demodulador FM basado en un PLL.....	28
4.4	Diseño con bloques Quartus II .....	34
5	Testeo del Demodulador .....	36
5.1	Introducción.....	36
5.2	Kit de desarrollo A / D y D / A con Alta velocidad THDB_ADA.....	39
5.2.1	Contenido del kit .....	39
5.2.2	Conectividad .....	39
5.2.3	Arquitectura de ADA.....	40
5.2.4	Estudio de interfaz de la ADA.....	40
5.2.5	Circuitos de reloj .....	42
5.3	Estudio de Audio CODEC (WM8731) (3).....	42
5.3.1	Introducción.....	42

---

5.3.2	Características .....	43
5.4	Conexiones y test del sistema .....	44
6	Conclusiones .....	47
	Anexos .....	48
	Bibliografía .....	49

## Índice de figuras

Figure 2.1	Microtelecom Perseus -un SDR HF .....	6
Figure 2.2	Software Defined Radio concepto .....	8
Figure 3.1	Diagrama de una modulación FM.....	10
Figura 3.2	Diagrama de sistema modulador de FM.....	14
Figure 3.3	a partir de las componentes en fase (I) y cuadratura (Q).....	16
Figure 3.4	Oscilador acumulador de fase .....	16
Figure 3.5	Principio del acumulador de fase.....	17
Figure 3.6	Diseño del modulador FM con bloque Simulink de Matlab .....	19
Figure 3.7	La característica de filtro de paso bajo .....	20
Figure 3.8	Mostrar la señal en cada nodo en bloque modulador .....	21
Figure 3.9	las señales de sistema de modulador FM para cada punto .....	22
Figure 4.1	Diagrama de bloque del PLL .....	24
Figure 4.2	Sistema de Demodulación FM basado en PLL.....	28
Figure 4.3	Respuesta en frecuencia del PLL para $\omega_n T=0.05$ .....	31
Figure 4.4	Mostrar la señal en cada nodo en bloque demodulador .....	32
Figure 4.5	las señales de sistema de modulador FM para cada punto .....	34
Figure 4.6	Diseño del demodulador PLL .....	35
Figure 4.7	Simulación del Demodulador con Quartus II.....	36

---

Figure 5.1 Generador de Agilent 332220.....	37
Figure 5.2 Osciloscopio de TDS3000C .....	37
Figure 5.3 ADA-GPIO (2) .....	38
Figure 5.4 Diagrama de receptor de FM.....	38
Figure 5.5 Conectar ADA-GPIO con DE2-115 (2) .....	40
Figure 5.6 Modo de sincronización intercalada (2) .....	41
Figure 5.7 Formato de datos multiplexado utilizando la salida del canal A (2)..	42
Figure 5.8 El sistema de reloj de ADA (2).....	42
Figure 5.9 Diagrama de WM8731 .....	44
Figure 5.10 diagrama de demodulador con sistema de control .....	44

---

# 1 Objetivos

Se establecen dos objetivos en el presente proyecto:

1. Aplicar la técnica del Software Defined Radio (SDR) a la implementación de un demodulador FM. En apenas unos años, la técnica SDR se ha desarrollado rápidamente y ha contribuido al desarrollo de los sistemas de comunicaciones actuales. El primer propósito de este proyecto es introducir al alumno en el aprendizaje de esta tecnología

2. El segundo objetivo es la implementación de un modulador y un demodulador de FM utilizando un dispositivo lógico programable FPGA. En este proyecto, la modulación se utiliza en transmisiones de señales de audio, por lo que daremos algunos ejemplos de este tipo de señales.

El esquema de la memoria es el siguiente:

- Teoría de la modulación FM
- Desarrollo de la modulación que utilizamos en la aplicación de Matlab.
- Desarrollo de la demodulación que utilizamos la aplicación de Matlab.
- Implementación de demodulador sobre un FPGA utilizado el software Quartus.

---

## 2 Introducción

Con la evolución de los tiempos y el ritmo acelerado de la vida, la gente desea comunicarse más intensamente y con mayor frecuencia, para su comunicación los requisitos son más variados. Hoy, la gente ya no se conforma con un dispositivo fijo y un teléfono móvil con capacidad de voz solamente, necesitamos que el dispositivo de comunicación sea portátil y más rápido, en tiempo real y con datos variados. Para estimular la demanda, la industria de las comunicaciones se desarrolla cada vez más rápidamente. La comunicación está desarrollando en un sistema multimodo y universal. por lo que se hace muy atractivo el uso de sistemas reconfigurables. Este hecho hace que el **Software Defined Radio (SDR)** cobre una gran importancia hoy en día. El objetivo del presente trabajo será la implementación de un demodulador reconfigurable basado en la técnica SDR.



Figure 2.1 Microtelecom Perseus -un SDR HF  
para el mercado de radioaficionados

El **Software Defined Radio (SDR)**, es un sistema que posee los componentes típicamente implementados en hardware, y puede añadirse tantas funciones de comunicaciones inalámbricas y personales aplicando diferentes tipos de software, de modo que pueda adaptarse a la variedad de los sistemas de comunicación para coexistir, a la feroz competencia en una variedad de estándares, y a las limitaciones de recursos de frecuencia y otros problemas, Los SDR ofrecen una serie de ventajas sobre los sistemas de radio tradicionales:

- 
- **La arquitectura del sistema es genérica, la cual le proporciona flexibilidad para funciones adicionales:** los convertidores A/D y D/A son dos interfaces estándar de alta velocidad a los que se pueden conectar señales de radiofrecuencia (RF) o de frecuencia intermedia (IF), siempre que la capacidad de procesamiento del dispositivo sea suficiente para cumplir los requisitos. Esta tecnología permite la reprogramación del sistema para corregir problemas imprevistos, es decir tienen una alta versatilidad.
  - **Ofrece la posibilidad de trabajar simultáneamente con diferentes sistemas operativos:** si se usan técnicas avanzadas de procesado digital de la señal, permitiría implementaciones de nuevas estructuras de recepción y técnicas de procesado de la señal.
  - **Funcionamiento multimodo:** Una SDR puede cambiar del modo de funcionamiento simplemente instalando el software apropiado en la memoria.
  - **Menor cantidad de componentes discretos:** Una SDR funciona mediante la carga de un software y se adapta perfectamente por un circuito de hardware fijo, sin embargo, en un sistema tradicional se tendría que cambiar tanto el software y el circuito del hardware. Además, permite reducir el número de componentes requerido, con la consiguiente reducción en el tamaño y el coste del sistema de radio.
  - **Facilidad de diseño y fabricación:** Debido a la utilización de las estructuras hardware modulares. El gran desarrollo de los dispositivos y las tecnologías permite que estos diseños puedan actualizarse y ampliarse fácilmente. Además, el software permite reconfigurarse en función de las necesidades de cada momento lo que permite que un circuito se utilice tanto en sistemas antiguos como en sistemas más modernos. Esto permite reducir costes asociados con la fabricación y facilidad de diseño.

En este proyecto me centraré en el diseño del demodulador de FM, a través de software Quartus. Antes de adentrarnos en la implementación del demodulador en

una FPGA, se utilizará el Simulink de Matlab como entorno de diseño y prototipado de los sistemas a desarrollar.

En la primera parte del proyecto se realizará el estudio de los algoritmos de modulación y demodulación FM, utilizando para ello el software de simulación Simulink de Matlab. Se implementarán los algoritmos y se estudiará su funcionamiento.

En la segunda parte del proyecto se procederá a la implementación de demodulador FM reconfigurable sobre la FPGA. Para ello se realizará la descripción hardware Verilog y se realizará el testeo correspondiente.

En la tercera parte se implementará físicamente los circuitos utilizando dos FPGAs de Altera sobre la placa de desarrollo DE-255 y se testeará todo el sistema.

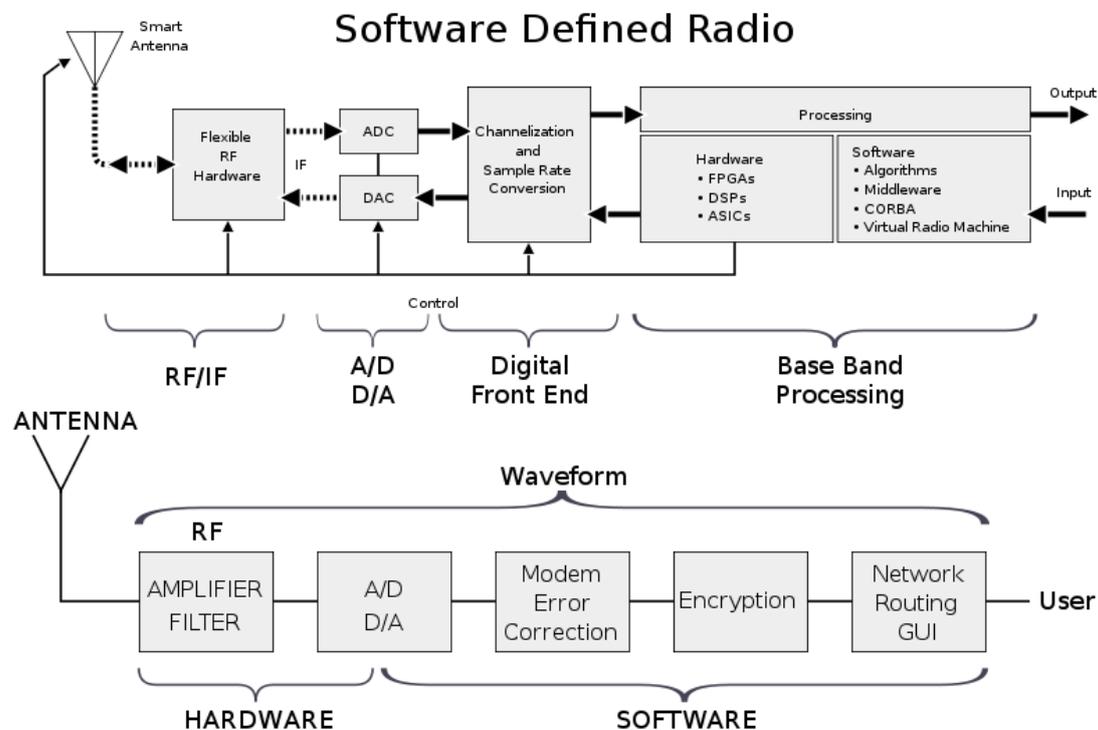


Figure 2.2 Software Defined Radio concepto

Como presenta en figura 2.2, una típica radio definido por software incluye una fuente de alimentación, Antena, multi-ancho de banda del convertidor de radiofrecuencia, antena, multi-ancho de banda del convertidor de radiofrecuencia, conexión de alta velocidad A / D, D / A, memoria, un procesador de propósito general e interfaz correspondiente. Como puede verse, A / D, D / A como cerca de la antena, la función de radio se implementa en software como las principales características de la radio

---

software. Software Radio es una arquitectura completamente programable, incluyendo la banda de frecuencia de radio programable, modo de acceso al canal, el esquema de modulación de la señal.

### 3 Modulador de FM

El propósito de este capítulo es el de lograr implementar el modulador de FM en un dispositivo FPGA. En primer lugar, es necesario revisar la teoría básica de las ecuaciones y la modulación de FM en tiempo continuo.

Al desarrollar la modulación FM en tiempo discreto, nos permite llegar a un diagrama de bloques (Modulador de FM) constituido por un interpolador, un acumulador de fase, y una memoria que almacena las muestras de un periodo de la señal coseno (COS).

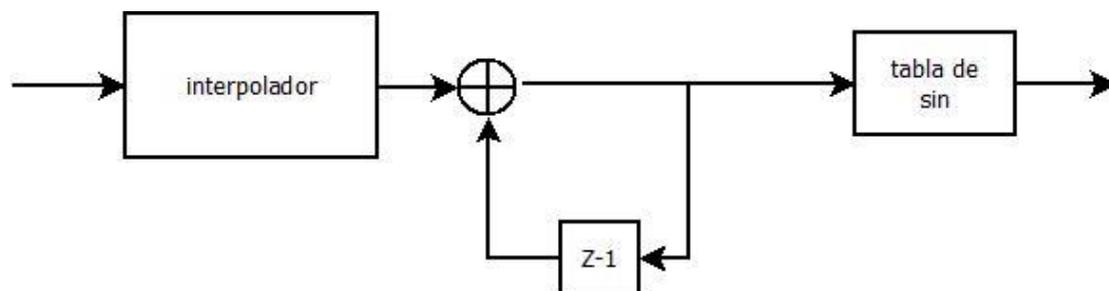


Figure 3.1 Diagrama de una modulación FM

A continuación, se simula la modulador de FM a través del software MATLAB, que permitirá observar el comportamiento de la señal digital en todo el sistema. Al final, se reajustará e implementará el diseño de modulador FM con unos parámetros de modulador situaciones reales.

#### 3.1 Ecuaciones generales en una modulación angular

La modulación de frecuencia es una señal de modulación para controlar la frecuencia de la portadora de alta frecuencia. Aumenta los componentes de frecuencia que varía linealmente con la señal de modulación en la frecuencia instantánea basado en el original, conocida como FM. Las ventajas de modulación angular son: capacidad anti-interferencia, más ancho de banda etc.

Dada una señal moduladora  $m(t)$ , y una señal portadora  $c(t)=A_c \cos(\omega_c t)$ , la señal modulada  $c(t)$  se define como:

$$c(t) = A_c \sin(\omega_c t + \phi_c) \tag{3.1}$$

---

Donde  $A_c$  es constante,  $(\omega_{ct} + \varphi_c)$  es la fase instantánea,  $\omega_c$  es la pulsación angular de la señal portadora, y  $\varphi_c$  es la desviación de fase instantánea. A partir de la fase se puede definir la pulsación angular instantánea  $\omega(t)$  como la derivada de la fase respecto del tiempo:

$$\omega(t) = \omega_c + \frac{d\varphi_c(t)}{dt} \quad 3.2$$

Y la frecuencia instantánea se define como:

$$f(t) = f_c + \frac{1}{2\pi} \frac{d}{dt} \varphi(t) = \frac{\omega(t)}{2\pi} \quad 3.3$$

siendo el segundo sumando de la ecuación la desviación instantánea de frecuencia.

### *3.2 Modulación de frecuencia*

En la modulación de frecuencia, el desplazamiento de frecuencia es proporcional a la amplitud de la señal moduladora  $m(t)$ . En el sistema de modulación de fase tenemos:

$$f(t) - f_c = K_f m(t) = \frac{1}{2\pi} \frac{d}{dt} \varphi(t) \quad 3.4$$

Donde  $K_f$  (Hz/V) es la constante de proporcionalidad llamada sensibilidad del modulador.

En caso de FM:

---


$$\frac{d}{d(t)} \varphi(t) = 2\pi K_f m(t) \quad 3.5$$

Que se escribirá

$$\omega(t) = 2\pi f_c + \varphi(t) \quad 3.6$$

Donde

$$\varphi(t) = 2\pi K_f \int m(\tau) d\tau \quad 3.7$$

Es la desviación de fase instantánea producida por m(t). La señal FM generada por m(t) es:

$$s(t) = A_c \cos[2\pi f_c t + \varphi(t)] \quad 3.8$$

### 3.3 La señal FM en tiempo discreto

Potemos obtener la señal FM en tiempo discreto sustituyendo la integral por un sumatorio en la ecuación de la fase instantánea:

$$\omega(nT) = \sum_{k=0}^{n-1} \omega(kT) \cdot T = 2\pi f_c nT + \varphi(nT) \quad 3.9$$

Donde T=1/fs,

$$\varphi(nT) = 2\pi K_f T \sum_{k=0}^{n-1} m(kT) \quad 3.10$$

Por eso

$$\omega(nT) = \omega((n-1)T) + 2\pi f_c T + 2\pi K_f T m((n-1)T) \quad 3.11$$

teniendo en cuenta la siguiente ecuación trigonométrica:

$$\cos(a+b) = \cos a \cdot \cos b - \sin a \cdot \sin b \quad 3.12$$

Tenemos

$$s(nT) = A_c \cos(2\pi f_c nT) \cdot \cos[\omega(nT)] - A_c \cdot \sin(2\pi f_c nT) \cdot \sin[\omega(nT)] \quad 3.13$$

	Señal de modulación de frecuencia	Señal de modulación de fase
Señal de portadora	$u_c = A_c \cos \omega_c t$	$u_c = A_c \cos \omega_c t$
Señal de modulación	$u = A \cos \varphi t$	$u = A \cos \varphi t$
la frecuencia instantánea	$\omega(t) = \omega_c + k_f u(t)$	$\omega(t) = \omega_c + k_p \frac{du(t)}{dt}$
la fase instantánea	$\varphi(t) = \omega_c t + k_f \int u(t) dt$	$\varphi(t) = \omega_c t + k_p \int u(t) dt$
El máximo desplazamiento de frecuencia	$\Delta\omega_m = k_f A$	$\Delta\omega_m = k_p u \cdot \varphi$

### 3.4 Diagrama de bloques del modulador FM

De acuerdo con una fórmula anterior 3.13, obtenemos el siguiente diagrama de bloque sobre modulador de FM

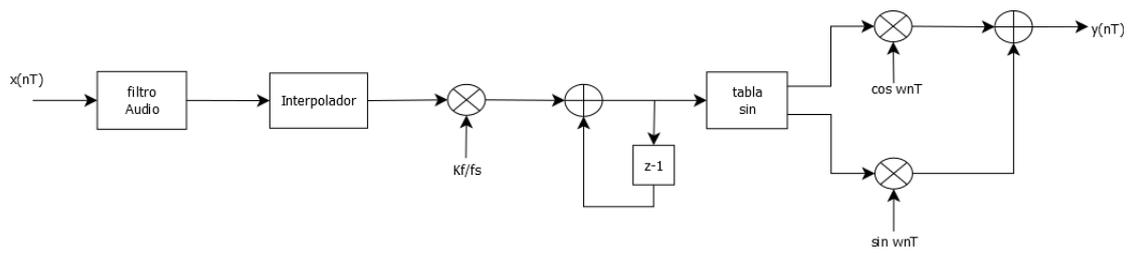


Figura 3.2 Diagrama de sistema modulador de FM

Como se presenta en la Figura 3.2, el subsistema estará formado por

- un filtro Audio
- un interpolador
- la constante  $K_f/f_s$ , para la señal portadora
- un acumulador de fase formado por un sumador y un retardo
- al final hay un subsistema formado por las tablas de generación de funciones seno, los multiplicadores por  $\cos(\varphi nT)$  y  $\sin(\varphi nT)$  y el restador realiza la función descrita por la ecuación 3.13.

Para el diseño del sistema de modulación, se presenta los siguientes parámetros:

- Amplitud de la señal de audio normalizada  $|x(nT)| \leq 1$
- Ancho de banda de la señal de audio filtrada:  $BW=3\text{kHz}$
- Sensibilidad del modulador:  $K_f = 5000\text{Hz/V}$
- Desviación de frecuencia máxima:  $f_d = 5000\text{Hz}$
- Frecuencia de muestro audio:  $f_{s\text{-audio}} = 20\text{kHz}$
- Frecuencia de muestro sistema:  $f_{s\text{-sistema}} = 160\text{kHz}$
- Frecuencia de modulación:  $f_m = 20\text{kHz}$

---

Mediante el uso de un filtro de paso bajo, la señal de audio se limitará a 3 kHz, Con el fin de adaptarse mejor al sistema de audio. La frecuencia de muestreo debe cumplir los criterios de Nyquist:

$$f_s \geq 2 \cdot BW = 6kHz \quad 3.14$$

Por eso usamos una frecuencia de muestreo de audio  $f_{s\text{-audio}} = 20$  kHz, que este suficiente superior al límite de Nyquist, para generar una señal modulada aceptable, y no provoque errores de redondeo considerables en los bloques del sistema, y esta frecuencia tiene que ser inferior que la frecuencia de muestreo del sistema  $f_{s\text{-sistema}}$ , para implementar el filtro paso bajo con un número de etapa relativamente pequeño. El ancho de banda de sistema de modulación FM se puede ser:

$$BW_{FM} = 2(f_d + f_m) = 50kHz \quad 3.15$$

Es decir, la frecuencia de muestro de sistema  $f_{s\text{-sistema}} \geq 100$  kHz, para satisfacer los criterios de Nyquist. Podemos implementar una interpolación después del filtro para obtener la frecuencia de sistema con una buena resolución, en este proyecto, potemos tomar el factor de interpolación  $L=8$ , y la frecuencia de muestro de sistema  $f_{s\text{-sistema}}=160kHz$ .

Al final, se utiliza un mezclador complejo para centrar la modulación en la frecuencia  $f_m$ . De este modo, a partir de las componentes en fase (I) y cuadratura (Q), se puede desplazar el espectro en una sola dirección, nos ayuda a extraer información útil, y asegurar la energía de la señal constante después.

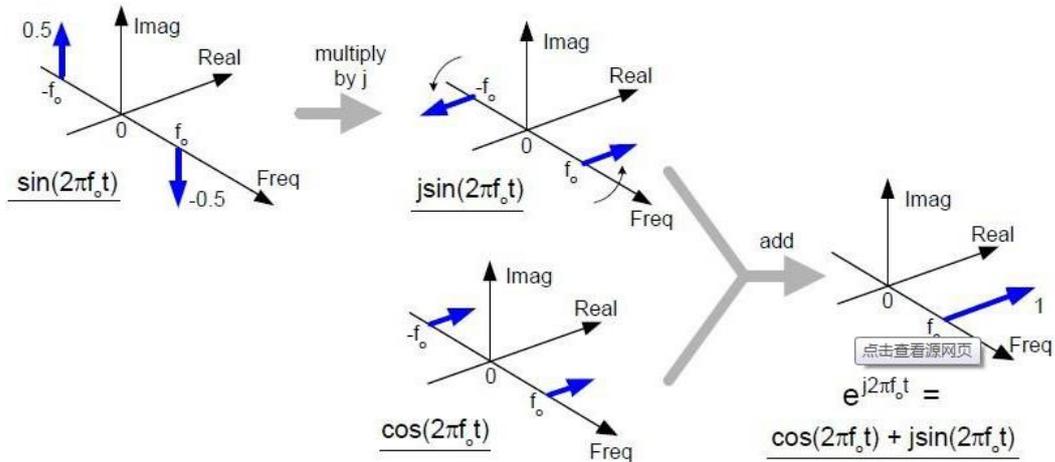


Figure 3.3 a partir de las componentes en fase (I) y cuadratura (Q)

### 3.5 Oscilador acumulador de fase

Una onda sinusoidal, aunque su amplitud no es lineal, pero su fase es lineal, la función del acumulador de fase es para generar una señal sinusoidal. El diagrama de bloque del oscilador acumulador de fase se presentará en la figura 3.4.

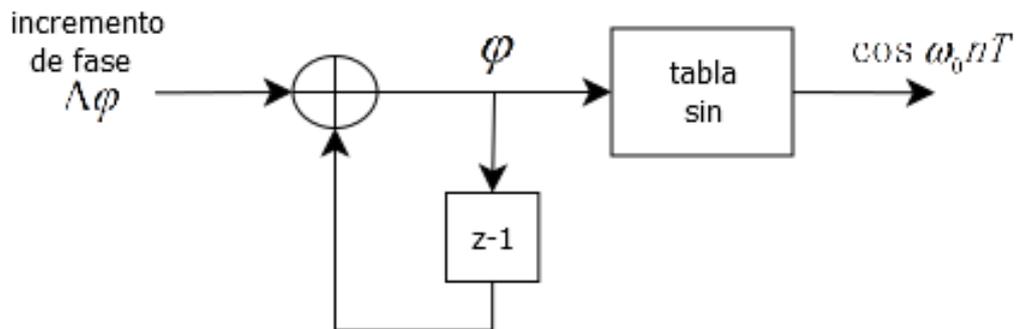


Figure 3.4 Oscilador acumulador de fase

Como se muestra en figura 3.5.

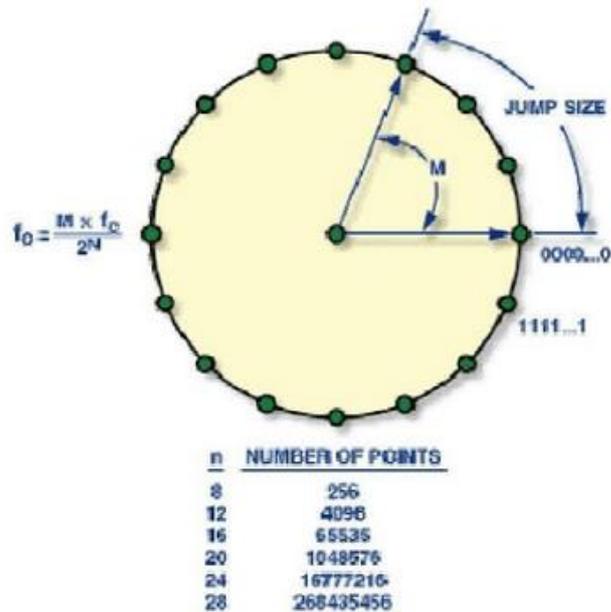


Figure 3.5 Principio del acumulador de fase

Se divide  $360^\circ$  en  $2^N$  porciones iguales, cada vez que se se rota un ángulo de  $360^\circ/2^N$ , se puede generar un incremento de fase, a continuación, sólo tiene que seleccionar la palabra de control de frecuencia apropiada  $M$ , se puede obtener la frecuencia de salida deseada  $F_{out}$ .

$$f_{out} = f_s \frac{M}{2^N} \quad 3.16$$

Donde  $f_s$  es la frecuencia de muestreo.

O se puede presentar como

$$\Delta\phi = 2\pi \frac{f_{out}}{f_s} \quad 3.17$$

La fase  $\phi$  es un ciclo cuyo rango es  $-2\pi$  a  $2\pi$ , puesto que estamos utilizando aritmética complemento-a-dos en la ruta de datos podemos normalizar la tabla seno/coseno respecto a  $2\pi$ . Por eso:

$$\frac{\Delta\varphi}{2\pi} = \frac{f_{out}}{f_s}$$

3.18

Por lo tanto, se hace el valor en el intervalo de  $\varphi$  es  $-1 < \varphi/\pi < 1$ . Así que podemos utilizar la codificación binaria. De este modo el intervalo  $[-1 \ 1]$  representará el intervalo angular  $[-\pi \ \pi]$ , y el desbordamiento se deberá tratar sin realizar saturación.

Número binario	Valor Decimal
0.00	0
0.01	0.25
0.10	0.5
0.11	0.75
1.00	-1.0
1.01	-0.75
1.10	-0.5
1.11	-0.25

Tabla 3.1 Desbordamiento binario en complemento-a-dos

En nuestro caso, se emplean  $b$  bits para representar en complemento-a-dos, cuyo rango es de  $-1$  a  $1$ , y tiene un bit entero y  $b-1$  bits fraccionarios. El incremento de fase es:

$$\Delta\varphi_{\min} = \frac{1}{2^{b-1}}$$

3.19

Y el incremento de frecuencia es:

$$\Delta f_0 = \frac{f_s}{2^{b-1}}$$

3.20

### 3.6 Diseño y Simulación con bloques Simulink de punto fijo

En esta parte se va a diseñar un sistema modulador FM a través de bloques Simulink de Matlab con características de punto fijo. Estos bloques se pueden realizar un sistema con una ruta de datos de un ancho de b bits preparado para la simulación. porque se conoce a priori que las señales del modulador no excederán el rango de valores [-1, 1] en ninguna de las ramas. Se pueden establecer los parámetros necesarios para que el sistema se funciona bien.

El diagrama de bloques de Simulink de punto fijo es el mostrado en la siguiente figura:

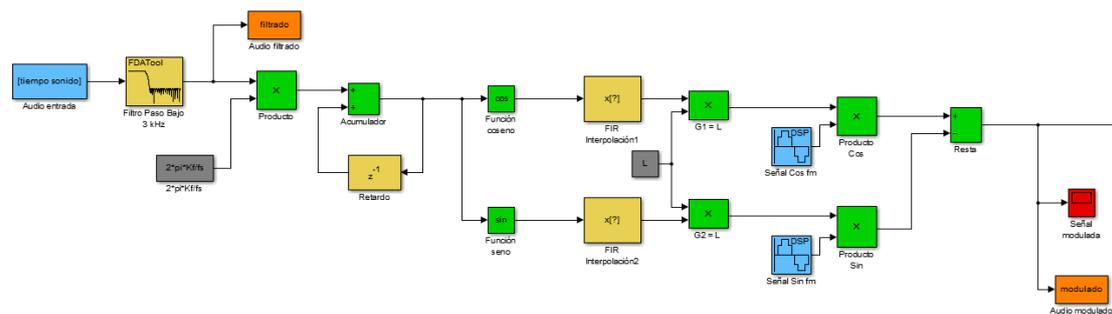


Figure 3.6 Diseño del modulador FM con bloque Simulink de Matlab

El diseño utiliza las variables de entorno de MATLAB son:

- $K_f = 5000$  (sensibilidad del modulador)
- $L = 8$  (factor de interpolación)
- $b = 12$  (ancho de palabra de la ruta de datos)
- $f_m = 20000$  (frecuencia de modulación)
- $f_s = 160000$  (frecuencia de muestreo máxima del sistema)

Las características principales del diseño son:

- La ruta de datos del diseño es de 12 bits con signo, y su rango es [-1,1].
- El bloque Audio genera un tono sinusoidal de entrada de una frecuencia.
- El contador se realiza con un acumulador , para genera una rampa y selecciona las posiciones de la tabla obteniendo a la salida de está el valor correspondiente de la señal sinusoidal
- El Filtro de paso bajo configura la frecuencia de corte de 3 kHz. Como se presenta en la figura

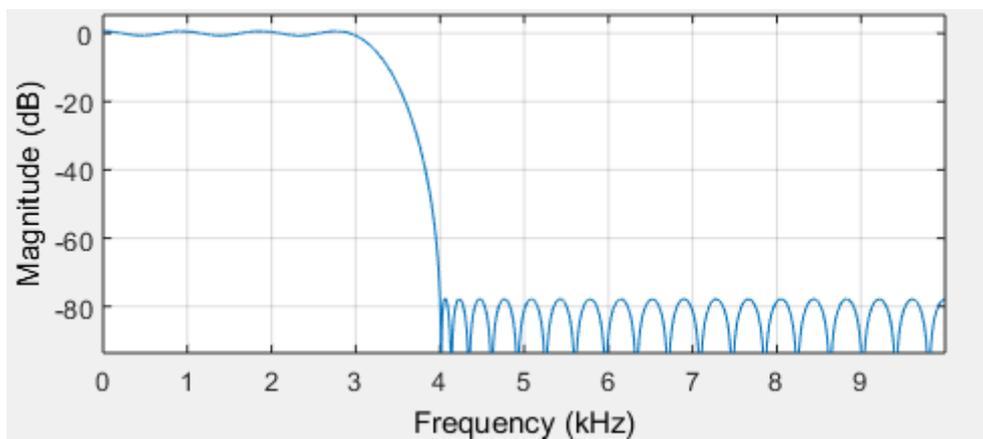


Figure 3.7 La característica de filtro de paso bajo

Ahora se van a realizar simulaciones del sistema modulador, y este diseño utiliza un fichero de audio para simular la entrada, vamos a mostrar la señal en cada nodo hasta la salida de señal, El resultado de la simulación es el mostrado a continuación:

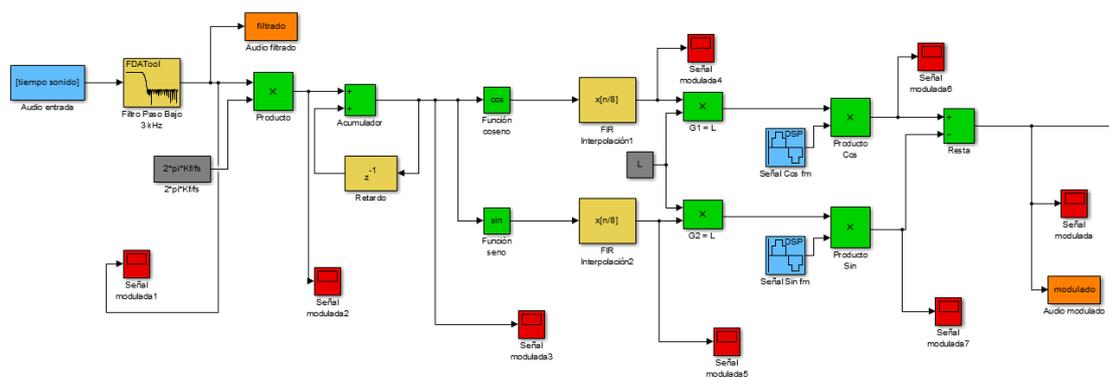
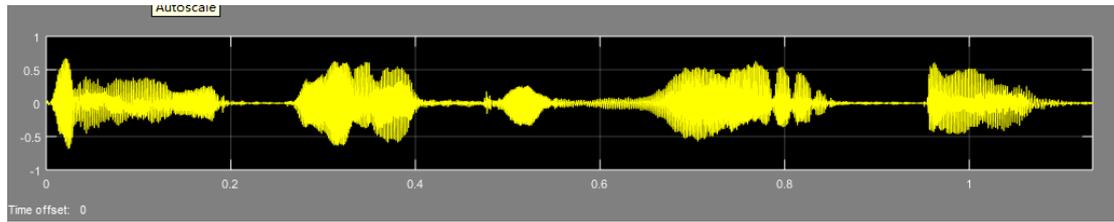
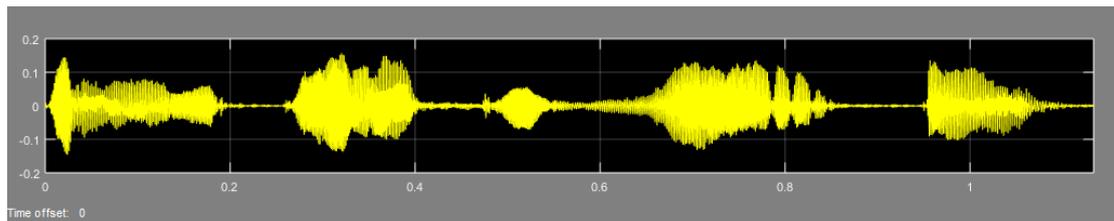


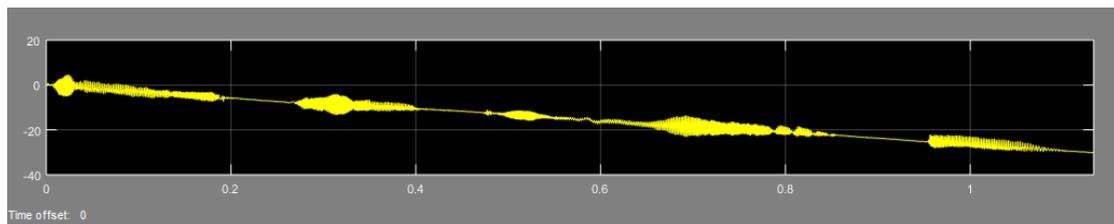
Figure 3.8 Mostrar la señal en cada nodo en bloque modulador



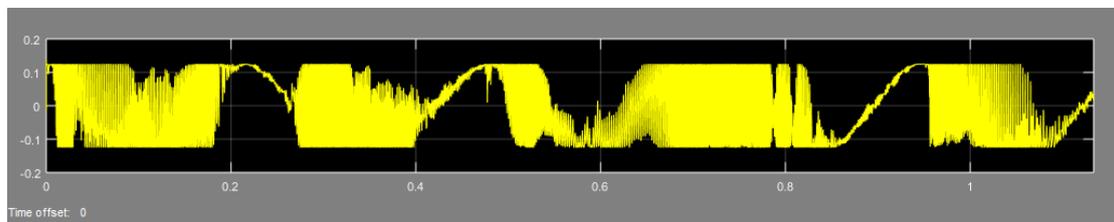
(a) la señal después de filtro paso bajo



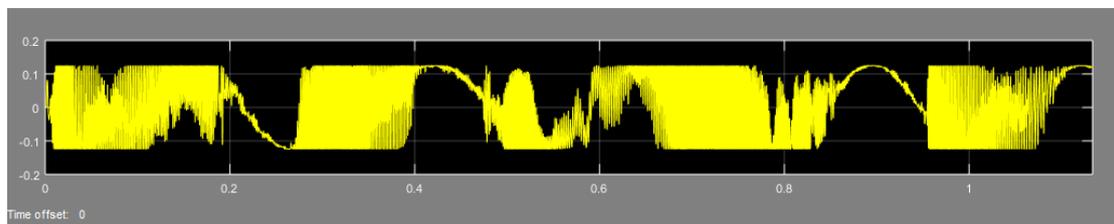
(b) la señal después de multiplicar con  $2\pi K_i/f_s$



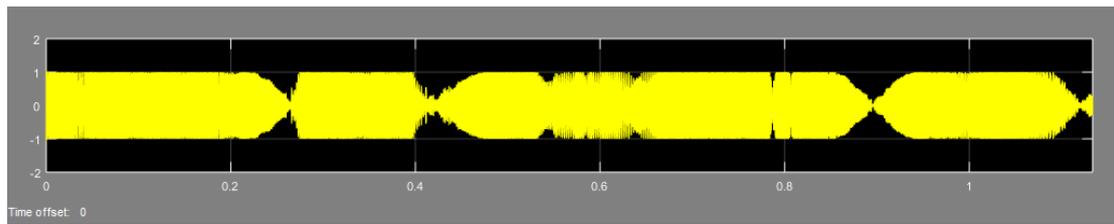
(c) resultado del acumulador de fase



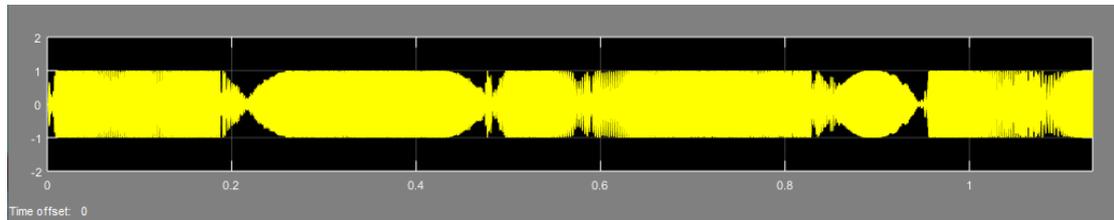
(d) La señal de función coseno más Incremento de fase



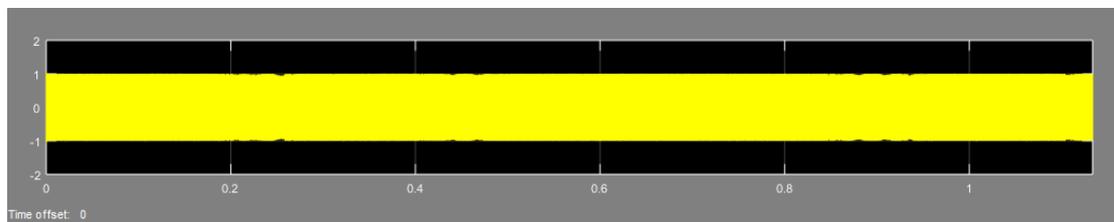
(e) La señal de función seno más Incremento de fase



(f) desplazamiento en frecuencia de coseno



(g) desplazamiento en frecuencia de seno



(h) la señal de salida de modulador de FM

Figure 3.9 las señales de sistema de modulador FM para cada punto

Como se presenta en Figura 3.9 se puede ver las señales de sistema de modulador. En la figura 3.9 (a) aparece la señal de audio. Después del después del multiplicador, se aparece el resultado de la señal por el factor  $2 \cdot \pi \cdot K_f / f_s$  como presenta en la figura 3.9 (b). En figura 3.9 (c), se muestra la señal se muestra la señal después de acumulador. El coseno y el seno de la fase acumulada son las componentes en fase y en cuadratura de la señal respectivamente, los señales después de interpolador muestra en figura 3.9 (d) e (e). Las figuras figura 3.9 (f) y (g) se presentan el resultado de la multiplicación del coseno y seno de la fase acumulada por el tono coseno y seno de frecuencia respectivamente. Por fin, figura 3.9 (h) muestra la señal de salida.

## 4 Demodulador de FM

Esta sección se centrará en el diseño de un demodulador de FM sobre la FPGA, como todos sabemos, hay muchos tipos de demodulador de FM. Y este capítulo, nos

---

centraremos en el demodulador de FM basada en un bucle de enganche de fase (PLL). Un circuito PLL es un sistema de control automático de bucle cerrado, que tiene capaz de rastrear la fase de la señal de entrada, como un filtro de seguimiento de banda estrecha, se puede extraer las señales a pesar del ruido que tiene incorporado.

Tiene parámetros de seguimiento (se puede hacer un modulador y demodulador de alto rendimiento), tiene una característica de bajo umbral, puede mejorar en gran medida la calidad de la señal analógica/digital de demodulación. Debido a excelentes rendimientos de PLL, esta tecnología de radio ha sido ampliamente utilizada en varios campos.

Del mismo modo, el demodulador FM basado en diseño de la tecnología FPGA, y poder hacer simulaciones con Matlab, los parámetros del demodulador son:  $f_s=160$  kHz,  $f_m=10000$ ,  $K_f=5000$  kHz y  $L=8$ .

#### *4.1 Bucle de enganche de fase(PLL)*

Bucle de enganche de fase(PLL) es un dispositivo formado por varios elementos que realiza una estimación de la fase óptima de la entrada, La diferencia de fases entre la señal de entrada (o referencia) y la señal de salida (o interna), cuando el PLL está enganchado con la señal de entrada, será igual a una constante  $k$ . El bucle de enganche de fase consiste de tres partes, como se presenta en el dibujo:

- Phase Detector (PD): Elemento no lineal que genera una señal proporcional a la diferencia de fase entre la entrada y la salida.
- Loop Filter (LPF): Filtro paso bajo para eliminar los armónicos de la salida del PD y ayudar a estabilizar el bucle.
- Oscilador Controlado Numéricamente (NCO): Elemento no lineal que genera una señal cuya frecuencia es controlada por la señal de continua a su entrada.

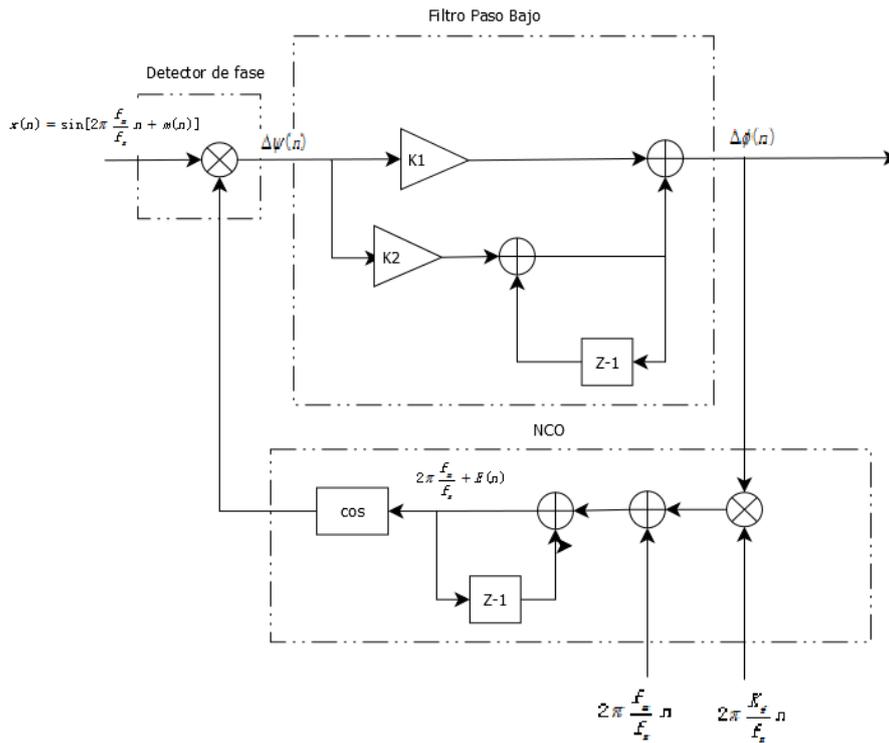


Figure 4.1 Diagrama de bloque del PLL

Cuando el bucle está enganchado, dentro del rango permisible de error, NCO genera una señal que respecto a la desviación de fase de entrada se desfasada de 90 grados. Señal de salida NCO como:

$$y = \cos\left[2\pi \frac{f_m}{f_s} n + E(n)\right] \quad 4.1$$

Donde E(n) es el error de seguimiento, y la salida del detector de fase es:

$$\Delta\psi(n) = \sin\left[2\pi \frac{f_m}{f_s} n + m(n)\right] \cos\left[2\pi \frac{f_m}{f_s} n + E(n)\right] \quad 4.2$$

Utilizando la siguiente relación trigonométrica:

---


$$\sin A \sin B = \frac{1}{2} \sin(A + B) + \frac{1}{2} \sin(A - B) \quad 4.3$$

obtenemos los siguientes resultados:

$$\Delta\psi(n) = \frac{1}{2} \sin\left[2 \cdot 2\pi \frac{f_m}{f_s} n + m(n) + E(n)\right] + \frac{1}{2} \sin[m(n) - E(n)] \quad 4.4$$

Resultados pasar el filtro de paso bajo, elimina el término del doble de la frecuencia portadora, la señal de error es:

$$\Delta\phi(n) = \frac{1}{2} \sin[m(n) - E(n)] \quad 4.5$$

Dentro de la gama permisible de error, el resultado se puede aproximar a:

$$\Delta\phi(n) \approx \frac{1}{2} [m(n) - E(n)] \quad 4.6$$

En la entrada del acumulador de fase del NCO el error de seguimiento da lugar a una fase de valor:

$$\theta(n) = 2\pi \frac{K_f}{f_s} n \cdot \Delta\phi(n) + 2\pi \frac{f_m}{f_s} n \quad 4.7$$

Después de acumulador de fase, el resulta es:

$$\omega(n) = 2\pi \frac{f_m}{f_s} n + E(n)$$

4.8

## 4.2 Estudio del filtro paso bajo

PLL consiste en un filtro de paso bajo, seleccione el diseño de filtros apropiados, puede tener un filtro de bucle de paso bajo con uno alto factor de ganancia de bucle y buenas características de filtración. Necesitamos que el ancho de banda del filtro resultante sea lo suficientemente estrecho para eliminar ruido de frecuencias superiores. El filtro del bucle está caracterizado por la función de transferencia  $F(z)$  en el dominio  $z$ .

$$F(z) = K_1 + \frac{K_2}{1 - z^{-1}}$$

4.9

En la ecuación anterior, donde  $K_1$  es la constante proporcional y  $K_2$  es la constante integral. esta estructura de filtro tiene el mismo comportamiento que el filtro paso bajo proporcional integral usando en PLL analógicos tienen dos constantes  $K_1$  y  $K_2$  definen el filtro de bucle. La constante de proporcionalidad del detector de fase  $K_p$ , y la constante de proporcionalidad del NCO  $K_0$ , la función de transferencia del PLL, se puede escribir de la siguiente manera en el dominio  $z$ .

$$H_d(z) = \frac{K_p K_0 (K_1 + K_2) z^{-1} - K_p K_0 K_1 z^{-2}}{1 - [2 - K_p K_0 (K_1 + K_2)] z^{-1} + [1 - K_p K_0 K_1] z^{-2}}$$

4.10

Además, para un filtro general, sus unidades básicas (integrador), sustituido por la red digital, se puede obtener un filtro digital que rendimiento similar a el filtro general. Las relaciones entre los  $s$  y  $z$  son:

$$s = \frac{2}{T} \frac{1 - z^{-1}}{1 + z^{-1}}$$

4.11

La ecuación 4.11, es la función de transferencia del PLL en tiempo discreto  $H_d(s)$ , se obtiene como:

$$H_a\left(\frac{T}{2} \frac{1+z^{-1}}{1-z^{-1}}\right) = \frac{\frac{(2\zeta + \theta_n)\theta_n}{1 + 2\zeta\theta_n + \theta_n^2} + 2 \frac{(\theta_n - \zeta)\theta_n}{1 + 2\zeta\theta_n + \theta_n^2} z^{-1} + \frac{\theta_n^2}{1 + 2\zeta\theta_n + \theta_n^2} z^{-2}}{1 + 2 \frac{1 - \theta_n^2}{1 + 2\zeta\theta_n + \theta_n^2} z^{-1} + \frac{1 - 2\zeta\theta_n - \theta_n^2}{1 + 2\zeta\theta_n + \theta_n^2} z^{-2}} \quad 4.12$$

Donde

$$\theta_n = \frac{\omega_n T}{2} \quad 4.13$$

Tenemos que  $\zeta$  es el coeficiente de amortiguamiento y  $\omega_n$  es la pulsación natural. Obtenemos la relación entre las constantes del filtro  $K_1$   $K_2$  y el coeficiente de amortiguamiento y la frecuencia natural del correspondiente PLL en tiempo continuo:

$$K_0 K_p K_1 = \frac{4\zeta\theta_n}{1 + 2\zeta\theta_n + \theta_n^2} \quad 4.14$$

$$K_0 K_p K_2 = \frac{4\theta_n^2}{1 + 2\zeta\theta_n + \theta_n^2}$$

O se puede escribir como:

$$K_0 K_p K_1 = \frac{4(\omega_n T)^2}{4 + 4\zeta\omega_n T_n + (\omega_n T)^2} \quad 4.15$$



---

En este caso, la estructura de filtro tiene el mismo comportamiento que el filtro paso bajo proporcional-integral usado en PLL, la parte de la constante proporcional se compone de un multiplicador, y la parte de la constante integral se presenta como un filtro cuya ecuación es:

$$\frac{K_2}{1 - z^{-1}}$$

4.16

En diseño del FPGA, se compone de un multiplicador y un acumulador.

Un multiplicador, un sumador o un acumulador de fase (se basa en el comportamiento cíclico de los números complemento-a dos en el desbordamiento) y una tabla de coseno que implementan el bloque NCO, las características de punto fijo con formato [12,11].

En la salida del filtro paso bajo del bucle se toma la señal para proceder un diezmado por 8, que reduce la frecuencia de muestreo de 20 kHz. con esta frecuencia de muestreo permite utilizar un filtro paso bajo para completar la demodulación.

Las variables del entorno de Matlab en el sistema son:

- $K_f = 5000$
- $f_s = 160000$
- $f_m = 20000$
- $b = 12$

como sabemos, podemos desarrollar un script de Matlab, para calcular los valores de  $K_1$  y  $K_2$  a partir de valores de  $\zeta$  y  $\omega_{nT}$ ,  $K_0$  y  $K_p$ . donde  $K_0$  y  $K_p$  son valores conocidos del sistema, los valores de  $\zeta$  y  $\omega_{nT}$ , son valores de diseño.

Por eso, el código de script **COEFICIENTES.m** escribe como siguiente:

---

```

function [K1,K2] = coeficientes(xi,wnT,ko,Kp)
% Obtiene de los coeficientes del filtro paso bajo con
% funcion de transferencia
%
%          K2
% K1 + -----
%          -1
%        1 - z
%
% Entradas: xi -> Coeficiente de amortiguamiento
% wnT -> Pulsacion natural (wn;πT)
% ko -> Coef. de propor. del NCO
% Kp -> Coef. de propor. del detector de fase
%
% Salidas: K1,K2 -> Coeficientes del filtro paso bajo
disp(' ');
disp(' ');
Bn = wnT/2*( xi + 1/(4*xi) );
disp(['Ancho de banda equivalente (Bn;πT): ' num2str(Bn)]);
disp(' '); disp(' ');
coef1 = 8*xi*wnT / (wnT^2+4+4*xi*wnT);
K1 = coef1 / (ko*Kp);
disp('COEFICIENTES DEL FILTRO PASO BAJO');
disp('-----'); disp(' ');
disp(['Proporcional K1: ' num2str(K1)]);
disp(' ');
coef2 = 4*wnT^2 / (wnT^2+4+4*xi*wnT);
K2 = coef2 / (ko*Kp);
disp(['Integral K2: ' num2str(K2)]);
disp(' '); disp(' ');
PLL_b = [0 ko*Kp*(K1+K2) -ko*Kp*K1];
PLL_a = [1 -2*(1-0.5*ko*Kp*(K1+K2)) 1-ko*Kp*K1];
fvtool(PLL_b,PLL_a);
disp('FUNCION DE TRANSFERENCIA H(z) DEL PLL');
disp('-----'); disp(' ');
disp(['Numerador: ' '[' num2str(PLL_b(1)) ' ' num2str(PLL_b(2)) ' '
num2str(PLL_b(3)) '']]);
disp(' ');
disp(['Denominador: ' '[' num2str(PLL_a(1)) ' ' num2str(PLL_a(2)) ' '
num2str(PLL_a(3)) '']]);
disp(' '); disp(' ');

```

En este script podemos obtener los valores de  $K_1$  y  $K_2$ , además de la gráfica correspondiente a la respuesta en frecuencia de PLL. En este caso, la constante de proporcionalidad del detector de fase es  $K_p=1$ , y la constante de proporcionalidad del NCO es  $K_p=K_i/f_s$ . Para coeficiente de amortiguamiento, usamos  $\zeta=1/\sqrt{2}$ , que proporciona una mayor rapidez de la respuesta de seguimiento del sistema sin presentar sobreexcitación para garantizar la estabilidad del sistema, se realizan varias simulaciones con distintos valores de  $\omega_{nT}$ , con un valor límite de  $\omega_{nT}$  es 0.04, en este caso elegimos el valor es 0.05, con el comando `[K1, K2]=COEFICIENTE(1/sqrt(2),0.05, Kf/fs, 1)`, el script desarrollado anteriormente devuelve los valores  $K_1=2.1842$  y  $K_2=0.077222$ .

En la figura 4.3 se puede saber que para una atenuación de 0 dB la frecuencia normalizada es un valor de 0.02294922, es decir para una  $f=16000$  equivale a una frecuencia de 3671.87 Hz

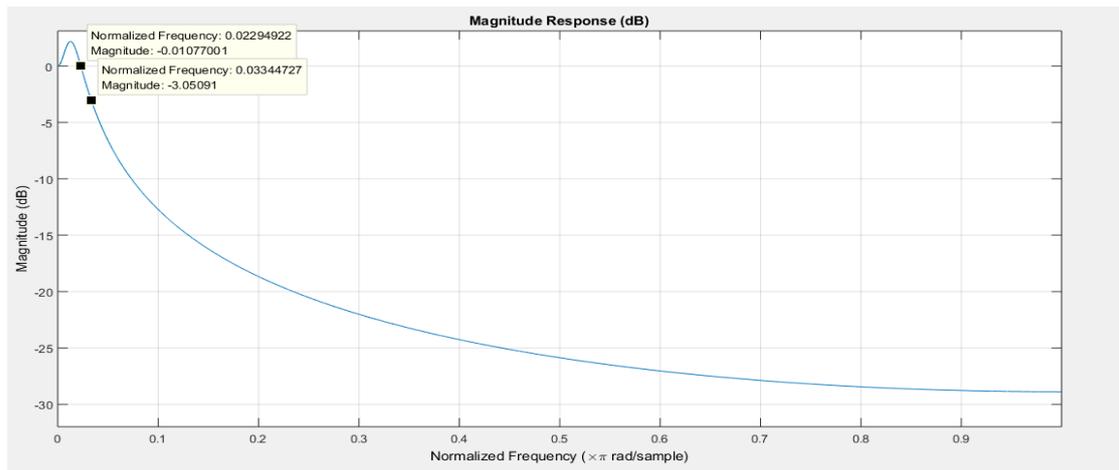
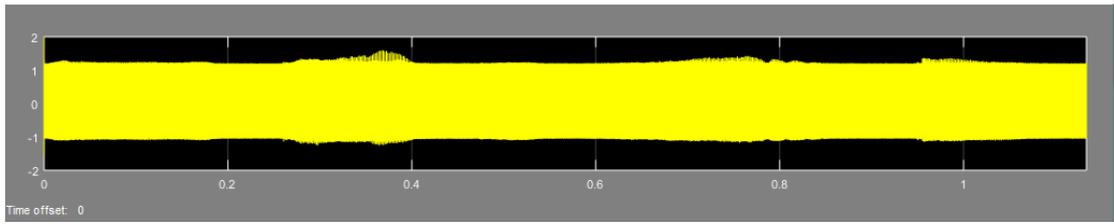


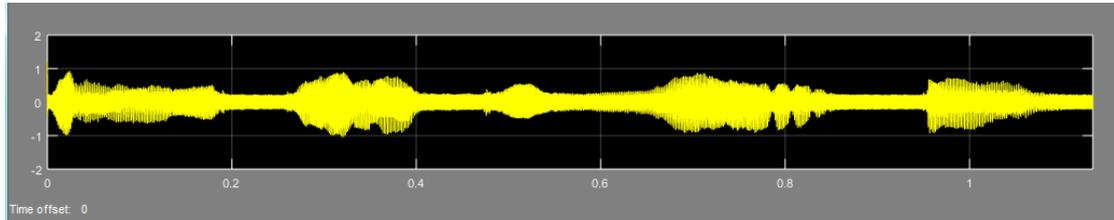
Figure 4.3 Respuesta en frecuencia del PLL para  $\omega_{nT}=0.05$

A continuación, las gráficas siguientes se presentan las salidas de todos los bloques del sistema demodulador FM, que el canal de transmisión es ideal (sin ruido):

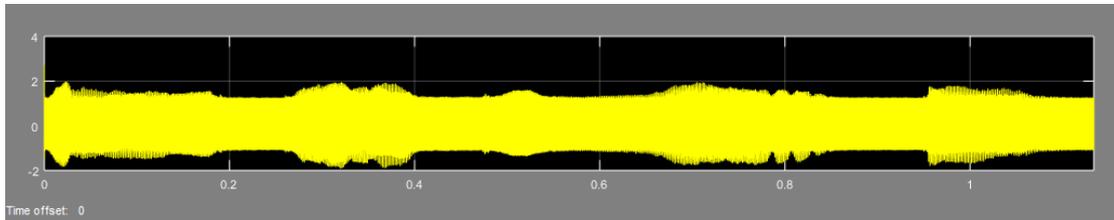




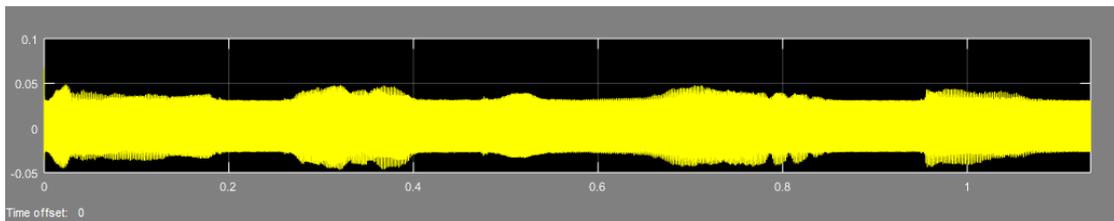
(d) Multiplicación por K1



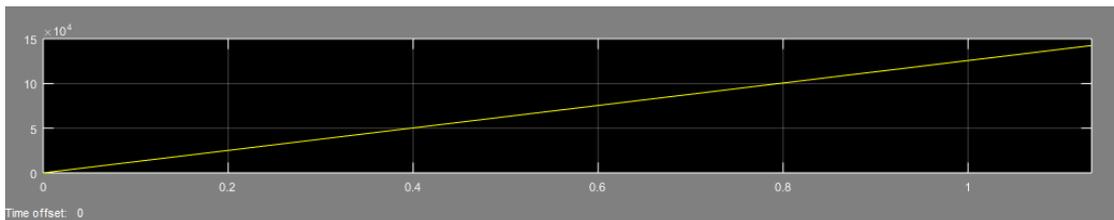
(e) Multiplicación por K2



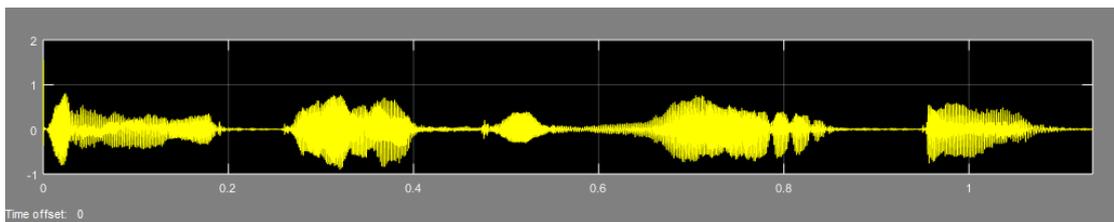
(f) señal demodulada



(g) Multiplicador del NCO



(h) suma acumulada en el NCO



(i) Señal demodulada después de filtro

Como se presenta en la figura 4.5, obtenemos la señal del modulador FM a la entrada, la señal de entrada está limitada desde -1 a 1(a). En la salida del NCO, figura 4.5(b), las señales también trabajan en el rango [-1, +1], y la salida del detector de fase no excede estos límites, por lo que pueden utilizarse 11 bits fraccionarios (c). En la figura 4.5(d), después de la multiplicación por  $K_1$ , la señal mayor el valor 1, por lo que la codificación debe ser con 10 dígitos fraccionarios. En la multiplicación por  $K_2$ , figura 4.5(e), se puede ver que el valor resultante es menor que 1 por lo que esta rama queda codificada con 11 bits fraccionarios. y como se presenta en figura 4.5(f), el rango de las señales después de demodulador es [-2,2], esta rama queda codificada con 10 bits fraccionarios también. en parte de NCO, la señal se codifica con 11 bits fraccionarios, porque el rango de señales en este bloque es menor de 1, como sabemos por figura 4.5(g). Al final, las señales después de filtro paso bajo se vuelve al valor 1.

#### *4.4 Diseño con bloques Quartus II*

Siguiente parte estudiamos el diseño del PLL con bloques Quartus II, en nuestro caso, con el fin de adaptarse a la aplicación real, en el parte siguiente, usamos un generador Agilent 332220 para generar la señal de FM, este tipo de generador solo puede producir una señal FM, lo cual la máxima frecuencia de modulación ( $f_m$ ) es 20kHz, la máxima de sensibilidad del modulador ( $K_f$ ) es 1000 Hz. Para probar la disponibilidad del sistema de modulación de FM, y se podrán observar las señales de las salidas de los bloques más significativos, simulamos con los parámetros nuevo. Los parámetros de demodulación de la señal se presentan las siguientes:

- $K_f = 1000$  Hz (sensibilidad del modulador)
- $f_m = 20000$  Hz (frecuencia de modulación)
- $f_s = 50$ MHz (frecuencia de muestreo máxima del sistema)

Para calcular los valores de las constantes  $K_1$  y  $K_2$  adecuados, con el comando **[K1, K2]=COEFICIENTE(1/sqrt(2),0.05, Kf/fs, 1)**, el script desarrollado anteriormente devuelve el valores  $K_1=3412.7423$  y  $K_2=120.6587$

La figura 4.6 muestra el diseño completo del sistema demodulador:

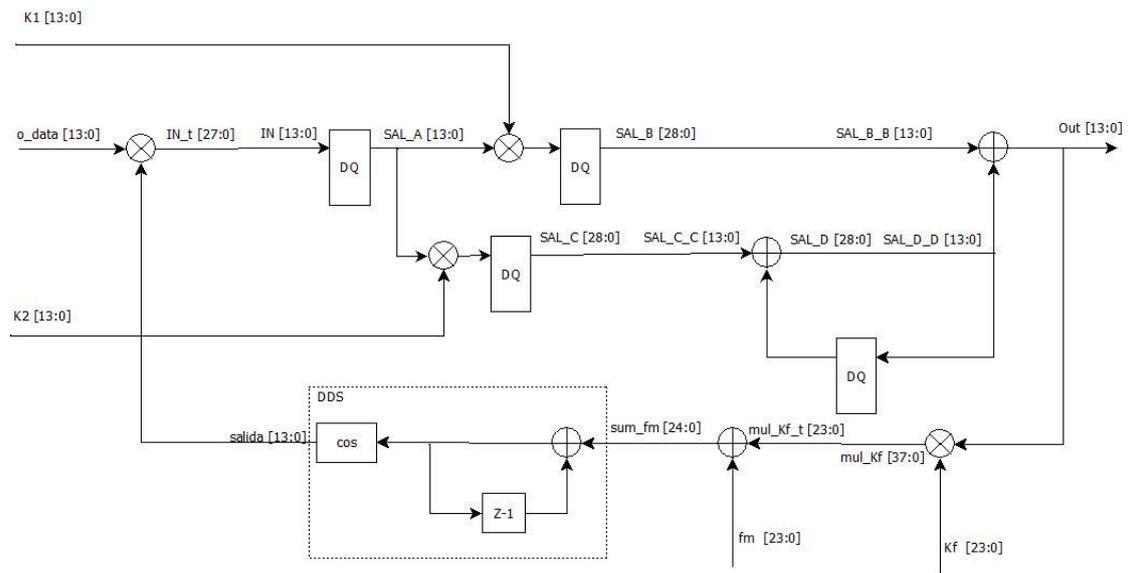


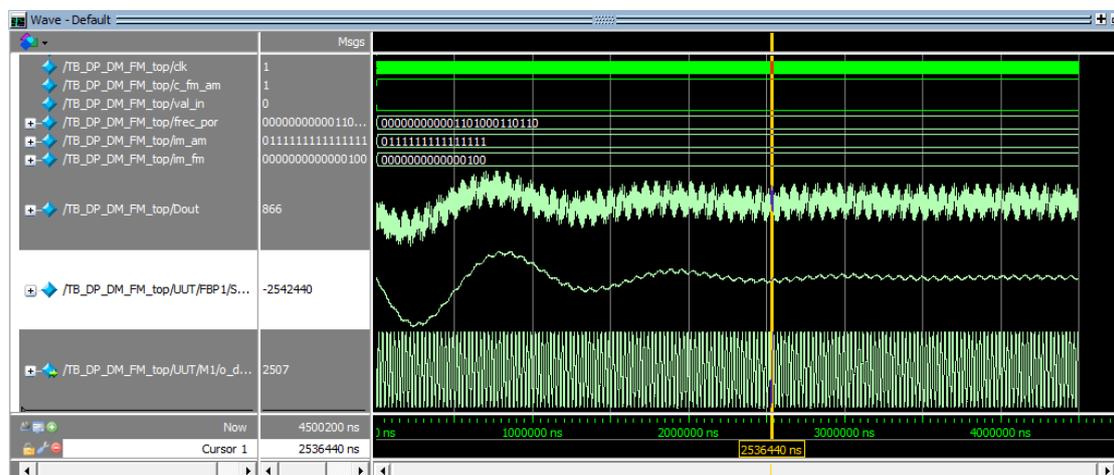
Figure 4.6 Diseño del demodulador PLL

Donde el fichero de test se toma los parámetros para entrada son:

- $K1 = 14'b\ 11010101010010_2 (3412.7423_{10});$
- $K2 = 14'b\ 00000001001111_2 (120.6587_{10});$
- $p_{Kf} = 24'b\ 000000000000000101001111\ (2 \cdot 1000 / 50e6_{10});$
- $p_{fm} = 24'b\ 000000000001101000110110\ (2 \cdot 20e3 / 50e6);$

ya la señal de entrada generar por un sistema de modulador FM (1).

De esta manera se puede realizar una simulación con las características, en la figura 4.7 se muestra las correspondientes a la salida de los bloques



Donde "o\_data" es la salida de modulación, "UUT/FBP1" es la salida de filtro paso bajo, y "Dout" es la salida del demodulador, para configurar los parámetros más fáciles, y para adaptar la tabla de coseno, en sistema de Quartus II se utilizar el formato de  $K_f$  de 14 bits,  $f_m$  de 20 bits, y  $K_1$   $K_2$  de 14 bits. Como puede observarse en la figura, la señal modulada es una señal chirp, al final después de sistema de demodulación se aprecia una señal de coseno, el sistema de Demodulador FM puede funcionar correctamente.

## 5 Testeo del Demodulador

En los capítulos anteriores, ya logramos desarrollar el demodulador basado en un PLL, para la aplicación real del desarrollo sobre la FPGA, especialmente de un receptor de FM. En este capítulo estudiaremos y realizaremos un receptor de FM, y se comprobará el funcionamiento mediante las correspondientes simulaciones, por último, se implementará todo el sistema sobre la FPGA para demodular de la banda FM.

### *5.1 Introducción*

Para realizar el receptor de radio FM, necesitamos unos dispositivos externos para recibir las señales de la banda FM.

**Generador:** Se dispone de un generador Agilent 332220, para generar las señales.



Figure 5.1 Generador de Agilent 332220

**Osciloscopio:** usamos un osciloscopio TDS3000C en este bloque, para observar las señales analógicas de entrada y salida



Figure 5.2 Osciloscopio de TDS3000C

**THDB\_ADA:** La placa THDB\_ADA (ADA) está diseñado para proporcionar la solución de DSP en la serie y el ciclón III Starter Kit, u otros interfaces de placa con HSMC o

GPIO. Está equipado con un ADC (Análogo-a-Digital Convertidor) y DAC (Digital-to-Análogo Convertidor) de cada uno, para proporcionar los puertos de doble canal.



Figure 5.3 ADA-GPIO (2)

El diagrama de este bloque del sistema se puede mostrar como:

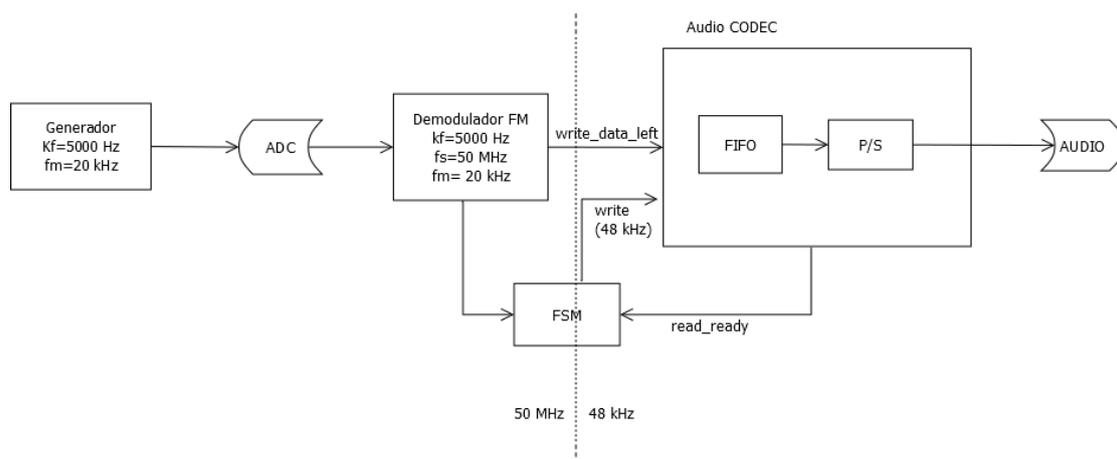


Figure 5.4 Diagrama de receptor de FM

---

El resto del sistema receptor está integrado en el dispositivo FPGA. En su interior se encuentran los siguientes subsistemas:

- **THDB\_ADA(ADC):** Interfaz de conversión de señal analógico-digital.
- **Demodulador FM:** Se trata del demodulador FM basado en PLL, que se realiza la demodulación del canal centrado.
- **FSM (finite-state machine):** se funciona como un contador, que puede cambiar la frecuencia de muestra (desde 50 MHz a 48 kHz).
- **Audio CODEC:** CODEC de audio con el auricular del conductor y programables de muestreo elevadas.

## 5.2 *Kit de desarrollo A / D y D / A con Alta velocidad THDB\_ADA*

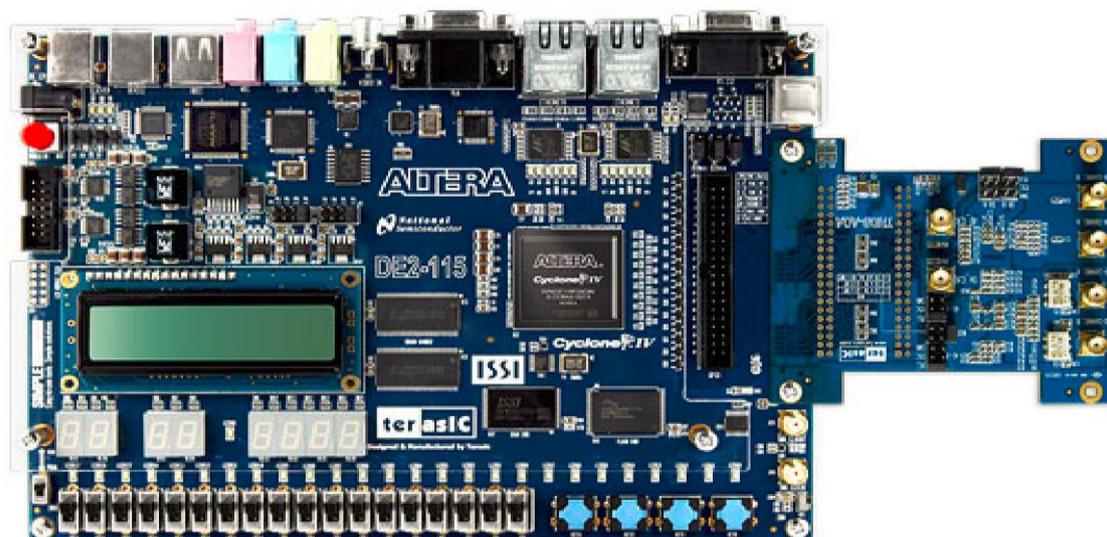
### 5.2.1 Contenido del kit

La figura 5.3 muestra la imagen del paquete de ADA-GPIO. El paquete incluye:

1. El Terasic de analógico a digital y de digital a analógica tabla (ADA).
2. diseño de referencia completo con el código fuente.

### 5.2.2 Conectividad

Hay dos modelos disponibles, ADA-GPIO y ADA-HSMC, los cuales ofrecen la compatibilidad de conectar el kit THDB\_ADA (ADA) para DE2-70 / DE2 / DE1 y DE4 / DE3 / DE2-115 / Cyclone III Starter Kit, en nuestro caso, El THDB ADA (ADA) está conectado a la placa DE115.



### 5.2.3 Arquitectura de ADA

En este capítulo se ilustrará la arquitectura de la ADA incluyendo las características del dispositivo y las aplicaciones (2).

Los conjuntos de características de la ADA se enumeran a continuación:

- AD canales duales con resolución de 14 bits y la velocidad de datos de hasta 65 MSPS.
- DA canales duales con resolución de 14 bits y la velocidad de datos de hasta 125 MSPS.
- Interfaces duales incluyen HSMC y GPIO, que son totalmente compatibles con el Kit de arranque Cyclone III y DE1 / DE2 / DE2\_70 / DE2\_115 / DE3 / DE4, respectivamente.
- Fuentes de reloj de 100 MHz incluyen oscilador, SMA para AD y DA cada uno, y PLL de cualquiera HSMC o interfaz GPIO.
- Para el puerto de DA, el rango de tensión de salida del convertidor es 2V pp.
- Para el puerto de AD, el rango de tensión de entrada de convertidor analógico es 2V pp.
- Convertidores de DA y AD no son compatibles con la señalización de DC.

### 5.2.4 Estudio de interfaz de la ADA

#### **Convertidor digital a análogo**

En esta sección se describirá el modo de datos intercalados, para el convertidor D/A de la ADA.

El DAC integrado dos núcleos TxDAC+ de 14 bits con entrada de doble puerto, que puede adaptarse hasta la frecuencia de actualización de 125 MSPS. El doble canal es capaz de transmitir datos diferentes a dos puertos separados con diferentes velocidades de actualización. Pero es el modo de entrelazado que lo hace especial, sobre todo para el procesamiento de datos I y Q en aplicaciones de comunicación. El flujo de datos de entrada se puede demultiplexar en datos I y Q original y asegura los datos. La figura 5.3 muestra el momento de la DAC en modo entrelazado.

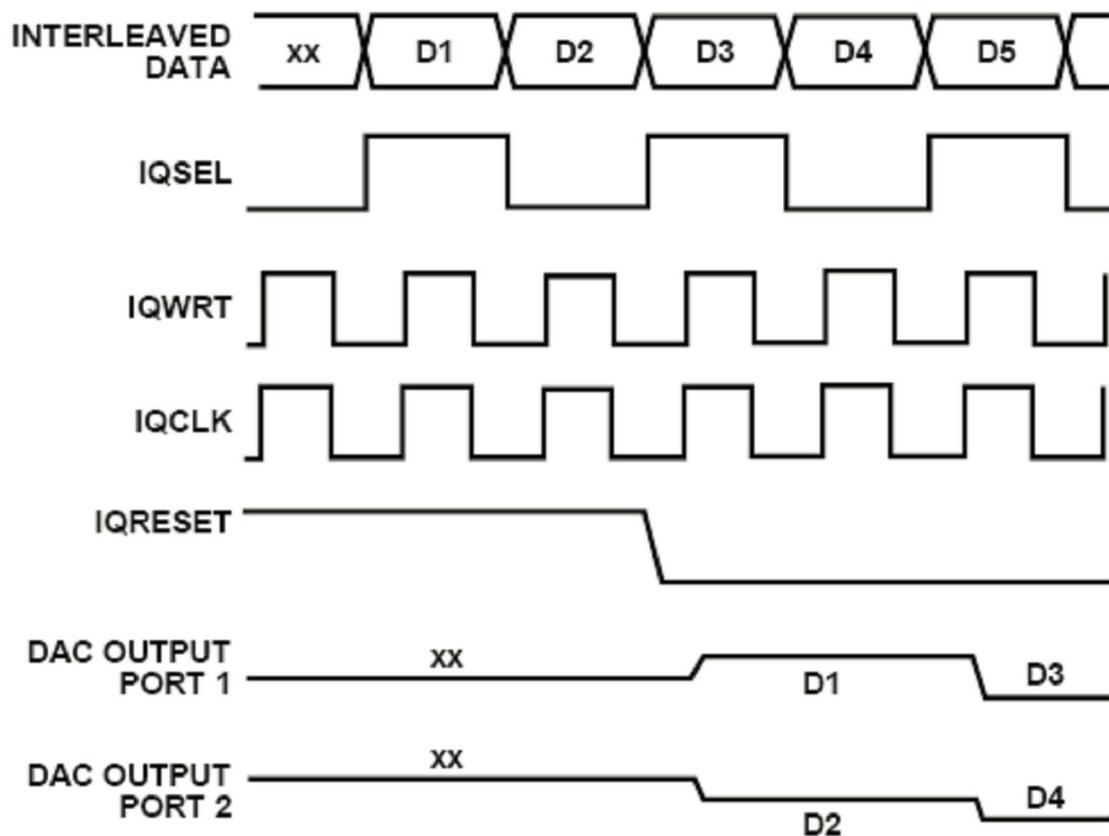


Figure 5.6 Modo de sincronización intercalada (2)

### Convertor analógico a digital

En esta sección se describirá el modo de datos multiplexados para un convertidor A / D de la ADA

El ADC dispone de amplificadores dobles de muestreo y retención con la velocidad de datos de hasta 65 MSPS en la resolución de 14 bits. Sus entradas de doble canal también pueden funcionar como dos puertos independientes con diferentes velocidades de reloj. Basado en el estado de la opción MUX, la salida de datos multiplexados puede lograrse mediante la mezcla de los datos de los dos puertos y la velocidad de datos es dos veces la frecuencia de muestreo. La Figura 5.4 muestra el formato de datos multiplexados utilizando el canal A de salida y el mismo reloj atado a las entradas de reloj de puerto A y B, y la selección de la opción MUX

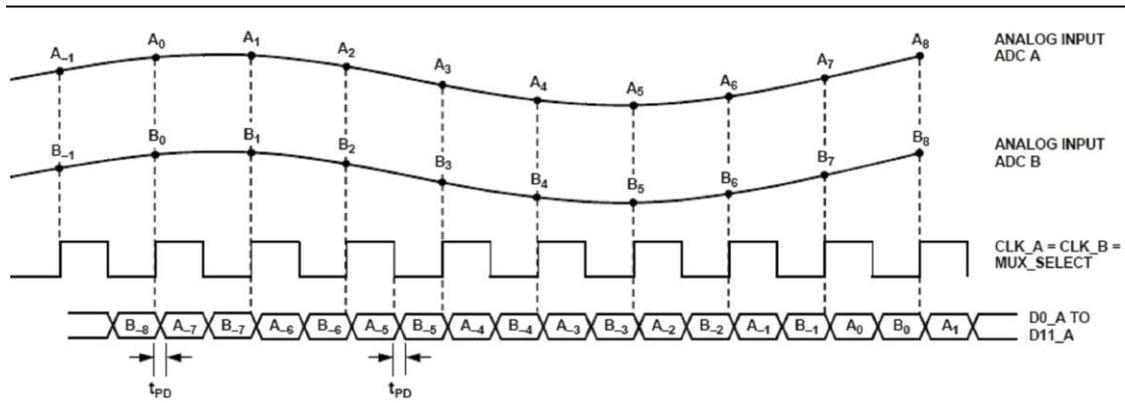


Figure 5.7 Formato de datos multiplexado utilizando la salida del canal A (2)

### 5.2.5 Circuitos de reloj

Esta sección describe las entradas y salidas del reloj de la placa.

Las fuentes de reloj disponibles en la placa ADA incluye el oscilador de 100 MHz, entrada externa de reloj SMA, y la salida de reloj PLL de cualquiera interfaz de HSMC o de GPIO.

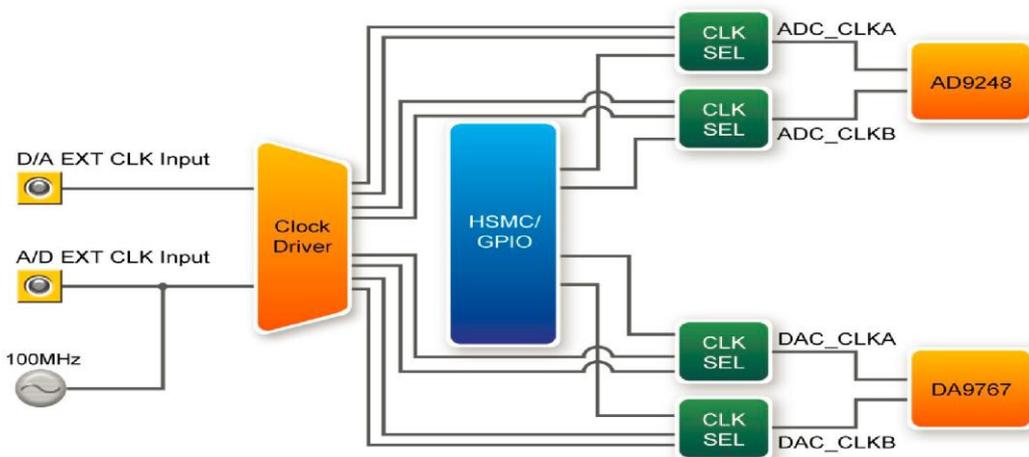


Figure 5.8 El sistema de reloj de ADA (2)

## 5.3 Estudio de Audio CODEC (WM8731) (3)

### 5.3.1 Introducción

El WM8731 o WM8731L (WM8731 / L) son CODECs de baja potencia estéreo con un controlador de auriculares integrado. El WM8731 / L se ha previsto para el audio de MP3 portátil y los reproductores de grabadoras etc. posee entrada de audio de línea estéreo y micrófono mono nivel, además de una función de silencio, control de

---

volumen de nivel programable y una salida de tensión de polarización. Tiene la palabra de entrada de audio digital de longitud de 16-32 bits y trabaja con tasas de muestreo de 8 kHz a 96 kHz. El dispositivo se controla a través de una interfaz en serie 2 o 3 hilos. La interfaz proporciona acceso a todas las funciones que incluyen controles de volumen, mudos, de-énfasis y amplias instalaciones de gestión de energía.

### 5.3.2 Características

- Controlador de auriculares
- Rendimiento de audio
  - ADC SNR 90dB de 3.3V, 85dB de 1.8V
  - DAC SNR 100dB de 3.3V, 95dB de 1.8V
- baja potencia
  - Sólo reproducción 22mW, 8 mW
  - señales analógica se pasa con 12 mW, 3.5mW
  - 1,42-3.6V Operación de suministros digitales
  - 2.7-3,6 V Operación de alimentación analógica
- ADC y DAC Frecuencia de muestreo: 8 kHz - 96 kHz
- Filtro de paso alto seleccionable ADC
- 2 o 3 cables Interfaz de control Serie MPU
- Las interfaces de datos de audio programables
  - I<sup>2</sup>S, Izquierda, derecha o justificado DSP
  - 16/20/24/32 bits longitudes de palabra
  - sincronización del modo Esclavo y del Maestro
- Entrada de micrófono electret y Bias con Side Tone Mixer
- Disponible en 28-Pin de SSOP o en 28-pin de QFN

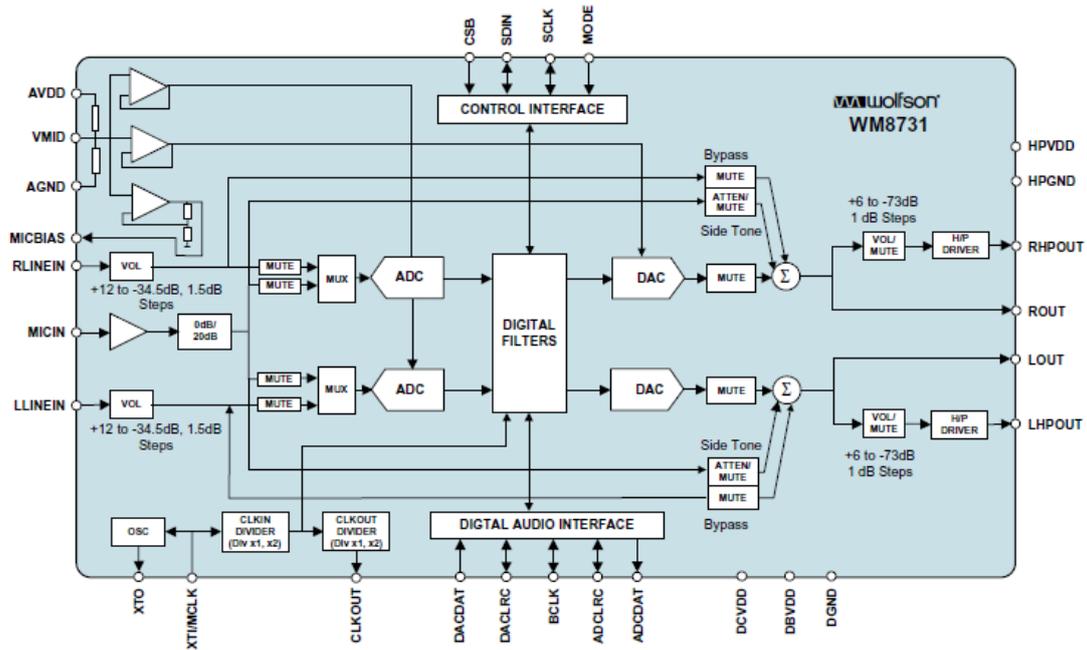


Figure 5.9 Diagrama de WM8731

#### 5.4 Conexiones y test del sistema

En este capítulo, con el fin de controlar los parámetros, se añadir el subsistema de control, para escribir y leer los registros de configuración del demodulador de FM a través de un enlace de comunicación serie entre el PC y el FPGA, a través de RS232. La siguiente figura muestra el esquema de configuración para validar el subsistema de control de comunicación

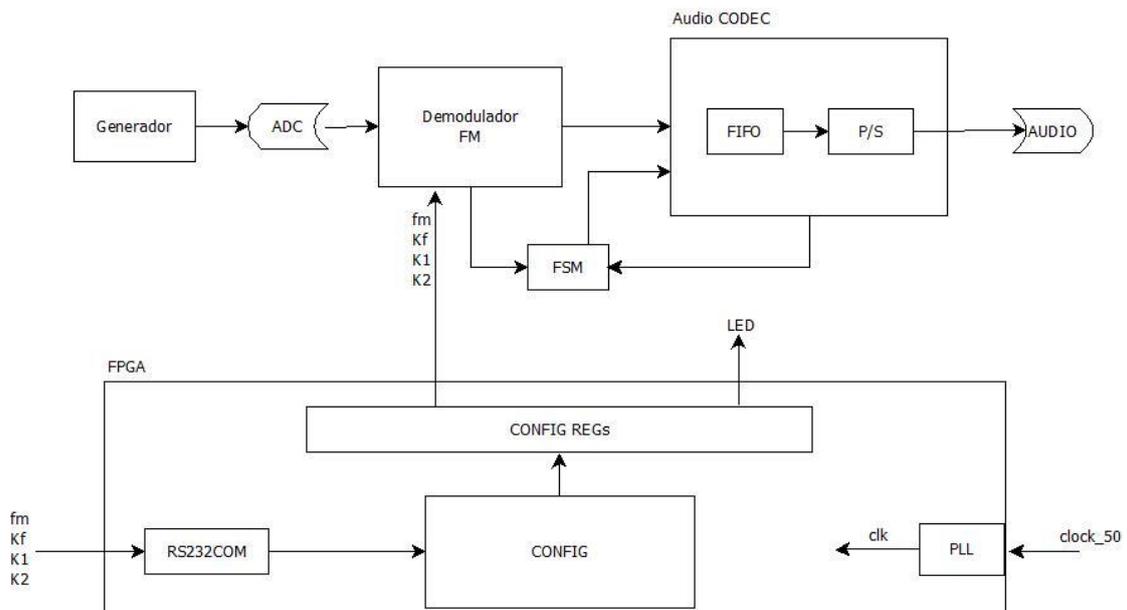
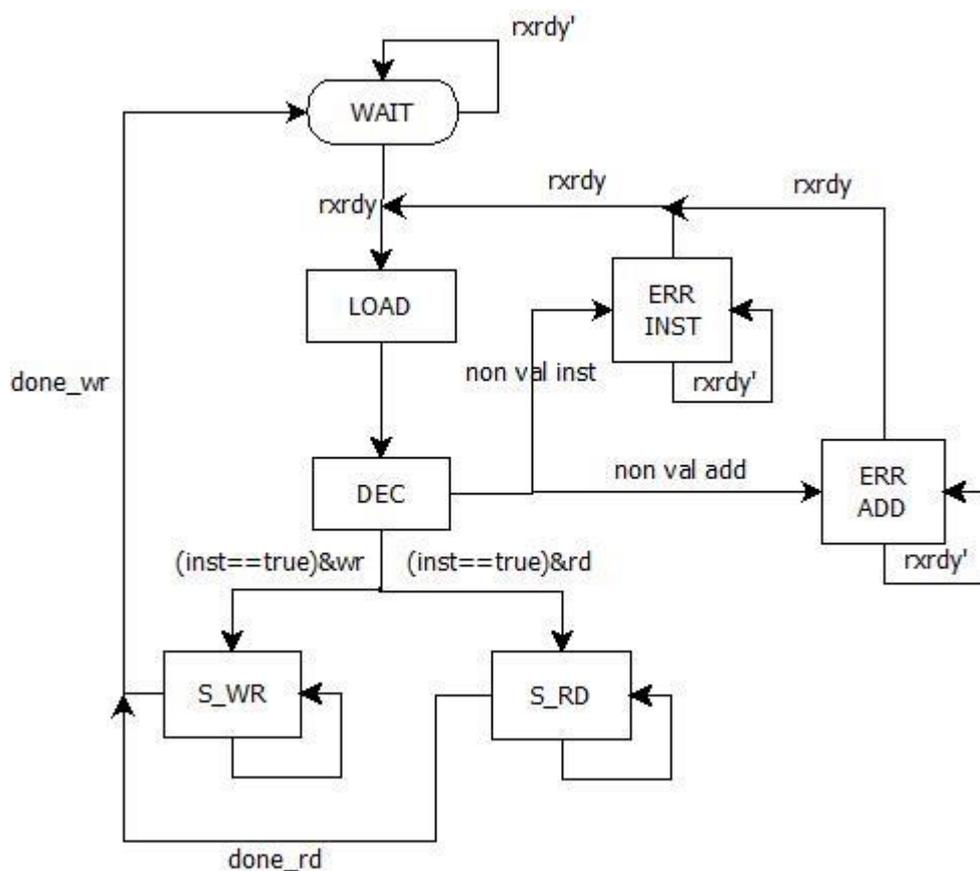


Figure 5.10 diagrama de demodulador con sistema de control

se incluye:

- RS232com: Módulo encargado de la comunicación en serie.
- Registros de configuración: registros direccionales necesarios para configurar la ruta de datos demodulador de FM y la fuente de la señal moduladora.
- CONF. CONTROL: Módulo en fase de diseño. Gestiona la comunicación para escribir y leer los registros configurables.
- PLL: circuito Phase-Locked Loop para generar el reloj de pared a 230400 kHz desde el reloj del tablero de a 50MHz.
- Interruptores y LEDs para visualizar los valores almacenados en los registros configurables.

Con el fin de simplificar la lógica de control, toda la tarea de control se ha dividido en 3 tareas, llamada MAIN\_CONTROL, WR\_CONTROL y RD\_CONTROL, como se ilustra en la siguiente figura 5.11



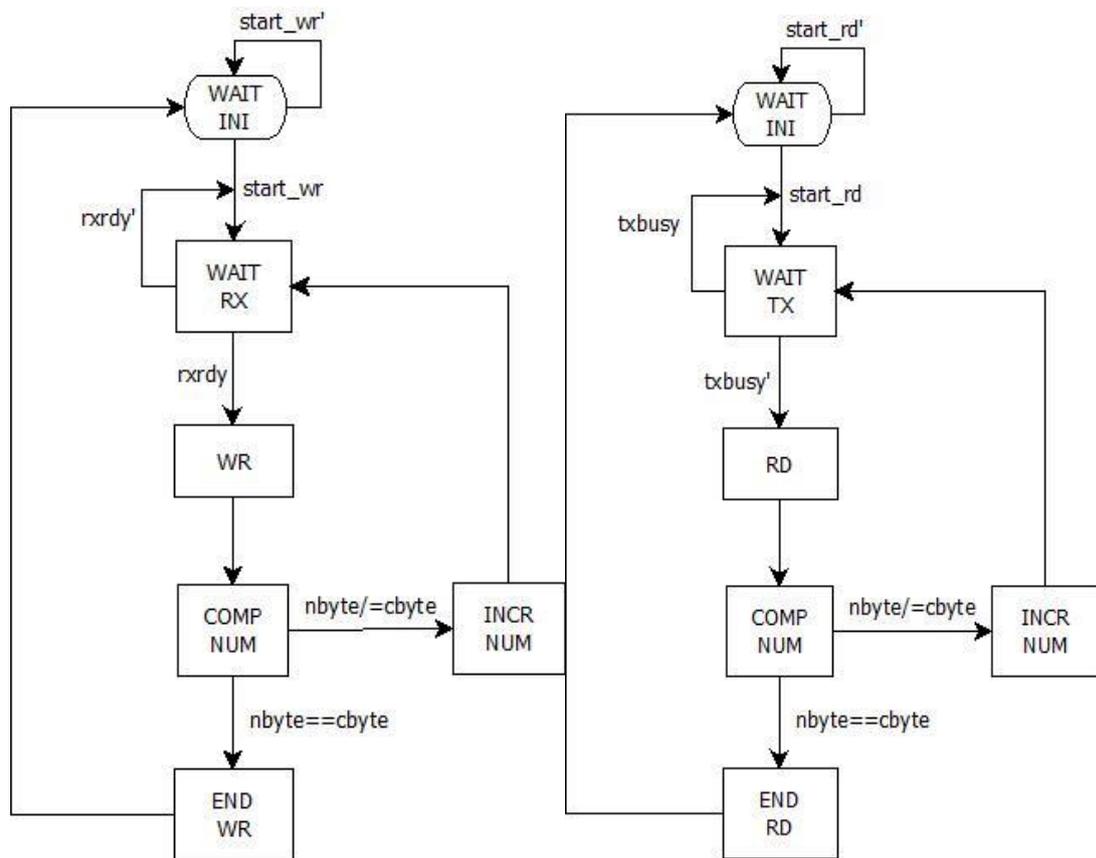


Figure 5.11 diagrama de sistema de CONF. CONTROL

Conecte el generador de señales y la placa de ADA-GPIO con DE2-115, con el fin de ajustar la señal de FM por el generador de señal y recibir la señal de FM por placa de ADA-GPIO con DE2-115. A continuación, conectar la placa y el sonido, para demodulador la señal de FM y comprobar si el sistema está funcionando correctamente, como muestra en figura 5.12.

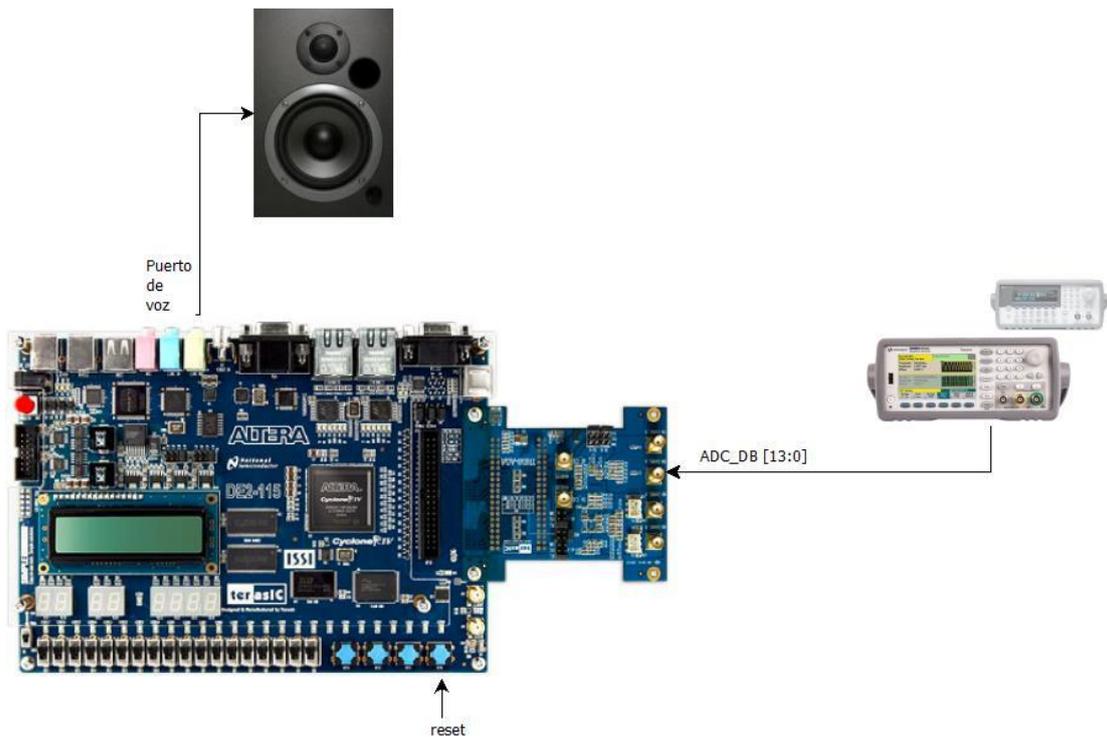


Figure 5.12 Conexiones entre dispositivos

## 6 Conclusiones

En este proyecto hemos implementado un demodulador FM, Ahora expondremos las conclusiones en cada uno de los bloques. Mediante la observación de los resultados, indicaremos las posibles mejoras.

### Modulador de FM

En el primer bloque se ha implementado el modulador de FM, para lograr el objetivo, se han estudiado las ecuaciones de la modulación FM en tiempo continuo y en tiempo discreto, para ayudarnos implementar el diseño más fácil.

Luego, diseñamos un diagrama de modulación FM, en este diseño ha estudiado una traslación de frecuencias con un mezclador complejo, y se ha generado una tabla con las funciones seno y coseno a través de un oscilador acumulador de fase.

En el experimento, los problemas encontrados y las imperfecciones son:

- El formato de los valores de filtro y NCO es fijo, es complejo cambiarlo. Al ejecutar el sistema con Quartus, usamos los diferentes valores, porque el caso real no se puede usar los valores exactos, y el generador tiene valor máximo.

- 
- La señal de salida tiene mucho ruido, se debería añadir un filtro a la salida del sistema para evitar el ruido.

### Demodulador de FM

En el segundo bloque se han estudiado los algoritmos de demodulación de señales FM. En este proyecto hemos implementado con método del algoritmo de demodulación basado en un PLL que ofrece una mejor respuesta. Se han estudiado las ecuaciones del comportamiento del PLL en tiempo discreto, y se ha podido comprobar cómo la respuesta del filtro paso bajo del bucle determina la respuesta del PLL.

De esta manera he usado el software MATLAB para simular con ficheros de audio en formato wav y ha permitido comprobar el correcto funcionamiento de los diseños del modulador y del demodulador.

Al final, se ha desarrollado el diseño de demodulador FM con Quartus II, a través de simulación, podemos observar dicha variación en la señal demodulada. Este demodulador es programable, ya que podemos variar los parámetros de la modulación utilizando el sistema de control a través de la comunicación del bus serie RS232.

## Anexos

Los anexos se presentan en siguiente dibujo. El contenido está distribuido en carpetas y presenta la siguiente estructura:

 Demodulacion FM.zip	4.7 MB	4.3 MB	360压缩 ZIP 文件
 filtro paso bajo.zip	3.8 MB	3.6 MB	360压缩 ZIP 文件
 NCO.zip	10.6 MB	10.2 MB	360压缩 ZIP 文件
 simulación.zip	11.6 MB	11.4 MB	360压缩 ZIP 文件
 Top.zip	2.3 MB	2.0 MB	360压缩 ZIP 文件

**Demodulación FM:** Ficheros de los diseños de simulación e implementación del demodulador FM. Parámetros de configuración de los bloques para cada diseño.

**Filtro paso bajo:** Ficheros de diseño de simulación e implementación del filtro paso bajo.

**NCO:** Ficheros de diseño de simulación e implementación del Oscilador Controlado Numéricamente.

**simulación:** Conjunto de modulación FM y demodulación FM, para simular el sistema

---

de demodulación FM.

**Top:** Ficheros de programación de la FPGA de cada uno de los sistemas desarrollados en el proyecto.

## Bibliografía

1. Valls, Javier. *ISC Lab. 4: AM/FM modulator data-path* .
2. *High-Speed A/D and D/A Development Kit*.
3. *Portable Internet Audio CODEC with Headphone Driver*. April 2004, Rev 3.4.
4. Antena de telecomunicaciones móvil 1/4 onda FM 68...174MHz (embalaje individual). *Televes*. [Online] <http://www.televes.com/es/catalogo/producto/antena-de-telecomunicaciones-movil-14-onda-fm-68174mhz-embalaje-individual>.
5. Solves, Enrique Monzó. *Implementación en FPGA de un modulador..* 2005.
6. Surface Mount Low Pass Filter. *Mini-circuit*. [Online] <https://www.minicircuits.com/pdfs/SCLF-95.pdf>.